

科学研究費助成事業 研究成果報告書

平成 30 年 6 月 20 日現在

機関番号：34406

研究種目：基盤研究(C) (一般)

研究期間：2015～2017

課題番号：15K06042

研究課題名(和文) 適応的電圧最適化によるLSIの動作歩留まり向上に関する研究

研究課題名(英文) Improvement of LSIs' yield by Adaptive Supply Voltage Optimization

研究代表者

牧野 博之(Makino, Hiroshi)

大阪工業大学・情報科学部・教授

研究者番号：50454038

交付決定額(研究期間全体)：(直接経費) 3,800,000円

研究成果の概要(和文)：MOSトランジスタの特性ばらつき増加によってLSIの歩留まりが低下する問題に対して、リングオシレータの発振周波数からデジタル処理によってトランジスタの閾値電圧(V_{th})とゲート酸化膜厚(T_{ox})を測定し、その測定値に応じて適応的に論理回路に与える電圧を最適化することで、LSIを救済する手法を提案した。さらに、この手法をSRAMも含む一般的なLSIに適用し、通常の電源電圧では動作不可能であったチップが救済されることを確認した。本研究成果によれば、 V_{th} と T_{ox} の仕上がり状況の検知から電圧の最適化まですべてチップ上で行うことができるので、低コストでLSIの歩留まりを向上することができる。

研究成果の概要(英文)：In order to improve the operating yield of LSIs under the situation of increasing fluctuation of transistor characteristics, we proposed the following two methods; first, an on-chip measuring method of the threshold voltage (V_{th}) and the gate-oxide thickness (T_{ox}) from the frequencies of ring oscillators using only digital processing, second, an adaptively optimizing method of the supply voltage according to the measured V_{th} and T_{ox} . We applied the proposed methods to an ordinary LSI including the SRAM and confirmed the effect of them by the simulation. The simulation results shows that the LSI is secured by the optimization of the supply voltage. The results of this study is promising because they realizes the improvement of LSI yield with a low cost, since all the processes from the measurement of the V_{th} and T_{ox} to the adaptive optimization of the supply voltage are carried out by an on-chip processing.

研究分野：LSI設計

キーワード：ばらつき しきい値電圧 ゲート酸化膜厚 適応的電圧制御 論理回路 集積回路 プロセッサ

1. 研究開始当初の背景

半導体素子の微細化の進展に伴い、素子特性のばらつきが増大して LSI(大規模集積回路)の動作歩留まりが低下している。

この状況を改善するためには、LSI の仕上がり状況に応じて電圧条件を最適化し、通常の電圧では動作不可能となる LSI を救済することが有効である。筆者は、以前の科研費研究(科研費 No. 23560423、平成 23~25 年度)で、SRAM 回路に対してトランジスタの閾値電圧(Vth)の仕上がり状況に応じた電圧の最適化を行う手法を提案した[1,2]が、LSI の大部分はランダムなロジック回路であり、大規模な LSI の歩留まりを向上させるには、SRAM だけでなくロジック回路の救済が必須である。

ロジック回路を正しく動作させるためには、ばらつきによって遅い側に振れた場合でも所定のサイクルタイム内に収まるように設計する必要がある。一般にロジック回路においては、電圧を上昇させるとスピードが速くなるので、電圧を上げることによって遅い側に振れた LSI を救済することができる。すなわち、素子の仕上がり状況に応じて電源電圧をコントロールすることによって、LSI の動作歩留まりを向上させることができる。

この手法を実現するためには、LSI 毎の素子特性の仕上がり状況を詳細に知る必要がある。ロジック回路のスピードを決めるのは、トランジスタの電流値 I_{ds} であり、これは次式で表される。

$$I_{ds} = (\mu \cdot W_g \cdot C_{ox} / L_g) \cdot (V_{DD} - V_{th})^2$$

(V_{DD}: 電源電圧、 μ : 比例係数、V_{th}: 閾値電圧)

ただし、比例係数 $\mu \cdot W_g \cdot C_{ox} / L_g$ は以下の式で表さる。

$$= (\mu \cdot W_g \cdot C_{ox} / L_g) / (L_g \cdot Tox)$$

(μ : キャリアの移動度、W_g: ゲート幅、C_{ox}: 誘電率、L_g: ゲート長、Tox: ゲート酸化膜厚)

したがって、電流値を決定するには V_{th} と $\mu \cdot W_g \cdot C_{ox} / L_g$ の二つの値を測定する必要がある。通常、V_{th} と $\mu \cdot W_g \cdot C_{ox} / L_g$ は外部機器を用いたアナログ測定によって求められるが、この方法は外部測定機器を必要し、長時間かかるため、大量生産する LSI には 適していない。測定を効率よく行うためにはチップ上で自動的に行う必要があり、筆者は、以前の科研費研究(No. 23560423)において、リングオシレータの発振周波数からデジタル処理によって V_{th} を測定する方法を提案しているが[2]、ロジック回路の電圧最適化のためには、V_{th} だけでなく $\mu \cdot W_g \cdot C_{ox} / L_g$ の測定が必要となる。この測定方法についてはこれまで研究が行われおらず、新たに開発する必要がある。また、V_{th} と $\mu \cdot W_g \cdot C_{ox} / L_g$ の測定結果から適応的に電圧を最適化する手法についても確立する必要がある。

2. 研究の目的

以上の背景に基づき、本研究ではロジック回路を構成するトランジスタの V_{th} および

$\mu \cdot W_g \cdot C_{ox} / L_g$ の値をデジタル処理によって検知し、これに応じた電圧を最適化する手法を確立することを目的とする。具体的には、まずリングオシレータの発振周波数から V_{th} と $\mu \cdot W_g \cdot C_{ox} / L_g$ を同時に測定し、さらに得られたトランジスタ特性からロジック回路に与える最適な電圧を決定する方法を開発する。

3. 研究の方法

本研究では、上記の目的を達成するために以下の4段階で研究を実施した。

- (1) リングオシレータの発振周波数から、V_{th} と $\mu \cdot W_g \cdot C_{ox} / L_g$ をデジタル処理によって求める手法を開発する。このために以前の科研費研究(No. 23560423)で開発した V_{th} の測定手法[2]を改良して も測定可能とする。ただし、 $\mu \cdot W_g \cdot C_{ox} / L_g$ のばらつきを支配するのは、ゲート酸化膜厚 Tox であり、Tox が求めれば $\mu \cdot W_g \cdot C_{ox} / L_g$ が一意的に決まることから、V_{th} と Tox の測定手法を確立することに注力する。
- (2) (1)で開発した手法に基づき、リングオシレータの発振周波数から、V_{th} と Tox を実際に算出するプロセッサ回路を設計する。処理に特化した構成とすることにより、素子数の少ない小面積の回路を実現する。
- (3) 様々な V_{th}、Tox および電圧に対するロジック回路の速度を求めることにより、V_{th} および Tox の仕上がり値と最適電圧を対応付けるテーブルを作成する。ただし、V_{th} に関してはランダムなばらつきが存在するため、これを考慮した電圧最適化を行う。
- (4) 最後に科研費研究(No. 23560423)における SRAM の研究成果も適用し、SRAM とロジック回路の両方を含んだ LSI 全体として、動作歩留まりが向上することを実証する。

4. 研究成果

(1) V_{th}、Tox の測定方法開発

V_{th}、Tox 検知回路

検知回路は、図 4.1 に示す 3 種類のリングオシレータ回路(R0)で構成される[2]。

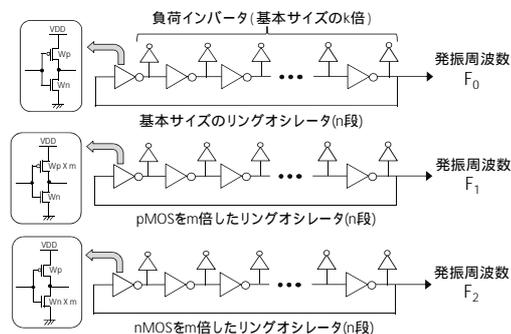


図 4.1 検知回路

それぞれ n 段のインバータから成り、図 4.1 は基本サイズ、図 4.1 は pMOS のみゲート幅を m 倍にしたもの、図 4.1 は nMOS のみゲート幅を m 倍にしたものである。それぞれ各段の出力に、基本サイズの k 倍のインバータ

による容量負荷を接続している。～ の発振周波数をそれぞれ、 F_0, F_1, F_2 とすると、インバータ 1 段当たりの遅延時間(T_0, T_1, T_2) は、段数 n を用いて次式で表される。

$$T_0=1/(2n \cdot F_0), T_1=1/(2n \cdot F_1), T_2=1/(2n \cdot F_2) \quad (1)$$

ここで、 $T_{12}=T_1 - T_2$ とすると nMOS と pMOS のしきい値電圧(V_{tn}, V_{tp})に対する T_0 と T_{12} の等高線の異方向性から、 V_{tn} と V_{tp} を一意的に求めることができる[2]。なお、 V_{th} のランダムなばらつきについては、段数 n を大きく取れば無視できるのでここでは扱わない。今回は、この回路を用いて V_{th} に加えて Tox の検知を試みる。

V_{th}, Tox 計算手法

Tox の検知は、遅延時間の Tox に対する依存性が小さいために非常に困難である。そこで、以下の手法を提案する。

まず、 T_{12} を用いずに $T_0 \sim T_2$ の 3 つを個別に利用することで、情報量を増やし、高精度化を図る。また、これまでの V_{tn} と V_{tp} を変化させたシミュレーションに加えて、 Tox のばらつきの範囲を $\pm 5\%$ と推定し、 $-5\%, 0\%, +5\%$ の 3 点における $T_0 \sim T_2$ の値をシミュレーションにより測定する。

次に、最小二乗法を用いて $T_0 \sim T_2$ を V_{tn} と V_{tp} に関する 2 次曲面で近似する。例えば T_0 では、

$$T_0=A_{05} \cdot V_{tn}^2+A_{04} \cdot V_{tp}^2+A_{03} \cdot V_{tn} \cdot V_{tp}+A_{02} \cdot V_{tn}+A_{01} \cdot V_{tp}+A_{00} \quad (2)$$

と近似する。さらに、3 点の Tox に対する各係数 A_{0i} ($i=0 \sim 5$) を次のように Tox の 2 次式で近似する。

$$A_{0i}=B_{0i2} \cdot Tox^2+B_{0i1} \cdot Tox+B_{0i0} \quad (i=0 \sim 5) \quad (3)$$

これによって 18 個の係数 B_{0ij} ($i=0 \sim 5, j=0 \sim 2$) が求まる。 T_1 と T_2 に対しても同様の近似を行い、それぞれ 18 個の係数 B_{1ij}, B_{2ij} を求める。このようにして、次式のような 3 元連立方程式が得られる。ただし、 $i=0 \sim 2$ である。

$$T_i = \begin{pmatrix} 1 & V_{tp} & V_{tn} & V_{tp} \cdot V_{tn} & V_{tp}^2 & V_{tn}^2 \end{pmatrix} \begin{pmatrix} B_{i00} & B_{i10} & B_{i20} & B_{i30} & B_{i40} & B_{i50} \\ B_{i01} & B_{i11} & B_{i21} & B_{i31} & B_{i41} & B_{i51} \\ B_{i02} & B_{i12} & B_{i22} & B_{i32} & B_{i42} & B_{i52} \end{pmatrix} \quad (4)$$

この 3 元連立方程式を解析的に解くことは困難であるが、探索法により近似解を求めることが可能である。具体的には、上記の $B_{0ij}, B_{1ij}, B_{2ij}$ を用いた近似によって得られた $T_0 \sim T_2$ の中で、測定値に最も近い点(誤差の総和が最小となる点)を探索することで V_{th} と Tox

の検知を行う。ただし、 V_{th} と Tox の検知に当たっては、 Tox に対する依存性を、より強く遅延時間に反映させるために、電源電圧 VDD も変化させたデータを追加することで探索精度の向上を図った。

シミュレーション

本手法の効果を確認するために、45nm のパラメータを用いて SPICE シミュレーションを実施した。インバータの基本サイズを、 $W_p/W_n=600/300\text{nm}$ とし、高い検知精度が得られる条件として図 4.1 の m と k を、 $m=30, k=20$ とした[2]。遅延時間 $T_0 \sim T_2$ は、インバータの出力の立ち上がり立ち下りの平均遅延時間から求めた。電源電圧は、1.4V, 1.5V, 1.6V の 3 種類とした。

このシミュレーション結果から、本条件における行列の値が表 1 のように求められた。

表 4.1 シミュレーションで求められた係数値

V _{DD}	T ₀						T ₁						T ₂					
1.4	156	960	641	-756	723	-1393	316	596	-969	-2129	-200	204	28	-272	-370	-146	-276	409
1.4	-223	-1834	-1328	1464	-1321	2880	-607	-1152	1957	4180	467	-389	-14	455	700	168	516	-759
1.4	897	671	-756	647	-1446	307	584	-971	-2126	-223	189	12	-224	-349	-99	-242	384	
1.5	-228	-325	1131	441	-75	-1321	239	-97	-1383	856	303	1996	-148	-151	548	667	317	-303
1.5	524	632	-2291	-915	172	2696	-457	234	2919	-1940	-977	-3974	332	205	-1124	-1401	-653	659
1.5	-292	-297	1138	435	-57	-1342	222	-116	-1408	919	338	2036	-161	-46	581	670	340	-331
1.6	100	632	235	1022	1111	360	50	-187	-661	-251	-297	837	349	563	-1189	-270	602	1291
1.6	-129	-1257	-484	-2064	-2169	-673	-82	381	1341	423	602	-1672	-659	-1195	2366	466	-1211	-2559
1.6	72	631	243	1009	1089	335	44	-180	-658	-224	-284	831	331	586	-1183	-249	598	1284

表 4.1 の値を用いることにより、式(4)の連立方程式の解を探索することができる。

検知精度

上記の方法に基づき、ソフトウェア処理で検知を行った結果の誤差分布を図 4.2 に示す。上からそれぞれ V_{tn}, V_{tp}, Tox の誤差分布を、測定した 243 点(V_{tp}, V_{tn} は 0.2 ~ 0.6V の 50mV 刻みの 9 点、 Tox は $-5\%, 0\%, +5\%$ の 3 点)の度数分布として表している。電圧条件は $VDD=1.4V, 1.5V, 1.6V$ の中から 1 種類、2 種類、3 種類(全部)を選択した合計 7 つの条件に対してヒストグラムを書かせている。図 4.2 より、電圧が高く種類が多いほど誤差は減少する傾向があり、1.4 ~ 1.6V の 3 種類を用いた場合が最も高精度になることがわかる。

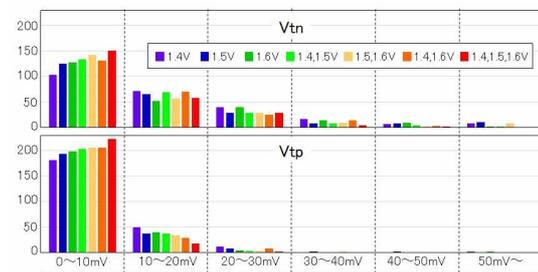
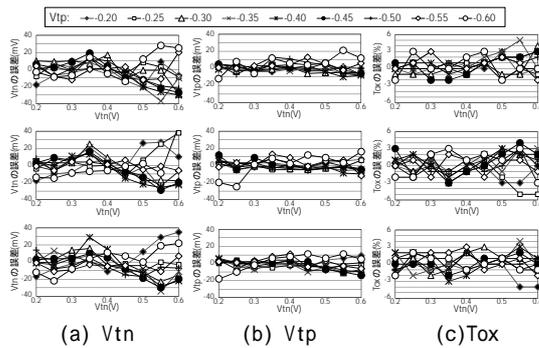


図 4.2 VDD 条件に対する V_{tn}, V_{tp}, Tox の誤差分布

図 4.3 に電源電圧 1.4V, 1.5V, 1.6V の 3 種類でフィッティングした場合における V_{tn} , V_{tp} , T_{ox} の測定誤差値を示す。上段、中段、下段はそれぞれ $T_{ox} = -5\%$, 0% , $+5\%$ の場合を表している。 V_{tn} と V_{tp} は概ね $\pm 20\text{mV}$ 以内、 T_{ox} は概ね $\pm 3\%$ 以内に収まっている。電圧を最適化する際の制御の幅は 50mV もしくは 100mV 単位であることを考慮すると、十分な精度が得られていると考えられる。



(a) V_{tn} (b) V_{tp} (c) T_{ox}
図 4.3 3 種類の電圧でフィッティングした場合の誤差値

(2) V_{th} と T_{ox} を算出する専用プロセッサの開発

算出アルゴリズム

前節で述べた手法に基づき、 V_{th} , T_{ox} 検知用プロセッサの設計を行った。図 4.4 に算出アルゴリズムのフローチャートを示す。



図 4.4 算出アルゴリズムのフローチャート

回路構成

図 4.4 のアルゴリズムに基づき、Verilog-HDL を用いて回路設計を行った。図 4.5 に回路の全体構成図を示す。入力はクロック (clk)、リセット (rst)、各 V_{DD} での T_0, T_1, T_2 の測定値 (いずれも 32b) で、出力は V_{tp} , V_{tn} , T_{ox} (いずれも 16b) である。計算は 32 ビット長の固定小数点で行い、下位 16 ビットを小数に当てている。

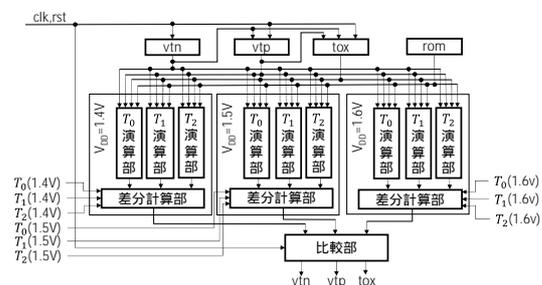


図 4.5 プロセッサの全体構成

動作検証

動作の検証は、三菱電機マイコン機器ソフトウェア社の FPGA ボード MU200-SX で行った。ボードの写真を図 4.6 に示す。本設計では V_{tp} , V_{tn} , T_{ox} の出力を、ボードの LED に V_{tp} と V_{tn} を mV 単位、 T_{ox} を 0.01 倍単位の 10 進数で表示するための表示回路を追加した。回路規模は、表示回路も含め、Combinational ALUTs が 75235、Dedicated logic registers が 313 となった。

実際にボード上で動作させたときの表示例を図 4.7 に示す。期待値通りの値が得られており、プロセッサ回路が正常に動作していることが確認された。

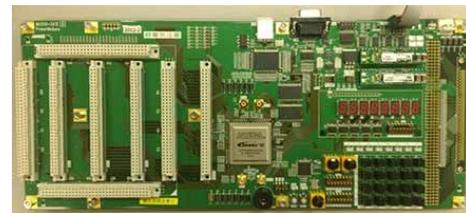


図 4.6 FPGA ボード (MU200-SX)



図 4.7 計算結果の表示例

FPGA 上での最大動作周波数から算出時間を計算すると 72ms であった。 V_{th} および T_{ox} の検知は LSI の仕上がり状況を知るためのもので、実際の動作前に 1 回検知が行われればよく、実動作には影響を与えないため、設計したプロセッサは十分に高速であると考えられる。しかし、回路規模に関しては、使用した回路ブロック数から 45nm プロセスでの面積に換算すると 1.7mm^2 となり、これは 1cm^2 のチップの 1% を超えるため、やや大きすぎると考えられる。したがって、さらなる小型化が必要である。

回路の小型化

回路の小型化に当たっては、図 4.5 において 3 種類の電圧を別の回路で処理していたのを一つにまとめて、一つの回路で順次処理するように改良した。同様の評価を行った結果、計算時間が 216ms 、回路面積が 0.59mm^2 という結果が得られた。計算時間はやや遅くなったが実用上は問題ない速度であり、回路面積については 1cm^2 の 0.6% と十分に小さい値となった。図 4.1 のリングオシレータとともにこのプロセッサをチップ状に実装することにより、LSI 上でデジタル処理により V_{th} と T_{ox} の仕上がり値を検知することが可能である。

(3) ロジック回路の電圧最適化手法の開発
ロジック回路の電圧最適化手法

ロジック回路に対して目標となるスピードが与えられたとき、これを満たす最も低い

電源電圧が最適電圧と考えられる。なぜならば、低消費電力化の観点から電圧はできるだけ低いことが望ましいからである。この考えに基づいて、測定した V_{th} と T_{ox} から、ロジック回路の最適電圧を求める方法を提案する。図 4.8 がそのコンセプトであり、具体的な方法は以下の ~ の通りである。

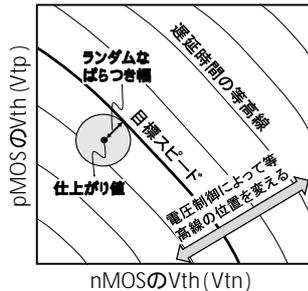


図 4.8 ロジック回路に対する電圧最適化のコンセプト

- () 測定された T_{ox} の値に対して pMOS と nMOS の $V_{th}(V_{tp}, V_{tn})$ に対する回路の遅延時間のグラフを作成し、等高線を描く。
- () 測定した V_{tp}, V_{tn} の仕上がり値をグラフ内にプロットする。
- () プロットした遅延時間に関してランダムなばらつき効果を取り入れ、図 4.8 に示すように遅延時間に幅を持たせ、最悪の遅延時間を求める。
- () 次に電源電圧を変化させて等高線的位置を動かすことによって、遅延時間の最悪値が目標スピードとなるような電源電圧を求める。これが最適電圧となる。

8 ビット加算器の電圧最適化

本研究では、一例として図 4.9 に示す 8 ビットのリップルキャリ加算器を用いて電圧最適化を行った。クリティカルパス(最も遅い経路)は、図に示すように AND 回路 8 段と OR 回路 7 段からなる。

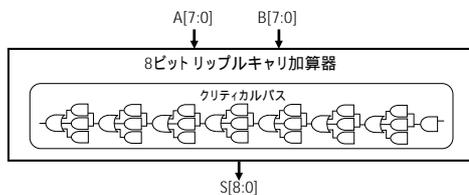


図 4.9 加算器の構成

この加算器に対して、測定された T_{ox}, V_{tp}, V_{tn} から電圧の最適化を行った。まず、特定の T_{ox} に対して SPICE シミュレーションにより、図 4.8 のように $V_{tp} - V_{tn}$ 平面に遅延時間をプロットした。SPICE パラメータはパークレイの 45nm バルクのものを扱い、 T_{ox}, V_{tp}, V_{tn} の設定は、それぞれ SPICE パラメータの $TOXP$ および $VTH0$ を変化させることで行った。

ただし、遅延時間は閾値のランダムなばらつきを考慮して最悪の場合をプロットする必要があるので、各閾値の設定に対してモンテカルロシミュレーションを行い、得られた遅延時間の中央値 ($T_{pd,m}$) と標準偏差 (σ_T) に対して、最悪の遅延時間 ($T_{pd,max}$) を、

$$T_{pd,max} = T_{pd,m} + 3 \sigma_T \quad (5)$$

としてプロットを行った。測定は $|V_{tp}|$ と V_{tn} の中心値を 0.2V ~ 0.6V の範囲で、50mV 刻みで変化させて行った。3 σ_T はおよそ 99.9% の歩留まりを保证する値である。なお、モンテカルロシミュレーションで用いた閾値の標準偏差は Stolk の式と SPICE パラメータから、pMOS を 45.6mV、nMOS を 46.3mV とした。

次に、電源電圧 (V_{DD}) を 50mV 刻みで変化させて同様のシミュレーションを行い、各 V_{tp} と V_{tn} の値に対して動作可能となる最小電圧を調べた。電圧が上昇すると、図 4.8 の等高線は右上方向に移動し、低電圧では目標スピードに満たなかった閾値条件に対しても、電圧を上げることでスピードを満たすようになることが確認された。

以上のことを、種々の V_{DD} と T_{ox} に対して行い、最終的に $V_{tp} - V_{tn}$ 平面の縦横 50mV のマス目毎に最適電圧を求めた。ここで、目標スピードとしては、SPICE パラメータのオリジナルの値から得られる遅延時間とした。

結果

T_{ox} が SPICE パラメータに対して 0.01 刻みで -0.95 ~ 1.05 倍になった際の $V_{tp} - V_{tn}$ 平面における最適電圧を図 4.10 に示す。

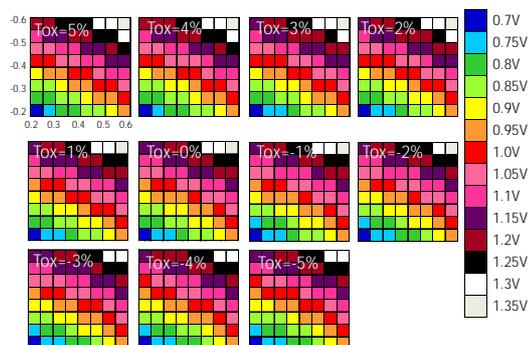


図 4.10 $V_{tp} - V_{tn}$ 平面における最適電圧

遅延時間の T_{ox} に対する変動は大きくないため、各 T_{ox} に対する最適電圧に大きな違いは出ていないが、少しずつ最適電圧が異なっていることが分かる。具体的には、 T_{ox} の値が大きくなるに従って最適電圧のグラフは左下に少しずつシフトしている。

さらに、8 ビットリップルキャリ加算器で

行った電圧最適化を 32 ビットリップルキャリア加算器および 32 ビットキャリルックアヘッド加算器に対して行い、図 4.10 と同様の最適電圧を明らかにした。いずれもビット数の増加によって回路段数が増加するため、ランダムなばらつきの影響が緩和され、8 ビットの加算器に比べて最適電圧が低下する傾向が見られた。

以上のように、測定されたロジック回路の Tox 、 V_{tp} 、 V_{tn} の値に対して、ランダムなばらつきまで考慮して回路に与える最適電圧を決定する手法を提案し、様々な加算器に対する最適電圧を明らかにした。本手法は、加算器に限らずあらゆるロジック回路に適用可能であり、最適電圧を求めることができる。

(4) 一般的な LSI に対する効果確認

最後に、これまでの研究成果に基づき、SRAM とロジック回路を含む一般の LSI に対する電圧最適化の効果をシミュレーションにより確認した。図 4.11 に回路構成を示す。

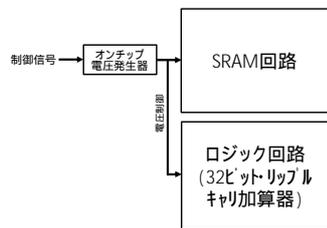


図 4.11 シミュレーション回路

オンチップ電圧発生器および SRAM 回路については、以前の科研費研究(科研費 No. 23560423、平成 23~25 年度)で開発したものを流用した[1]。それぞれの構成を図 4.12 および図 4.13 に示す。

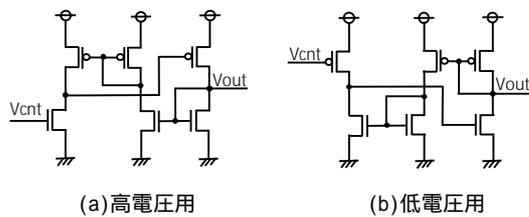


図 4.12 電圧発生器

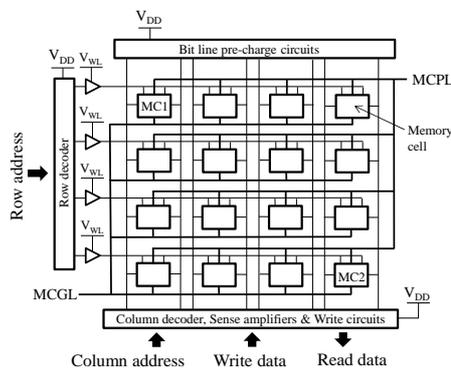


図 4.13 SRAM 回路

ロジック回路としては、前節で開発した 32 ビットリップルキャリア加算器を使用した。

回路全体に対して閾値を動作が厳しくなる方向にばらつかせ、通常の電圧および本研究で明らかにした最適電圧を与えた SPICE シミュレーションを行うことにより、通常の電圧では動作しなかった回路が電圧最適化によって動作することが確認された。すなわち、本研究の目的であった LSI の動作歩留まり向上を実証することができた。本シミュレーションでは、リングオシレータおよびプロセッサ回路は搭載していないが、3 個のリングオシレータは極めて小面積であり、プロセッサも(2)で示したように十分に小面積化することができるため、チップ上へ搭載することが可能である。これらを組み合わせることにより、オンチップで自動的にトランジスタの仕上がり状況を検知して電圧を最適化すること可能であり、本研究の目的は達せられたと考えられる。

<引用文献>

- [1] K. Kishida, H. Makino, et al., IEEE IMFEDK2013, pp.104-105, 2013.
- [2] T. Matsumoto, H. Makino, et al., IEEE IMFEDK2014, pp.104-105, 2014.

5. 主な発表論文等

[学会発表](計 4 件)

橘凌太, 遠藤寛明, 池田裕樹, 櫻井拓, 牧野博之, 布村泰浩, 吉村勉, 岩出秀平, 松田吉雄, 2016 年度電気関係学会関西連合大会、「ばらつきを考慮した論理回路の電圧最適化に関する検討」、G9-3、2016 年 11 月。

遠藤寛明, 橘凌太, 池田裕樹, 櫻井拓, 牧野博之, 布村泰浩, 吉村勉, 岩出秀平, 松田吉雄, 2016 年度電気関係学会関西連合大会、「トランジスタの V_{th} および Tox 検知用プロセッサの設計」、G9-7、2016 年 11 月。

池田裕樹, 櫻井拓, 牧野博之, 布村泰浩, 吉村勉, 岩出秀平, 松田吉雄, 2015 年度電気関係学会関西連合大会、「トランジスタの閾値およびゲート酸化膜厚検知手法の検討」、G9-2、2015 年 11 月。

櫻井拓, 池田裕樹, 牧野博之, 布村泰浩, 吉村勉, 岩出秀平, 松田吉雄, 2015 年度電気関係学会関西連合大会、「トランジスタの閾値検知用プロセッサの設計」、G9-3、2015 年 11 月。

6. 研究組織

(1) 研究代表者

牧野 博之 (MAKINO, Hiroshi)
大阪工業大学・情報科学部・教授
研究者番号: 5 0 4 5 4 0 3 8