

平成 30 年 6 月 20 日現在

機関番号：82723

研究種目：基盤研究(C) (一般)

研究期間：2015～2017

課題番号：15K06047

研究課題名(和文) 超低周波アナログ信号処理回路のワンチップ集積化のための大容量コンデンサ

研究課題名(英文) Study on large capacitance circuits to integrate ultra-low-frequency analog signal processing circuits on a chip

研究代表者

松元 藤彦 (Matsumoto, Fujihiko)

防衛大学校 (総合教育学群、人文社会科学群、応用科学群、電気情報学群及びシステム工・応用科学群・教授)

研究者番号：10531767

交付決定額(研究期間全体)：(直接経費) 2,700,000円

研究成果の概要(和文)：本研究では、超小型医用電子機器へ応用可能な超低周波用アナログ集積化フィルタを実現するために有用な電流帰還型インピーダンススケーリング回路がもつ低周波特性の改善とオフセット電圧低減を両立させるための技術を確立することを目的として、様々な技術の検討を行った。対称型非接地回路を全差動形フィルタに応用した回路では、同相帰還をOTAではなく対称型非接地インピーダンススケーリング回路に付加することで、オフセット電圧を低減することができた。さらに、電圧帰還型インピーダンススケーリング回路や、原理的にオフセット電圧の発生しにくいフィルタ回路を提案した。

研究成果の概要(英文)：Impedance scaling (IS) circuits based on current feedback theory to realize ultra-low-frequency integrated active filters have been developed for small-sized biomedical electronic devices. The main purpose is to reduce the offset voltages of fully differential filter employing symmetry-type floating impedance scaling (SFIS) circuits. The proposed technique is unifying a common-mode feedback (CMFB) circuits and the SFIS circuit unlike an ordinary way that the CMFB is combined with an OTA or an OPamp. In addition, other synthesizing techniques for low frequency filters with low offset voltages.

研究分野：電子回路

キーワード：能動フィルタ 超低周波フィルタ 集積回路 アナログ電子回路 インピーダンススケーリング回路
トランスコンダクタ MOSFET 生体医用電子回路

1. 研究開始当初の背景

医用生体関連分野への信号処理用回路の応用として、古くから補聴器用集積フィルタが研究され、心拍モニタ、脳介機装置、人工内耳などの低周波用のフィルタ・帯域通過増幅器等の様々な研究成果が報告されている。近年では、医用信号処理回路の小型化が進み、無線通信を利用した装着型脳波計測システムの実装例が報告されている。

フィルタの低周波化には非常に大きな容量値のコンデンサが必要となる。これは、医用電子装置の今後のさらなる小型化・軽量化のネックとなる。超低周波回路の実現に有効な手段とインピーダンススケールリング (IS: Impedance Scaling) 技術が知られている。IS 技術の原理、すなわち、コンデンサの容量値を拡大する方法として古くからミラー効果が知られている。この方法は、容量値の拡大係数が電圧帰還増幅回路の増幅率で決まり、その増幅率は演算増幅回路に代表されるように、正確に設定することが困難であった。

近年の IS 回路は、電流帰還を基本原理としており、電流増幅率はカレントミラー回路のトランジスタサイズの設定によりミラー効果と比較して正確に設定できるという特長がある。この技術はまず片側の端子が接地された大容量コンデンサを実現する回路として提案された。その後我々のグループが非接地型の回路を提案した。しかし、最少のトランジスタを用いたシンプルな構成では、コンデンサとして振る舞う周波数帯域が非常に狭いという問題があった。この解決方法として、カスコード段を利用した内部インピーダンスの高抵抗化が有効である。しかしこれにより、低周波帯域における動作が改善するが、その手法は大きなオフセット電圧を発生させるという問題を引き起こしていた。

2. 研究の目的

オフセットの問題は、通信機器用 LSI をはじめ、様々な信号処理用集積回路において解決すべき重要かつ解決困難な課題である。IS 回路でも、実装上最大の障害となっている。N チャネルトランジスタの電流源回路と P チャネルトランジスタの電流源回路の直流動作電流のミスマッチに起因するオフセット電流が、低周波域特性の改善のために実現された高抵抗端子に流れるため、大きなオフセット電圧が発生する。これにより、フィルタを構成した場合、能動素子に適切なバイアスがかからず、動作点が定まったとしても、無歪信号振幅を確保できないという問題が生じる。

このように、これまでの研究では、低周波特性の改善とオフセット電圧の問題解決は両立しなかった。本研究は、動作周波数帯域の拡大効果を損なわずにオフセット電圧の問題を解決する有効な技術を提案し、IC チップ試作によりその有効性を検証することを目的とした。

3. 研究の方法

研究の遂行方針として、基本原理の考案と検証、回路設計、解析とシミュレーション、レイアウト設計、IC チップ試作または個別素子を用いた測定用回路の作成と実測、の各段階に沿って順次実施した。

本研究の主たる具体的検討課題は、大容量コンデンサの集積化を可能とする非接地型インピーダンススケールリング回路のオフセット電圧低減手法の検討である。前述のとおり、低周波特性とオフセット電圧の問題はトレードオフの関係にあり、両立することは容易ではない。そこでまず、対称型非接地インピーダンススケールリング回路 (SFIS: Symmetrical Floating Impedance Scaling circuit) を応用した全差動フィルタの直流オフセット電圧の低減を図ることとした。

一方、オフセット電圧の問題を抱える回路に改善を施すという方針とは別に、原理的にオフセット電圧を発生しにくい回路の開発も行った。

4. 研究成果

(1) 全差動形フィルタのオフセット電圧低減

前研究課題 (基盤研究 C 24560436) においてすでに SFIS 回路を提案した。この回路は非接地コンデンサを使用するバンドパスフィルタやハイパスフィルタの構成に有用である。一方で、図 1 に示すような OTA (Operational Transconductance Amplifier) 回路を用いた全差動ローパスフィルタのコンデンサとしても使用可能であり、接地型回路を組み合わせる非接地回路を構成する場合と比較して全容量値、すなわちコンデンサの専有面積が 1/4 で済むことを示した。

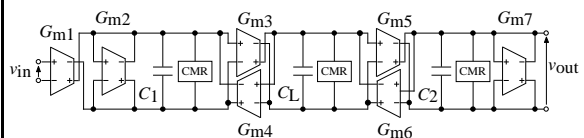


図 1: 全差動 3 次アクティブローパスフィルタ

全差動フィルタの場合、同相信号に対して回路内で正帰還の作用が生じて不安定になることを防ぐために同相信号除去回路が必要である。全差動 OTA-C 回路では、各 OTA に同相帰還回路を組み合わせる同相信号除去を行うことが一般的である。この回路の場合には 7 個の同相帰還回路が使用される。我々は過去に、図 1 に CMR (Common-Mode Rejection) と表記された 3 個のブロックで示されているように、各節点で重複しないように同相除去回路を導入すればよいことを見出している。

CMR 回路はそれ自身が同相信号に対して低インピーダンスになり、各節点の同相利得を低減するというものであるが、それ自身も電流ミスマッチのためにオフセット電圧を発生してしまう。そこで、オフセット電圧は周

波数 0Hz の同相信号であるとみなせることに着目し、同相帰還によってオフセットを低減する手法を考案した。

CMR 回路が接続された箇所に注目すると、すべてコンデンサと並列に接続されていることがわかる。したがって、SFIS の中に同相帰還回路を組み込めば、SFIS の高インピーダンス端子における同相信号に対して低インピーダンスを実現すると同時に同相の直流オフセットも低減することが可能となる。図 2 に同相帰還回路を組み込んだ SFIS 回路を示す。右側部分の M19-M23 が同相信号検出回路で、M19 を介して M15、M18 により増幅して帰還をかけている。M15、M18 はもともとアスペクト比 N の定電流源回路であったもので、この回路では N 倍の帰還増幅回路として働くため、高い同相除去効果を発揮し、オフセット電圧も低減できる。

図 3 に同相除去比 (CMRR : Common-Mode Rejection Ratio) を示す。CMR 回路を用いた従来回路よりもはるかに高い CMRR を実現していることがわかる。

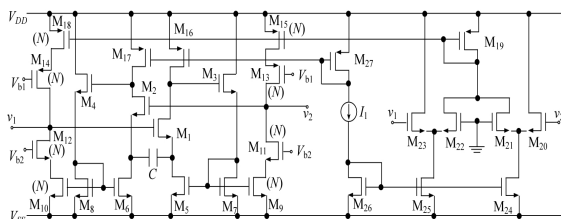


図 2 : 同相帰還回路を付加した SFIS 回路

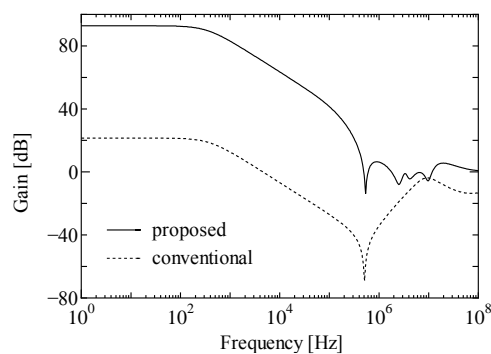


図 3 : CMR 回路を用いた従来回路と図 2 の回路の CMRR の比較

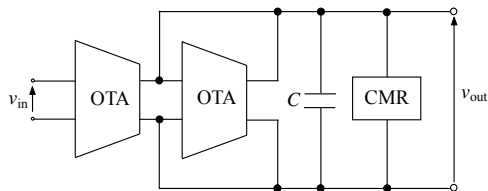


図 4 : 全差動 1 次ローパスフィルタ SFIS 回路

図 2 の回路を用いて図 4 に示す全差動 1 次ローパスフィルタを構成し、シミュレーションを行った。遮断周波数は、使用した OTA の g_m 値の都合上、190Hz とした。CMR 回路を用いた従来回路を使用した場合、出力端子のオフセット電圧は 400mV を超え、フィルタの動作点としての適正な範囲を超えていたが、提案回路では 1.56mV となり、提案手法の有効性が確認された。

SFIS 回路の低周波帯域特性のさらなる改善にも取り組んだ。その成果として得られた回路を図 5 に示す。図 2 の回路において、M11 ~ M14 が従来的手法として導入されたカスコード段 (ゲート接地回路) である。この手法には 2 つの問題が残された。第一の問題は、この手法による効果が原理的に不十分であることがあげられる。低周波特性の指標となる極 (角) 周波数は

$$\omega_p \cong \frac{1}{2NC} \left(\frac{1}{R_q} + \frac{N}{r_{d6}} \right)$$

で表される。この値は小さいほどよい。カスコード段で改善されるのは R_q の値である。しかし、 R_q を大きくしても、式 (1) からわかるように N/r_{d6} の値が大きいままで、十分な改善効果が得られなかった。 r_{d6} は図 1 の M6 (M5) のドレイン抵抗である。括弧内第 2 項は、コンデンサのインピーダンスとともに r_{d6} もスケールアップの効果を受けていることを示している。そこで r_{d6} を見かけ上高めるために、図 5 においてカスコード段 M9、M10 を導入した。

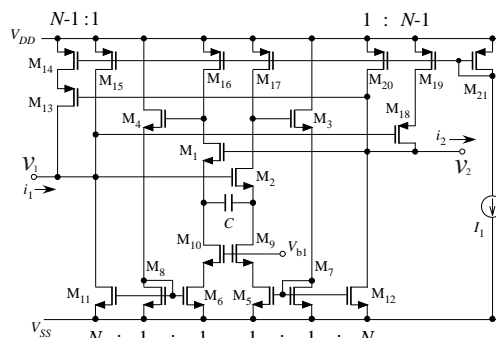


図 5 : 低周波特性を改善した SFIS 回路

第二の問題は、図 2 の M11 ~ M14 が信号の無歪振幅を制限してしまうことである。これは、当研究対象の回路のみならず、アナログ回路全般に言えることである。この問題を解決するために、カスコード段の代わりに負性抵抗回路 (NIC : Negative Impedance Circuit) を導入した。M13-M15 および M18-M20 がその回路に相当する。M13 と M18 はカスコード段であるが、これらは負の抵抗 (コンダクタンス) による回路の不安定性を防ぐために導入されており、M15 と M11 および M20 と M12 の共通ドレイン端子の可動電圧範囲が広い無歪電圧範囲 (振幅) に寄与している。

本研究課題の主な目的であるオフセット電圧低減のため、図 5 の回路にも、同相帰還

回路を導入した。回路図を図 6 に示す。NICは無信号時には単なるバイアス電流源として、同相信号に対してはソース接地増幅回路として振る舞うため、NIC を帰還増幅回路としても利用する同相帰還システムを実現した。この回路と CMR を用いた従来回路は、図 1 に示す遮断周波数 100Hz の全差動 3 次チェビシェフフィルタへの応用で比較した。まず、出力オフセット電圧は、CMR 回路を用いた従来回路では 31.1mV であるのに対し、提案回路では 9.2mV であった。通過帯域付近のフィルタの周波数特性を図 7 に示す。通過帯域特性が改善されていることが確認できる。

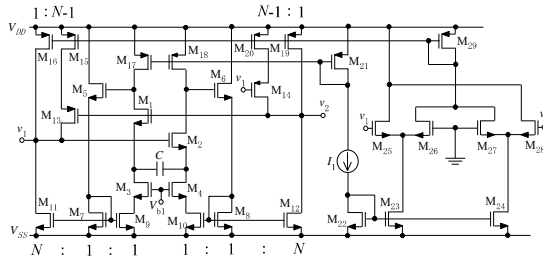


図 6：低周波特性を改善した回路に同相帰還回路を付加した SFIS 回路

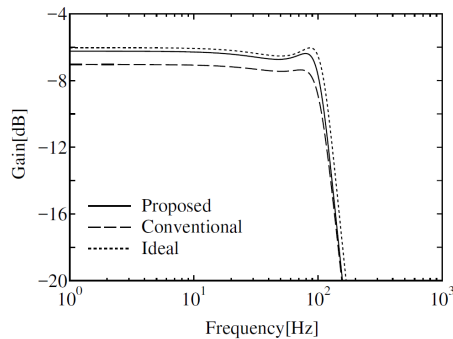


図 7：全差動 3 次チェビシェフローパスフィルタの振幅特性

(2) 電圧帰還型 IS 回路

背景で述べたように、古くから知られているミラー効果は、スケール率を正確に設定できないという問題がある。しかしながら、ミラー効果を利用した回路には二つの重要な長所がある。

一つ目は、優れた低周波特性である。コンデンサのインピーダンスが十分高い低周波帯域では並列に接続された抵抗成分が支配的になる。その抵抗値が高いほど優れた低周波特性となる。前項(1)で述べたカスコード段や NIC の導入によりトランジスタのドレイン抵抗を高める方法は、有効ではあるものの、ある程度以上の改善は望めない。ミラー効果では、帰還増幅回路の入力抵抗が十分に高いため、超低周波帯域に適用可能な回路を実現することができる。

二つ目がオフセット電圧である。電流帰還型では不可避であったオフセット電流が発生しないため、それに起因するオフセット電

圧は原理的に発生しないという、重要な長所もある。

そこで我々は、電圧帰還の原理を利用しつつ、スケール率を正確に決定できる回路構成を考案した。その回路図を図 8 に示す。また、インピーダンス特性を図 9 に示す。提案回路の曲線が 3 本あるのは、設計細部が異なるもので説明は割愛する。いずれも超低周波帯域まで、有限の抵抗成分の影響が現れず、コンデンサとしての振る舞いを示していることがわかる。なおシミュレーションによるオフセット電圧はほぼゼロ (fA オーダー) であった。

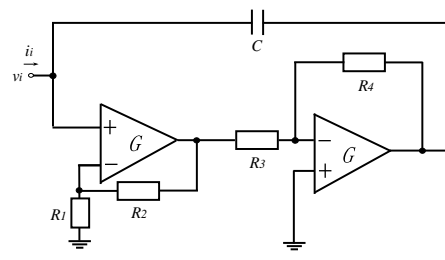


図 8：電圧帰還型高精度超低周波 IS 回路

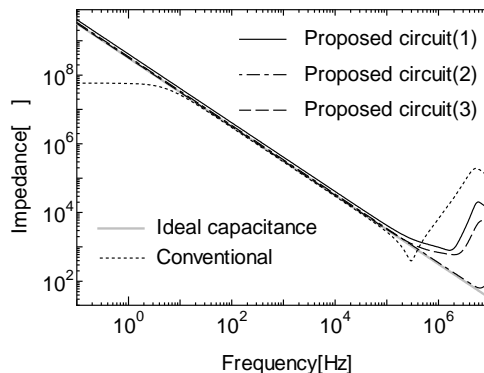


図 9：電圧帰還型高精度超低周波 IS 回路のインピーダンス特性

(3) フィルタ全体の低周波化

能動フィルタを構成する素子によるパラメータが冗長であれば、そこに低周波化のスケール係数を持たせることが可能であることを見出した。IS 回路は容量値を拡大するものであるが、見かけの抵抗値を大きく見せることも、低周波化としては同等の手段である。

図 10 と図 11 はそれぞれ演算増幅回路を用いた超低周波のリープフロッグフィルタと多端子対ジャイレータを用いたフィルタである。設計の工夫により素子値の広がりを抑えている。これらは原理的には有効な構成法であるが、演算増幅回路および受動素子の数が多い、回路規模と消費電力が増大するという問題があるため、今後さらなる検討が必要である。

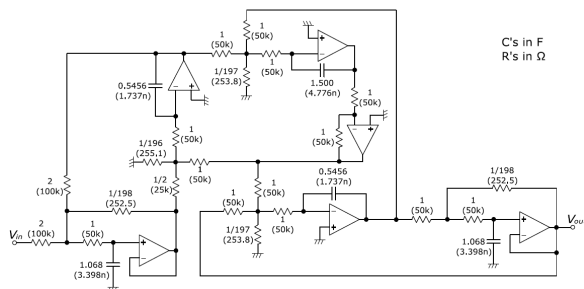


図 10: リーフログ形超低周波ローパスフィルタ

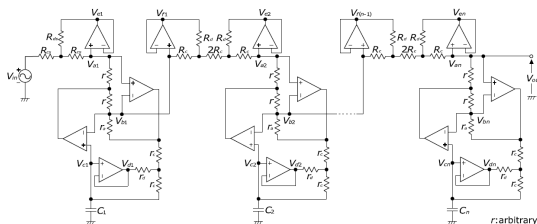
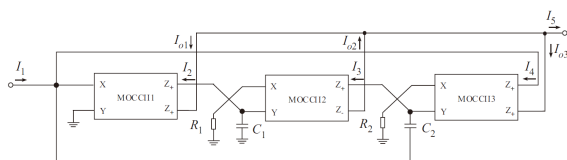


図 11: 多端子対ジャイレータを用いた超低周波ローパスフィルタ

一方、電流モードフィルタの研究も行った。図 12 に示す多出力第 2 世代カレントコンベヤ (MOCC : Multiple-Output second generation Current Conveyor) を使用した 2 次ユニバーサルフィルタのブロック構成そのものは過去に他研究者から提案されたものであるが、我々は電流出力回路の電流係数を、従来の 1 から任意の値に変更することにより、低周波化のパラメータを持たせることを提



案した。

図 12: MOCC を用いた低周波ユニバーサルフィルタ

(4) 実験用 IC チップの試作

大学向け LSI 試作サービスを利用して、実験用チップ試作を行った。最もシンプルな構成の接地型 IS 回路を用いて 1 次能動フィルタ構成し、その遮断周波数の測定値から IS 回路が実現する実質的な容量値を導き出した。回路の動作は確認できたものの、チップ上素子の絶対誤差が予想以上に大きく、50% を超える誤差が生じた。周囲の様々な規制素子の影響を受け易い値の測定であったため、今後の対策を検討中である。

(5) まとめ

本研究では、電流帰還型 IS 回路がもつ低周波特性の改善とオフセット電圧低減を両立させるための技術を確認することを目的として、様々な技術の検討を行った。

SFIS 回路を全差動形フィルタに応用した回路では、同相帰還を OTA ではなく SFIS 回路に付加することで、バイアス電流のミスマッチに起因するオフセット電圧を低減することができた。さらに、低周波特性と低オフセット電圧の点で非常に優れた電圧帰還型 IS 回路を実現した。一方、IS 回路を用いずにフィルタ全体の低周波化に有効なパラメータを見つけることにより、オフセット電圧の発生しにくいフィルタ回路を提案した。以上の手法はいずれも我々独自のアイデアに基づいており、国内外を探しても同様の発表は我々が知る限りでは他では提案されていないユニークな成果と言える。これらは、今後の低周波アナログ信号処理技術の発展により一層大きく貢献できると考えている。

5. 主な発表論文等

(研究代表者、研究分担者及び連携研究者には下線)

〔雑誌論文〕(計 1 件)

F. Matsumoto, S. Nishioka, S. Matsuo, T. Ohbuchi, A Symmetrical Floating Impedance Scaling Circuit with Improved Low-frequency Characteristics, IEIE Transactions on Smart Processing and Computing, vol. 6, no. 6, pp.437-445, 2017. 査読有
DOI 10.5573/IEIESPC.2017.6.6.437

〔学会発表〕(計 16 件)

松尾 翔太, 松元 藤彦, 大淵 武史, 対称型フローティングインピーダンススケールリング回路を用いた完全差動アクティブ低周波ローパスフィルタの試作及び性能評価, 電気学会 電子回路研究会, ECT-17-082, pp.33-36, 2017. 査読無

F. Matsumoto, T. Ohbuchi, H. Nakamura, S. Matsuo, A Design Method of Low Frequency Universal Filter Employing MOCCII, The 24th International Conference "Mixed Design of Integrated Circuits and Systems", pp.55-60, 2017. 査読有

藤井 達哉, 庄野 和宏, 松元 藤彦, 多端子対ジャイレータを用いた低周波ローパスフィルタの一構成, 電気学会 電子回路研究会, ECT-16-087, pp.25-29, 2016. 査読無

F. Matsumoto, S. Matsuo, S. Nishioka, H. Abe, T. Ohbuchi, Study on Improvement in Characteristics of a Fully Differential Filter with a Symmetrical Floating Impedance Scaling Circuit, IEEE ISPACS 2016, pp.533-537, 2016. 査読有

藤井 達哉, 庄野 和宏, 松元 藤彦, リープフロッグ形構成に基づく低周波ローパスフィルタの一構成, 電気学会 電子回路研究会, ECT-16-076, pp.43-48, 2016. 査読無

F. Matsumoto, S. Nishioka S. Matsuo, T. Ohbuchi, Improvement Techniques of Low Frequency Characteristic for a Symmetrical Floating Impedance Scaling Circuit, ITC-CSCC 2016, pp.483-486, 2016. 査読有

松元 藤彦, 木村 雨情, 西岡 周造, 阿部 伯弥, 大淵 武史, 対称型フローティングインピーダンススケーリング回路を用いた完全差動型フィルタの性能改善に関する検討, 電気学会 電子回路研究会, ECT-16-022, pp.19-23, 2016. 査読無

松元 藤彦, 小沼 慶明, 大淵 武史, ミラー効果を用いたインピーダンススケーリング回路の低周波化の試み, 電気学会 電子回路研究会, ECT-16-021, pp.13-17, 2016. 査読無

6. 研究組織

(1) 研究代表者

松元 藤彦 (MATSUMOTO FUJIHIKO)
防衛大学校・応用科学群・教授
研究者番号: 10531767

(2) 研究分担者

大淵 武史 (OHBUCHI TAKESHI)
防衛大学校・応用科学群・講師
研究者番号: 40582896