

科学研究費助成事業 研究成果報告書

平成 30 年 6 月 14 日現在

機関番号：12102

研究種目：挑戦的萌芽研究

研究期間：2015～2017

課題番号：15K12001

研究課題名(和文)大規模問題に対するFPGAアクセラレータ構築手法の研究

研究課題名(英文)A Research on FPGA Accelerator for Large-Scale Applications

研究代表者

丸山 勉(Tsutomu, Maruyama)

筑波大学・システム情報系・教授

研究者番号：00292532

交付決定額(研究期間全体)：(直接経費) 2,600,000円

研究成果の概要(和文)：本研究では、多くの外部メモリ参照を必要とする問題をFPGA上で高速化するために、(1)複数のスレッドをFPGA上で並列に処理し、(2)各スレッドから発生するメモリ参照を外部メモリのバンク毎に動的に振り分け、(3)メモリインタフェースは、各バンクに順繰りにアクセスすることにより最大のメモリスループットを実現し、(4)データがメモリから読み出され次第、それらの読み出しを行ったスレッドに送り返すという計算モデルの性能評価を行い、その有効性を幾つかの応用問題において確認した。

研究成果の概要(英文)：In this research, we propose an FPGA computational model for problems that require many off-chip memory accesses. In this model, (1) many threads are processed in parallel on the FPGA, (2) memory access from each thread is grouped dynamically according to its target memory bank number, (3) the memory interface achieves the maximum throughput by accessing the banks in turn, and (4) the fetched data are sent back to the thread that issued the request. We examined the effectiveness of this model through the evaluation of several real applications.

研究分野：リコンフィギャラブルコンピューティングシステム

キーワード：FPGA DRAM ソーティング 高速計算 インタリーブ

1. 研究開始当初の背景

これまで、FPGA アクセラレータ等の高速化の源泉は、並列処理にあると考えられて来た。このため、外部メモリアクセスが多発する大規模問題においては、並列度が限られ(動作速度が 1/10 程度であるため)、CPU を上回る性能を実現することは困難であるという認識が一般的であった。このため、大規模問題(GB オーダーのデータ処理を必要とする問題)に対する FPGA アクセラレータの構築例はほとんどなく、構築された数少ないアクセラレータも、いずれも連続データアクセスを主体とするものであった。しかし、実際に CPU による大規模な問題の実行状態を調べてみると、(1) 大規模な問題においてはキャッシュメモリがそれ程効果的に働いていないこと、(2) DRAM がサポートしている複数の内部バンクが有効に活用されておらずアクセス遅延が頻繁に発生していること、(3) アクセス遅延後にそのデータを用いて演算が行われ、その結果に応じて再度 DRAM アクセスが行われることが多いこと等により、DRAM がアイドル状態になることが多いことが分かる。これに対し、FPGA アクセラレータにおいて、(1) 効率的なデータ配置を行い、すなわち連続して参照される可能性のある異なるデータを DRAM 内の異なるバンクに割り振り、(2) 将来必要とされ得るデータの先行読み出しを行い、(3) 読み出されるデータに対して最適化されたキャッシュメモリ構成を構築することにより、DRAM バンクの最大スループットをフルに活用することができれば、並列性を活かして、CPU に対して 1 桁近い高速化を実現することが可能であることが、我々の SAT 問題に対する研究成果から分かってきた。しかし、このようなシステムを構築するためには、各問題毎にハードウェアシミュレータを作成し、データ配置、先行読み出し方式、キャッシュメモリ構成に関して、何 10、何 100 回とシミュレーションを繰り返す必要があった。このような作業を自動化することができれば、より大規模な、かつ、より現実的な問題(処理時間が非常に長く、1 桁程度の高速化であっても大きな意味を持つ問題)に対するアクセラレータの構築がより容易なものとなる。

2. 研究の目的

我々はこれまで、書き換え可能な LSI である FPGA (Field Programmable Gate Array) を用いて様々な問題の高速化を行っており、この中で大規模問題な SAT 問題(充足可能性問題)の高速化にも取り組んで来た。ある問題に対する専用アクセラレータを設計する際に、設計者は、まず並列アルゴリズムを考え、次のそのアルゴリズムにおいて使用されるデータ配列の配置を決定する。全てのデータ配列を FPGA の内部メモリに格納できる

場合には、それらのアクセス遅延が小さく、また完全なパイプラインアクセスが可能なたため、プログラマによるデータ配置の最適化は、それほど困難ではない。しかし、非常に大規模な問題の高速化を考えた場合、外部メモリとして DRAM を用いざるを得ない。DRAM のアクセス遅延は非常に大きな上、連続するデータに対するアクセスは高速であるものの異なるアドレスに対するパイプラインアクセスができない。DRAM 中には複数のバンクがあるため、データを各バンクにうまく配置し、先行制御をうまく取り入れれば、遅延を隠蔽することも可能であるが、実行アルゴリズムの詳細な解析と、先行読み出しされたデータの効率的な管理手法が必要となる。この遅延を隠蔽するためのデータ配置、および演算実行順序の変更には、試行錯誤が必要となり、プログラマによる最適化は非常に負荷の大きな作業である。しかし、我々のこれまでの経験(SAT ソルバーおよびプリプロセッサの評価)によれば、DRAM 参照の最適化を行うことができた場合、これまで高速化が困難であると考えられてきた大規模な問題においても、汎用 CPU の約 10 倍程度の高速化が可能である。これは、最適化された場合、DRAM の転送スループットを完全に使い切る、すなわち、ほぼ全ての処理を DRAM 転送とオーバーラップできるからである。

本研究では、

- (1) 各データに対するアクセスパターン(関連するデータとその読み書き頻度)を解析し、
- (2) 各データ配列の内部メモリ、外部メモリへの最適な配置を決定し、
- (3) 外部メモリ(DRAM)へ配置されたデータに対しては、読み書き頻度の比率に応じて、関連するデータと連続するアドレス上へのデータの複製を行い、
- (4) それらのデータ構造に最適化されたキャッシュメモリを内部メモリにより構築し、
- (5) データの参照遅延を隠蔽するために、投機的先行読み出し等を行う

ことにより、外部メモリ参照において最大限のスループットを実現可能な回路を作成し、その有効性を実応用問題により評価する。

3. 研究の方法

本研究は、外部メモリに対して頻繁なアクセスを必要とする大規模な問題に対する高速な FPGA アクセラレータの構築手法の確立を目指すものである。このような FPGA アクセラレータにおいて高速な性能を実現するためには、

- (A) 外部 DRAM に対するデータアクセス回数を最小化すること、
- (B) DRAM の転送速度を最大限に引き出すこと、
- (C) そのデータ転送と FPGA における全ての

演算をできる限りオーバーラップさせること、が必要である。

まず、(A) の外部 DRAM に対するデータアクセス回数を最小化するためには、

- (1) データ配列の FPGA 内部メモリと外部 DRAM への最適な振り分け
- (2) 外部メモリから読み込まれるデータ構造に最適化されたキャッシュメモリスステムの構築

が必要である。

次に、(B) の DRAM の最大限の転送速度を引き出すためには、DRAM に配置されるデータに対して、

- (3) バーストリード/ライトが可能となるデータ配置
- (4) インターリーブアクセスが可能となるような DRAM 内複数バンクに跨るデータ配置
- (5) 将来必要となることが期待されるデータに対する先行読み出しを行い、DRAM の転送帯域をフルに活用することが必要となる。

更に、(C) の DRAM からのデータ転送と FPGA によるデータ処理をオーバーラップさせるためには、

- (6) 上記のデータ先行読み出し
- (7) 先行読み出しされたデータに対する投機的処理の実行
- (8) 読み出されたデータ全てに対する最大限の並列処理の実現

が必要となる。

本研究では、実応用問題の評価を通して、上記手法の有効性の検証を行う。まず、大規模な SAT 問題に対する確率的探索ソルバー un hiding の高速化を通じた評価を行い、次いで、大規模データのソーティングの高速化を通して評価を行う。最後に遺伝子情報処理分野における実応用問題を通じた評価を行う。

4. 研究成果

H27 年度には、まず、既に所有しているパーソナルコンピュータを用いて、SAT 問題に対するプリプロセッサである un hiding の高速化に関する研究を進め、国際学会にてその研究成果の発表を行った。un hiding においては、主要なデータ構造は外部メモリに格納されており、それらのデータを順次手繰りながら処理を行うため、外部メモリへの参照が処理のボトルネックとなる。un hiding では内在する並列性が高いため、(1) それらをマルチスレッドとして FPGA 上で並列に処理し、(2) 各スレッドから発生するメモリ参照を外部メモリのバンク毎 (DDR3 では 8 バンクが存在する) に動的に振り分け、(3) メモリインタフェースは、各バンクに順繰りとアクセスすることにより最大のメモリスループットを実現し、(4) データがメモリから読み

出され次第、それらの読み出しを行ったスレッドに送り返す という計算モデルの性能評価を行った。その結果、4 コアを用いたマイクロプロセッサに対して、4 倍程度の高速化を実現可能であることが確認できた。今回の実装では、メモリ参照待ちとなったスレッドがハードウェア資源を占有したままアイドル状態となるため、同時に処理可能なスレッド数が限定されてしまったが、このハードウェア上で更なるマルチスレッド処理を行うことにより、さらに数倍の処理速度を達成可能であることを確認した。

次に、パーソナルコンピュータを購入し、対象となる回路の大まかな振る舞いをシミュレーション可能なイベント駆動型ハードウェアシミュレータの開発を開始した。このシミュレータを用いて、大規模データのソーティング処理の検討を進めており、現時点での最高処理速度の 2 倍程度の処理を達成する見込みである。

H28 年度は、FPGA ボードを新たに購入し、従来から所有していた FPGA ボードとの、両者において開発を進めた。新しい FPGA ボード用にパーソナルコンピュータの購入を行った。FPGA ボードの DRAM インタフェースの動作確認、および最大性能を実現するための制御方式に関する評価を行い、DRAM に内蔵されている 8 バンク中の 4 バンクを交互に参照し、参照単位を 512B とした時に、ほぼ最大理論値に近い性能を実現可能であることを確認した。この結果に基づき、シミュレータおよび DRAM ライブラリの作成を進めた。これらを用いて、大量データのソーティングシステムを対象として評価を進めた。その結果、ソーティング対象のデータがランダムに配置されている場合には、DRAM からのデータ転送速度の約 99% の性能の実現が可能であり、データが既にソーティング済みの場合には、約 30% の性能が実現可能であることを確認した。

H29 年度には、前年度に引き続き大量データのソーティングに関する研究を進めた。DRAM に対するデータ参照制御方式の改良を行い、既にソーティングされているデータに対しても、DRAM からのデータ転送速度の 90% の性能が実現可能であることを確認した。このシミュレーション結果に基づく回路の FPGA への実装を進め、200MHz 以上の周波数での動作が可能であることを確認した。この結果、我々の方式により、現時点での最高処理速度を実現している FPGA システムの約 2 倍のソーティング速度を達成することが可能であることが分かった。この研究成果に関して、H30 年度の国際学会での発表を目指して準備を進めている。

新たに購入したパーソナルコンピュータを用いて、対象となる回路の大まかな振る舞いをシミュレーション可能なイベント駆動

型ハードウェアシミュレータの開発を行った。このシミュレータにより、別途研究を進めていた遺伝子情報処理におけるショートリードマッピング問題のメモリ参照の最適化を行った。ショートリードマッピングは、個人個人の遺伝子配列を決定する問題であり、非常に大量のデータへの参照が必要となることから、これらのデータを格納する外部 DRAM からの高速なデータ転送が非常に重要となる。このショートリードマッピングの高速化に関する研究成果を、論文誌にて発表した。

以上の実応用問題の高速化に関する研究を通して、FPGA により外部 DRAM への参照を最適化することにより、従来、FPGA による高速化が困難であると考えられてきた大規模なデータに対する参照が必要な問題においても、プロセッサに比べて数倍程度の高速化が達成可能であることを確認できた。数倍という速度向上率は、それほど高いものではないが、このような大量のデータ参照が必要となる問題の処理時間は一般に数十分から数時間に達するものであり、数倍の高速化でも十分に意義があるものである。

5. 主な発表論文等

(研究代表者、研究分担者及び連携研究者には下線)

〔雑誌論文〕(計 1 件)

Yoko Sogabe, Tsutomu Maruyama, A Fast and Accurate FPGA System for Short Read Mapping Based on Parallel Comparison on Hash Table, IEICE Transactions, E100, D(5), 1016-1025 2017, 査読有

〔学会発表〕(計 1 件)

Masayuki Suzuki, Tsutomu Maruyama, FPGA Acceleration of SAT Preprocessor, Parallel Computing (国際学会), pp. 515-524, 2015, 査読有

〔図書〕(計 件)

〔産業財産権〕

○出願状況 (計 件)

名称：
発明者：
権利者：
種類：
番号：
出願年月日：
国内外の別：

○取得状況 (計 件)

名称：

発明者：
権利者：
種類：
番号：
取得年月日：
国内外の別：

〔その他〕
ホームページ等

6. 研究組織

(1) 研究代表者

丸山 勉 (Tsutomu Maruyama)
筑波大学・システム情報系・教授
研究者番号：00292532

(2) 研究分担者

()

研究者番号：

(3) 連携研究者

()

研究者番号：

(4) 研究協力者

()