

平成 30 年 6 月 5 日現在

機関番号：17104

研究種目：挑戦的萌芽研究

研究期間：2015～2017

課題番号：15K12003

研究課題名(和文) 次世代低電力LSI創出のための誤テスト回避型高品質テスト方式に関する研究

研究課題名(英文) Research on High-Quality Test Method for Avoiding False Testing of Next-Generation Low-Power LSIs

研究代表者

温 暁青 (Wen, Xiaoqing)

九州工業大学・大学院情報工学研究院・教授

研究者番号：20250897

交付決定額(研究期間全体)：(直接経費) 2,600,000円

研究成果の概要(和文)：本研究では、誤テストの原因として、(1) スキャンチェーンにおける隣接するFFペアのクロックパス近傍の信号遷移量の不均衡さ、及び、(2) 長い活性化機能パス近傍の信号遷移量の多さに着目し、レイアウト設計での配置配線を工夫することによって、誤テストを確実に回避するというレイアウトレベル誤テスト回避方式(L-FTA: Layout-Level False Test Avoidance)を提案した。ベンチマーチ回路によるシミュレーションやテストチップによる評価の結果によって提案方式の有効性を確認した。この斬新な発想に基づく高品質LSIテスト技術によって、次世代低電力 LSI 創出へ貢献が期待できる。

研究成果の概要(英文)：This study points out that the root causes of false testing of low-power LSI circuits are (1) the unbalanced switching activity around clock trees for two adjacent flip-flops in a scan chain and (2) the excessive switching activity around long activated functional paths. From these unique observations, we propose a method called L-FTA: Layout-Level False Test Avoidance, which avoids possible false testing through sophisticated local layout adjustment for logic elements around clock trees and/or long sensitized functional paths. Extensive benchmark-circuit-based simulation and evaluation-based on test chips, the effectiveness of the proposed method has been confirmed. This novel high-quality LSI test technology is expected to significantly contribute to the creation of the next-generation low-power LSI cricuits.

研究分野：LSIテスト

キーワード：LSI回路 スキャンテスト テスト電力 シフト電力 IR-Drop クロック シフトエラー 誤テスト

1. 研究開始当初の背景

集積回路(LSI)は製造過程において、様々な欠陥が発生する可能性があるため、LSI に対してテスト入力を印加し、それに対する実応答を期待値と比較してLSIの良否を判定するLSIテストが重要である。しかし、機能動作と違ってテスト動作特有の高い並列性のために多くなる信号遷移量によって高騰するテスト電力が限度を超えれば、正常LSIが不良品と誤判定されてしまうという誤テスト問題が発生する。国際半導体技術ロードマップによれば、誤テスト問題はLSIの超低電力化・超微細化・超大規模化に伴って益々頻発し、次世代低電力LSIの創出にとって最大の技術課題の1つになってきている。そのため、国際的に熾烈な研究競争がすでに始まっている。

誤テスト問題に対処するための従来技術は、レイアウト設計を変えない前提で回路全体の信号遷移量を削減することを基本としている。その典型的な手法としては、テストクロック位相変更、テストクロック部分的無効化、故障検出に不要な入力ビットに信号遷移量を削減できる論理値を与える X-Fillingなどが挙げられる。しかし、従来技術では、信号遷移の量と分布を制御する能力に理論的な限界があるため、誤テスト問題の根本的な解決に至っていないことが明白になってきている。

2. 研究の目的

本研究では、誤テストの根本原因として、(1) スキャンチェーンにおける隣接するフリップフロップペアのクロックパス近傍の信号遷移量の不均衡さ、及び、(2) 長い活性化機能パス近傍の信号遷移量の多さに着目し、今まで利用されていなかったレイアウト設計における配置配線を工夫することによって、誤テストを確実に回避するというレイアウトレベル誤テスト回避技術(L-FTA: Layout-Level False Test Avoidance)を世界に先駆けて確立する。この斬新な発想に基づく高品質LSIテスト技術によって、次世代低電力LSIの創出に貢献する。

3. 研究の方法

(1) 平成27年度には、誤テスト発生可能箇所の高精度・高速特定手法の開発を目標に実施した。まず、スキャンシフト操作において、各テストベクトルに対応する全てのシフトクロックパルスに対して、隣接FFペアのクロックパスの影響エリアの信号遷移量の均衡性を評価する尺度を提案した。これによって、シフト型誤テストの発生しうるスキャンチェーンにおける隣接FFペアを特定することができる。また、スキャンキャプチャ操作において、各テストベクトルに対する長い活性化機能パスを抽出し、その影響エリアの信号遷移量を評価する尺度を提案した。これによって、キャプチャ型誤テストの発生し

る長い活性化機能パスを特定することができる。提案手法では、LSI回路の物理設計データ(クロックツリー、レイアウト、電源分配ネットワーク等)を用いること、Full-Timing論理シミュレーターで各影響エリアの信号遷移の状況を求めること、更に、遷移確率に基づく信号遷移の均衡性や量の判定基準を使用することで高い特定精度を達成している。次に、誤テスト発生可能箇所特定のために各影響エリアの信号遷移状況を調べるためのFull-Timing論理シミュレーションの処理時間が長いという問題を解決するため高速化手法を提案した。具体的には、対象影響エリアに到達できる回路部分のみをトランジスタレベルに展開すること、その部分の入力のみで論理値ではなく入力波形を与えること、GPU(Graphics Processing Unit)を用いてトランジスタレベルで入力波形に対してシミュレーションを行うことによって、誤テスト発生可能箇所特定の高速度を図ることができる。

(2) 平成28年度には、前年度に提案した手法では、スキャンシフト操作において、各テストベクトルに対応する全てのシフトクロックパルスに対して隣接FFペアのクロックパスの影響エリアの信号遷移量の均衡性を評価することによって、シフト型誤テストの発生しうるスキャンチェーンにおける危険隣接FFペアを特定することができる。本年度は、危険隣接FFペアの存在による誤テストを回避することを目標に研究開発を実施した。まず、シフト型誤テストを回避するために、危険隣接FFペアの入れ替えをレイアウトにおける配線変更を通じて行う手法を提案した。その基本的な考え方は、スキャンチェーンにおける危険隣接FFペアのクロックパスの影響エリアの信号遷移量の不均衡を解消することである。次に、危険隣接FFペアの入れ替えを行っても十分な不均衡解消効果が得られない場合に備えて、信号遷移量の多い影響エリアの一部の論理素子を外へ移動させることをレイアウトにおける配置変更で行う手法を提案した。また、配置変更における第2指針として、キャプチャ型誤テストの回避にも効果があることを用いることにした。この2つの手法(危険隣接FFペアの入れ替えと論理素子の配置変更)はシフト型誤テスト回避に対して高い効果を発揮できるが、設計コストや面積オーバーヘッドの増大を伴うデメリットがある。この問題を緩和するために、テストベクトルやテスト応答の内容を変更することによってシフト型誤テストを回避する手法をも提案した。その基本的な考えた方は、危険隣接FFペアの出力値をテストベクトルにおける対応ビットの入力値変更やテスト応答における対応ビットの期待値マスキングで同一化することである。この手法は、回路オーナーヘッドがなく故障検出率低下も僅かな上、シフト型

誤テストを効果的に回避することができることが実験によって確認できた。

(3) 平成29年度には、L-FTA 技術の有効性を確認するため、評価用LSI回路の設計を実施した。その中で、L-FTA 技術を用いた場合の電力（機能動作時及びテスト時）の影響（テスト電力レベル、テスト電力安全性、電池のテスト消耗率など）を詳細に調べるために、試作LSI回路内の数か所にオンチップの遅延計測ユニットを設けた他、消費電力の影響をより効果的に評価するために、電源分配ネットワーク（PDN: Power Distribution Network）に三種類の強弱レベルを設定できるようなユニークな仕組みを考案し、設計した。測定機器として、CTS社の卓上型テスターを用いた。様々な条件下で計測した結果、提案したL-FTA技術の有効性を確認した。

4. 研究成果

(1) 本研究では、スキャンテストにおけるシフトエラー発生仕組み（図1）を明らかにした。シフトモードにおいて、図1(a)のようにクロックが1つ進んだ時に、それぞれのFFの値に着目すると、01、または10の信号値遷移を起こすFFが存在する。図1(b)においてはFF1とFF4がそれに当たる。図1(a)にはクロックが1つ進んだ時のFFの信号値遷移がそれぞれのFFのクロックパスに及ぼす影響を表している。シフトモードでシフトした値による信号値遷移は回路に伝播するため、その内FFのクロックパスに影響を及ぼすクロックアグレッサリージョン(CAR)に含まれるノードも幾つか信号値遷移が発生することになる。信号値遷移による電力消費は遅延の原因となるため、このCAR内の信号値遷移量が多いほどクロックパスに大きい遅延が発生し、少ないほど小さい遅延となる。この遅延の差によってシフトエラーが発生する。

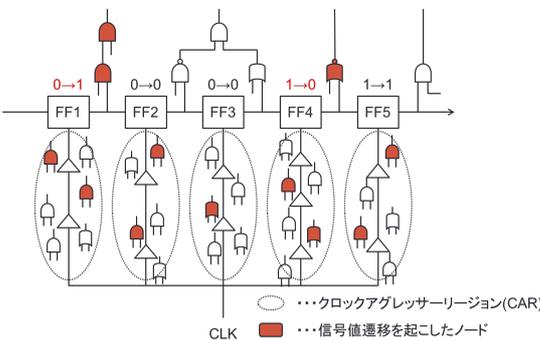
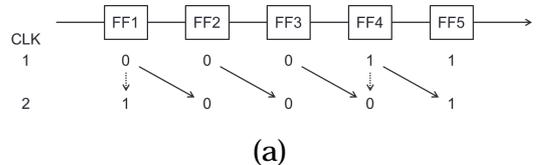


図1 シフトエラーの原因

(2) 本研究では更に、CARにおけるシフトモード時の信号値遷移数を計測する。この信号値遷移数は、FFのクロックパスの遅延に影響するものであり、この遅延は消費電力により引き起こされる。消費電力は信号値遷移数だけでなく、そのノードのファンアウト数にも関係しているため、それに応じた重みをつける重み付信号値遷移数(Weighted switching activity: WSA)を計測する。本研究では、このCARにおけるWSAの値をWSAatCARと定義する。シフトエラーは隣接するFFのクロックパスの遅延のばらつきにより発生するため、隣接するFFについてのWSAatCARの差を計算し判別する。この差をSubtraction at WSA(SWSA)と定義し、その値は次のように求める。

$$SWSA(FF_i) = WSAatCAR(FF_i) - WSAatCAR(FF_{i-1})$$

ここで、 FF_i と FF_{i-1} は同一スキャンチェーン上で隣接しており、 FF_{i-1} から FF_i の順番でシフトが行われているとする。シフトエラーが発生していない場合は、 FF_i が先に動作し、 FF_{i-1} の値が格納されるが、シフトエラーが発生した場合は、 FF_{i-1} が FF_i より先に動作する可能性がある。つまり、 FF_i のクロックパスの遅延が FF_{i-1} のクロックパスの遅延に比べある程度大きかった場合にシフトエラーが発生したと判断する。すなわち、ある閾値 τ に対し、

$$SWSA(FF_i) > \tau$$

となる場合に FF_i にシフトエラーが発生すると判定する。この閾値 τ の値によってシフトエラー判別の厳しさが規定される。図2はシフトエラーの判定フローを示している。

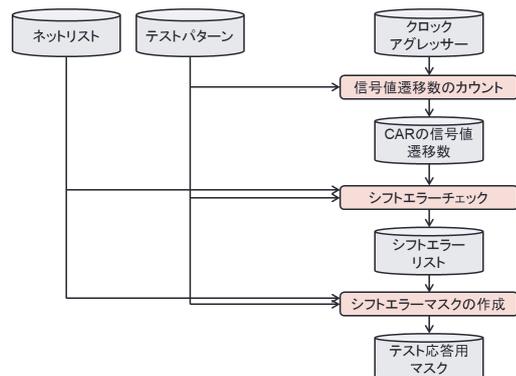


図2 シフトエラーの判定フロー

(3) 本研究では更に、クロック信号線周辺の状態遷移削減によって、隣接するフリップ・フロップ間の状態遷移量の非均衡さを抑え、スキャンテストにおけるシフトエラーを回避するためのレイアウト変更手法を提案した。レイアウト変更の対象はクロックアグレッサリージョンであり、その例を図3に示す。あるクロックバッファBがあったとき、この周りにあるクロックバッファBと電源配線を共有するノードをクロックアグレッサリージョンと呼ぶ。このクロックアグレッサリージョンをクロックバツ

ファ B について集めたものがクロックアグレッサセット(CAS(B))である。

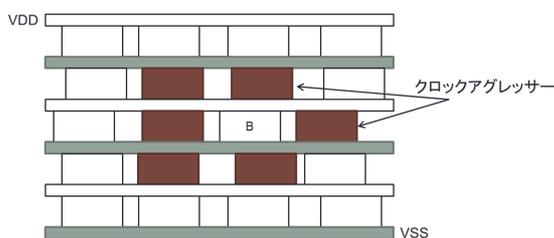


図 3 レイアウトレベル対策の基本概念

5. 主な発表論文等

(研究代表者、研究分担者及び連携研究者には下線)

[雑誌論文](計6件)

- 1 T. Kato, S. Wang, Y. Sato, S. Kajihara, and X. Wen, "A Flexible Scan-in Power Control Method in Logic BIST and Its Evaluation with TEG Chips," *IEEE Trans. on Emerging Topics in Computing*, 査読有 (Early Access 版のみ)
DOI: 10.1109/TETC.2017.2767070
- 2 D. Xiang, X. Wen, and L.-T. Wang, "Low-Power Scan-Based Built-In Self-Test Based on Weighted Pseudo-Random Test Pattern Generation and Reseeding," *IEEE Trans. on VLSI Systems*, 査読有, Vol. 25, No. 3, pp. 942-953, Mar. 2017.
DOI: 10.1109/TVLSI.2016.2606248
- 3 F. Li, X. Wen, K. Miyase, S. Holst, and S. Kajihara, "Logic-Path-and-Clock-Path-Aware At-Speed Scan Test Generation," *IEICE Trans. on Fundamentals of Electronics, Communications, and Computer Sciences*, 査読有, Vol. E99-A, No. 12, pp. 2310-2319, Dec. 2016.
<https://doi.org/10.1587/transfun.E99.A.2310>
- 4 T. Chen, D. Shen, X. Yi, H. Liang, X. Wen, and W. Wang, "Reseeding-Oriented Test Power Reduction for Linear-Decompression-Based Test Compression Architectures," *IEICE Trans. on Inf. & Syst.*, 査読有, Vol. E99-D, No. 11, pp. 2672-2681, Nov. 2016.
<https://doi.org/10.1587/transinf.2015EDP7289>
- 5 D. Xiang, K. Shen, B. B. Bhattacharya, X. Wen, and X. Lin, "Thermal-Aware Small-Delay Defect Testing in Integrated Circuits for Mitigating Overkill," *IEEE Trans. on Computer-Aided Design*, 査読有, Vol. 35, No. 3, pp. 499-512, Mar. 2016.
DOI: 10.1109/TCAD.2015.2474365

- 6 W.-S. Ding, H.-Y. Hsieh, C.-Y. Han, C.-M. Li, and X. Wen, "Test Pattern Modification for Average IR-Drop Reduction," *IEEE Trans. on VLSI Systems*, 査読有, Vol. 24, No. 1, pp. 38-49, Jan. 2016.
DOI: 10.1109/TVLSI.2015.2391291

[学会発表](計14件)

- 1 K. Miyase, Y. Kawano, X. Wen, and S. Kajihara, "Locating Hot Spot with Justification Techniques in a Layout Design," *Proc. of IEEE Workshop on RTL and High Level Testing*, Paper S1.2, Taipei, Taiwan, Nov. 2017.
- 2 Y. Zhang, S. Holst, X. Wen, K. Miyase, S. Kajihara, and J. Qian, "Scan Chain Grouping for Mitigating IR-Drop-Induced Test Data Corruption," *Proc. of IEEE Asian Test Symp.*, pp. 140-145, Taipei, Taiwan, Nov. 2017.
- 3 S. Holst, E. Schneiderz, H. Kawagoe, M. A. Kochtez, K. Miyase, H.-J. Wunderlichz, S. Kajihara, and X. Wen, "Analysis and Mitigation of IR-Drop Induced Scan Shift-Errors," *Proc. of IEEE Int'l Test Conf.*, Paper 3.4, Fort Worth, USA, Oct.-Nov. 2017.
- 4 M. Sauer, J. Jiang, S. Reime, K. Miyase, X. Wen, B. Becker, and I. Polian, "On Optimal Power-Aware Path Sensitization," *Workshop of Test and Reliability for Circuits and Systems*, Mar. 5-7, Germany, 2017.
- 5 F. Li, X. Wen, S. Holst, K. Miyase, and S. Kajihara, "Logic-Path-and-Clock-Path-Aware At-Speed Scan Test Generation," *Int'l Symp. on Applied Engineering and Sciences*, Paper E44, Dec. 18, 2016.
- 6 S. Eggersgluess, S. Holst, D. Tillex, K. Miyase, and X. Wen, "Formal Test Point Insertion for Region-based Low-Capture-Power Compact At-Speed Scan Test," *Proc. of IEEE Asian Test Symp.*, pp. 173-178, Hiroshima, Japan, Nov. 2016.
- 7 S. Holst, E. Schneider, X. Wen, S. Kajihara, Y. Yamato, H.-J. Wunderlich, and M. A. Kochte, "Timing-Accurate Estimation of IR-Drop Impact on Logic- and Clock-Paths During At-Speed Scan Test," *Proc. of IEEE Asian Test Symp.*, pp. 19-24, Hiroshima, Japan, Nov. 2016.
- 8 M. Sauer, J. Jiang, S. Reimer, K. Miyase, X. Wen, B. Becker, and I. Polian, "On Optimal Power-Aware Path Sensitization," *Proc. of IEEE Asian Test Symp.*, pp. 179-184, Hiroshima,

- Japan, Nov. 2016.
- 9 T. Kato, S. Wang, Y. Sato, S. Kajihara, and X. Wen, "A Flexible Power Control Method for Right Power Testing of Scan-Based Logic BIST," *Proc. of IEEE Asian Test Symp.*, pp. 203-208, Hiroshima, Japan, Nov. 2016.
 - 10 X. Wen, "Power-Aware Testing For Low-Power VLSI Circuits," *Proc. of the 13th IEEE International Conference on Solid-State and Integrated Circuit Technology*, Paper S37-1, Hangzhou, China, Oct. 2016.
 - 11 S. Eggersgluess, K. Miyase, and X. Wen, "SAT-Based Post-Processing for Regional Capture Power Reduction in At-Speed Scan Test Generation," *Proc. IEEE European Test Symp.*, Paper 7A.1, Amsterdam, The Netherlands, May 2016.
 - 12 K. Asada, X. Wen, S. Holst, K. Miyase, S. Kajihara, M. A. Kochte, E. Schneider, H.-J. Wunderlich, and J. Qian, "Logic/Clock-Path-Aware At-Speed Scan Test Generation for Avoiding False Capture Failures and Reducing Clock Stretch," *Proc. of IEEE Asian Test Symp.*, pp. 103-108, Bombay, India, Nov. 2015. (*Best Paper Award*)
 - 13 X. Wen, "Power Supply Noise and Its Reduction in At-Speed Scan Testing," *Proc. of IEEE Int'l Conf. on ASIC*, Paper B5-3, Chengdu, China, Nov. 5, 2015.
 - 14 K. Miyase, M. Sauer, B. Becker, X. Wen, and S. Kajihara, "Identification of High Power Consuming Areas with Gate Type and Logic Level Information," *Proc. of IEEE European Test Symp.*, Papers 9.1, Cluj-Napoca, Romania, May 2015.

〔図書〕(計 件)

〔産業財産権〕

出願状況(計 件)

名称：
発明者：
権利者：
種類：
番号：
出願年月日：
国内外の別：

取得状況(計 件)

名称：
発明者：

権利者：
種類：
番号：
取得年月日：
国内外の別：

〔その他〕
ホームページ等

6. 研究組織

(1) 研究代表者

温 暁青 (WEN, Xiaoqing)
九州工業大学・大学院情報工学研究院・
教授
研究者番号：20250897

(2) 研究分担者

梶原 誠司 (KAJIHARA, Seiji)
九州工業大学・大学院情報工学研究院・
教授
研究者番号：80252592

宮瀬 紘平 (MIYASE, Kohei)
九州工業大学・大学院情報工学研究院・
准教授
研究者番号：30452824

ホルスト シュテファン (HOLST, Stefan)
九州工業大学・大学院情報工学研究院・
助教
研究者番号：40710322

(3) 研究協力者

K. Chakravarty
M. Tehranipoor
P. Girard
H.-J. Wunderlich
浜田 周治 (HAMADA, Shuji)
L.-T. Wang
M. E. Jan
羽立 幸司 (HADATE, Koji)