

科学研究費助成事業 研究成果報告書

平成 30 年 6 月 25 日現在

機関番号：17104

研究種目：挑戦的萌芽研究

研究期間：2015～2017

課題番号：15K12004

研究課題名(和文)集積回路の製造テスト結果を利用した信頼性予測

研究課題名(英文)Reliability prediction using manufacturing test results of VLSIs

研究代表者

梶原 誠司(Kajihara, Seiji)

九州工業大学・大学院情報工学研究院・教授

研究者番号：80252592

交付決定額(研究期間全体)：(直接経費) 2,700,000円

研究成果の概要(和文)：本研究では、製造テストで得られる膨大な測定データに対するデータマイニングに基づいて、テストコストを削減する手法を提案した。提案手法は、テスト途中のVLSIの最終テスト結果を予測するための判別モデルを作成する。テスト結果予測によるテストコスト削減効果を評価するため、新たな評価尺度も開発している。更に、劣化が進行しやすいVLSIを判別するための検討を行った。実験では、提案のテスト結果予測手法は予測性能やコスト削減率等の評価値を十分に向上可能であることを示した。更に、試作チップに対する実験により、回路構成の違いによる劣化進度の違いを確認した。

研究成果の概要(英文)：In this research, we proposed a test cost reduction method, which tries to predict final test results on the way of test process, using machine learning techniques for the huge measurement data obtained from manufacturing test of VLSIs. We also developed new evaluation measures to evaluate the effect of test cost reduction. Furthermore, we discussed on judging VLSIs which are easy to progress aging. Experimental results obtained through test data for industrial dies showed that the proposed method could improve predictability with high test cost reduction capability significantly. In addition, we confirmed the difference of aging speed produced by the difference of circuit structure by an experiment for TEG chips.

研究分野：LSIテスト

キーワード：LSIテスト テストコスト削減 データマイニング アダプティブテスト パーインテスト

1. 研究開始当初の背景

ASIC や SoC などの VLSI のテストは、製造した集積回路の欠陥不良の有無や、製造ばらつき等により回路特性が仕様を満たさないものを判別し、良品と不良品を選別する工程である。製造テストでは、ファンクション試験、DC 試験、AC パラメトリック試験などの試験方法による 500 以上のテスト項目がある。多くのテスト項目がもたらす長いテスト時間は、VLSI の開発コストの一部であるテストコストを増大させるため、テスト時間の短縮によるテストコスト削減は重要な課題となっている。その一方で、得られたテスト結果の大多数は、そのテスト項目でのパス・フェールを判定する以外に活用されていない。

また、VLSI の微細化とともに製造ばらつきが大きくなり、出荷後の経年劣化による誤動作も懸念されている。ばらつきは、回路の性能に現れる他、劣化の進行速度にも現れる可能性がある。これらは、良品チップであってもチップ毎に経年劣化による製品寿命がばらつくことを示唆している。応募者の梶原らは、これまでの研究で、運用中の VLSI の劣化検知を行うフィールドテスト技術を開発し、出荷後に劣化の進行状況が把握できるようになった。しかし、それらの研究では、出荷前の段階で個々の VLSI の信頼性や製品寿命の上限を予測することは考えていない。

2. 研究の目的

研究の目的は以下の 2 項目である。

- (1) 製造テストで得られる膨大な測定データから、データマイニングの手法により、図 1 に示すようにテスト途中の VLSI の将来のテスト結果を予測し、テストコストを削減する手法を確立する。
- (2) 製造テストの結果から、劣化が進行しやすい VLSI を判別できるか否かを明確にする。

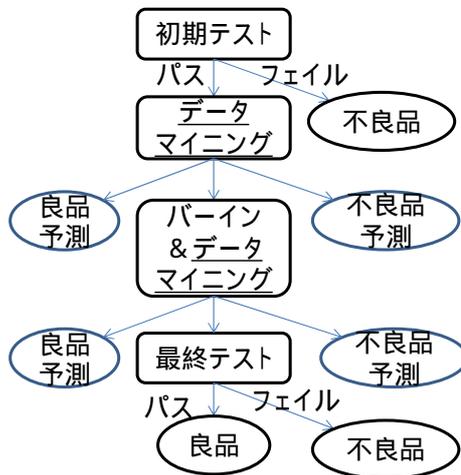


図 1 テスト結果予測によるコスト削減

3. 研究の方法

まず、製造テストの初期テスト段階で得られる測定データから、将来のテスト結果（高コストなバーインテスト適用後の結果）をできるだけ正確に予測する手法を開発する。データマイニングのツールとして、開発環境としてフリーの R 言語を使用する。これらは、半導体製造企業の協力を得て、実際の LSI 製造テストデータを入手し、そのデータを利用して解析を実施する。データ解析では、大分大学の竹准教授を研究分担者に迎え研究を遂行する。

データ解析の前処理として、企業から提供された製造テストの測定値の生データを解析可能なデータに変換する。この前処理では、

- ・欠損値のあるチップデータの排除
- ・ウェーハ内のサイト間の補正
- ・データの正規化

等の作業を実施する。続いて、以下の解析で規則性を発見し、バーイン不良予測の判別モデルを作成する。なお、ここではチップ毎に数百項目ある測定値がどのようなテスト項目から得られたものかは考慮せず、単なる数値データとして扱って解析する。また、チップを知識獲得のための学習用データと、学習結果の妥当性を調べるための検証用データに分けて解析する。

・クラスタリング：テスト項目とチップを測定値の分布のばらつきに基づいて、3つのクラスにクラスタリングし、クラスタリング結果とバーイン不良の関連性（相関）を明らかにする。

・SVM（サポートベクタマシン）による判別モデルの作成：上記のクラス毎に、SVMを適用し、バーイン不良後の結果を予測する判別モデルを作成する。

その後、これまでに我々の研究室で試作したチップに対するテストの結果から劣化が進行しやすい VLSI の判別可能性を検討する。製造した VLSI の製造ばらつきによる遅延マージンの測定は、開発済みのオンチップ遅延測定技術を利用できる。これまでに試作した VLSI チップに対して、本学の既存設備の恒温槽を利用した劣化加速実験と CTS 社の測定環境を活用して、実データからの知識獲得を目指す。

4. 研究成果

(1) ウェーハテスト結果からのバーインテスト結果予測の概要

VLSI の製造テストプロセスは、典型的には図 2 に示すような 4 つの工程で構成される。最初のステップはウェーハテスト、2 番目のステップはパッケージテスト、3 番目のステップはバーインテスト（以降、BI テストと記す）、最後のステップは最終テストである。各テスト工程には複数のテスト項目があり、電圧値、電流値などのテスト結果が LSI テストデータとして格納されている。

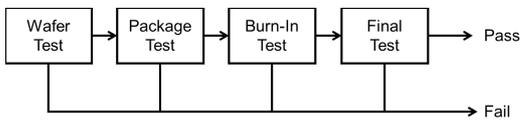


図2 テスト工程

これらの工程の中で、バーインテストは長時間で高コストである。BIテストを用いなくても、ウェーハテストなどのBIテスト以前の工程で得られているテストデータから最終テストの結果を予測できれば、テストコストを削減できる。そこで、製造テスト途中段階で、既に実施済みのテスト（ウェーハテスト）の測定データから未実施のテスト（BIテストや最終テスト）に対する結果を予測する判別モデル作成の研究を行った。

(2) 評価指標の開発

結果予測のための判別モデルの性能評価においてよく知られている評価指標に、AUC(Area Under the Curve)があるが、AUCは運用にあたってのモデルの優劣を示すことはできない。また、本研究の目的の一つであるテストコスト削減効果を計るにも適切でない。そこで、「コスト削減率(cost reduction rate)」と「不良見逃し率(bad die escape rate)」という2つの指標を新たに開発した。

本研究ではBIテストを行わなくて済む確実にPass良品となるチップの割合だけ、コストを削減することができる。そこでコスト削減率を以下の式で定義する：

$$\text{コスト削減率}[\%] = (\text{良品判定されたチップ数} \div \text{全チップ数}) \times 100$$

これは実際に運用した時にテスト工程の省略によりコストを削減できるチップの割合である。Fail不良のチップをPass良品と誤判別した場合はそれらのチップを含めて算出する。

一方で、良品と予測されてテスト工程を省略するチップの中に、実際には不良品であるチップが含まれる可能性がある。そこで、不良見逃し率を以下の式で定義する。

$$\text{不良見逃し率}[\%] = (\text{良品と誤判定された不良チップ数} \div \text{良品と判定されたチップ数}) \times 100$$

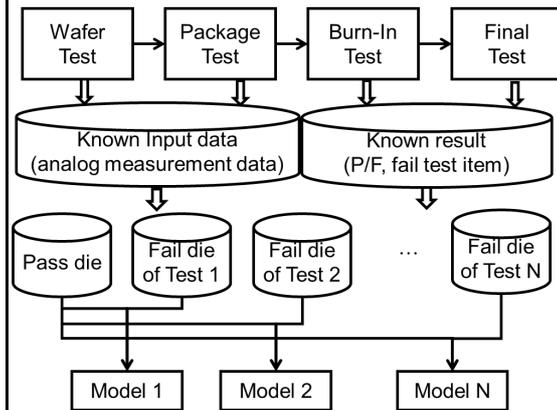
一般に、コスト削減率を上げると不良見逃し率も上がり、コスト削減率を下げると不良見逃し率も上がる傾向がある。そこで、低い不良見逃し率で高いコスト削減率を達成する判別モデル作成手法の開発が望まれる。

(3) SVM と K-交差検証による判別モデル作成

判別モデル作成の提案手法は、事前学習として、図3(a)に示すようにまずいくつかのテ

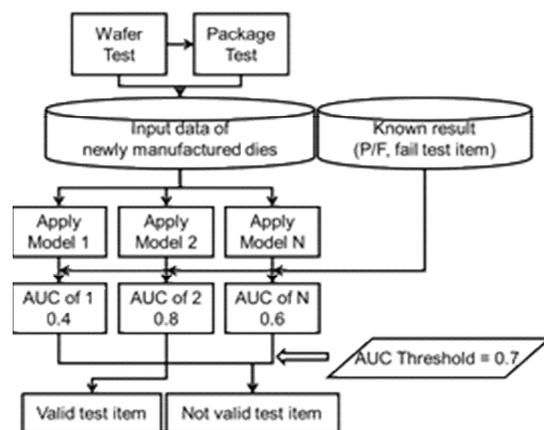
スト項目のテスト結果を予測する判別モデルをSVMにより作成する。ここでの判別モデル作成には、K-分割交差検証を適用する。その後、それらを統合して最終テストの結果を予測する判別モデルを作成する。予測対象のテスト項目は、図3(b)に示すように、その項目で不良となるチップが多いものや予測が比較的容易なもの（AUCの値が大きいもの）を選択することで、予測精度や効率を向上させる。

Pre-learning : Wafer A,B



(a) 事前学習における学習フロー

Pre-validation : Wafer C



(b) 事前学習の検証フロー

図3 判別モデル作成のための事前学習

実験では、車載用LSIのような不良見逃しが許されない、つまり不良見逃し率が0の要求条件で実際の製造テストデータに対して提案手法を適用し、単純にSVMを適用して予測する場合と比較して、提案手法はAUCやコスト削減率等の値を向上可能であることを示した。表1は、十種類の実チップデータの組み合わせに対して、単純にSVMを適用した結果(Basic)と提案手法(proposed)を適用した結果をAUCとコスト削減率の平均値で示している。AUCは、微増であるが、コスト削減率は20%以上向上可能であることを示している。

表 1 提案手法の効果

Method	Measure	Ave.
basic	AUC	0.64
	cost reduction rate	5.8%
proposed	AUC	0.65
	cost reduction rate	28.7%

この結果を纏めた論文を査読付き国際会議 (IEEE ITC-Asia 2018) に投稿し、採録されている [1] .

(4) クラスタリングと SVM による判別モデル作成

判別対象データを判別モデルに適用した際の良品である確率の分布特徴をいくつか抽出し、特定の閾値で不良品を発見しつつテストコストを削減することが可能な判別モデルを SVM によって学習選択する手法も提案した[2] . 既知のデータが良い判別結果を示した判別モデル群と近似したパラメータを得られる判別モデル群を選択出来れば、特定の判別確度で BFT を発見でき、大幅なテストコスト削減を実現できる . 判別モデル選択フローを図 4 に示す .

6 ロットの实テストデータを用いた実験では、学習閾値 50% , 判別確度 50% の設定条件で、表 2 に示すように、判別対象データのすべてのフェールダイを発見しつつテストコストを大幅に削減できることを示した .

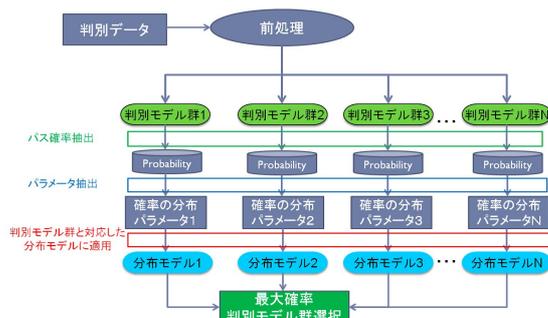


図 4 判別モデル群選択フロー

表 2 実験結果

(学習閾値 50% , 判別確度 50%)

ロット	コスト削減率	不良見逃し率
Lot1	59.1%	0%
Lot2	31.2%	0%
Lot3	27.4%	0%
Lot4	63.1%	0%
Lot5	38.7%	0%
Lot6	31.9%	0%

(5) 試作チップの劣化実験によるデータ取得と信頼性の将来予測

CMOS65nm テクノロジで試作したチップを使って劣化加速実験を実施し、回路の形状と劣化進捗についてのデータを取得した . 試作チップは、ITC99 のベンチマーク回路である b22 (12,128 ゲート , 709 フリップフロップ) を 10 個テスト対象回路として内包し、更に低消費電力 BIST 機能と温度電圧センサ 9 組を含んでいる . 概要を表 3 に示す .

表 3 試作チップ概要

テクノロジー	Renesas SOTB 65nm CMOS
チップサイズ	2.0x3.0 mm
ピン数	162(電源等で 60 ピン)
ライブラリ	VDEC 提供ライブラリと設計フローを利用
電圧	1.2V(~ 0.4V 低電力セル)
動作周波数	暫定 50MHz(20ns)

測定系は、DUT-UNIV-QFP208 (VDEC 仕様サブボード) を Cloud Testing Service 社のテスト CX1000D に接続して制御を行い、温度加熱評価を可能にするため恒温槽 ESPEC SU-241 に入れて測定した .

測定は、b22 を BIST の擬似乱数パターンで動作させると同時に、温度電圧センサに含まれるリング発振器 (RO: Ring Oscillator) の動作周波数を計測することで、性能劣化の様子を観測した . RO は、NBTI に対する劣化耐性が異なるように構成したものを 7 種類 (RO1~RO7) 用意し、85 , 1.4V の高温高電圧で 60 分動作させ、各 RO の動作周波数の変遷を計測した .

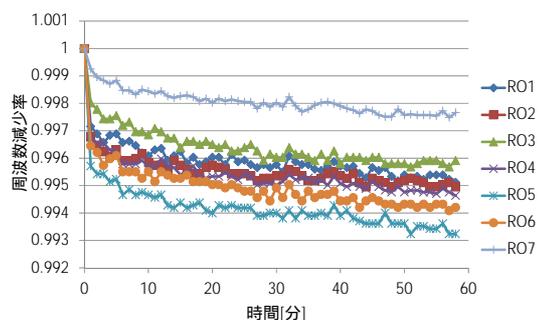


図 5 劣化加速試験の結果

結果を図 5 に示す . RO5~RO7 は、NBTI による劣化が促進しやすい構成になっており、実験においても他の RO より動作周波数の低下が顕著であることを確認できた . こうした傾向は HSPICE の MOSRA (MOS Reliability Analysis) 機能を使った回路シミュレーションでも確認できている .

NBTI による性能劣化は、pMOS トランジスタを長く OFF 状態に置くことで回復効果があることも知られており、今後確認予定である . また、同じ構成のチップに対して、劣

化進度のバラツキについても今後測定・解析していく予定である。

引用文献

- [1] Takeru Nishimi, Yasuo Sato, Seiji kajihara, Yoshiyuki Nakamura, " Good die prediction modelling from limited test items," Proc. IEEE Int 'l Test Conference in Asia., 査読有, Aug. 2018. (to appear)
- [2] 袖留木 大地, 大竹 哲史, 中村 芳行, " 機械学習を用いたフェールチップ判別の性能向上に関する検討," 信学技報, vol. 116, no. 466, DC2016-77, pp. 17-22, 2017年2月.

5. 主な発表論文等

(研究代表者、研究分担者及び連携研究者には下線)

[雑誌論文](計 9件)

- Takeru Nishimi, Yasuo Sato, Seiji kajihara, Yoshiyuki Nakamura, " Good die prediction modelling from limited test items," Proc. IEEE Int 'l Test Conference in Asia., 査読有, Aug. 2018. (to appear)
- Takaaki KATO, Senling WANG, Yasuo SATO, Seiji KAJIHARA, Xiaoqing WEN, "A Flexible Scan-in Power Control Method in Logic BIST and Its Evaluation with TEG Chips," IEEE Transactions on Emerging Topics in Computing, 査読有, (10 pages) (to appear) DOI 10.1109/TETC.2017.2767070 97.
- Yucong Zhang, Stefan Holst, Xiaoqing Wen, Kohei Miyase, Seiji Kajihara, Jun Qian, "Scan Chain Grouping for Mitigating IR-Drop-Induced Test Data Corruption," Proc. IEEE Asian Test Symp., 査読有, pp. 140-145, Nov. 2017. DOI 10.1109/ATS.2017.37 96.
- Stefan Holst, Hiroshi Kawagoe, Eric Schneider, Michael A. Kochte, Kohei Miyase, Hans-Joachim Wunderlich, Seiji Kajihara and Xiaoqing Wen, "Analysis and Mitigation of IR-Drop Induced Scan Shift-Errors," Proc. IEEE International Test Conference, 査読有, Paper 3.4 (8 pages), Oct.-Nov. 2017. DOI 10.1109/TEST.2017.8242055
- Yousuke Miyake, Yasuo Sato, Seiji Kajihara, "On the effects of real time and contiguous measurement with a digital temperature and voltage sensor," Proc. IEEE Int 'l Test Conference in Asia., 査読有, pp. 125-130, Sept. 2017. DOI 10.1109/ITC-ASIA.2017.8097126
- Yousuke Miyake, Yasuo Sato, Seiji

- Kajihara, Yukiya Miura, "Temperature and Voltage Measurement for Field Test Using an Aging-Tolerant Monitor," IEEE Transactions on Very Large Scale Integration Systems, 査読有, Volume: 24, No. 11, pp.3282-3295, Nov. 2016. DOI: 10.1109/TVLSI.2016.2540654
- Fuqiang Li, Xiaoqing WEN, Kohei MIYASE, Stefan HOLST, Seiji KAJIHARA, " Logic-Path-and-Clock-Path-Aware At-Speed Scan Test Generation," IEICE Trans. on Fundamentals of Electronics, Communications and Computer Sciences, 査読有, Vol. E99-A, No. 12, pp. 2310-2319, Dec. 2016. DOI: 10.1587/transfun.E99.A.2310
- Takaaki KATO, Senling WANG, Yasuo SATO, Seiji KAJIHARA, " A Flexible Power Control Method for Right Power Testing of Scan-Based Logic BIST," Proc. IEEE Asian Test Symp., pp. 203-208, Hiroshima, Nov. 21-24, 2016. DOI 10.1109/ATS.2016.59
- Senling Wang, Yasuo Sato, Seiji Kajihara, and Hiroshi Takahashi, " Physical Power Evaluation of Low Power Logic-BIST Scheme using TEG Chip," ASP Journal of Low Power Electronics, 査読有, Vol. 11, No. 4, pp.1-13, December 2015. doi:10.1166/jolpe.2015.1410

[学会発表](計 18件)

- 井上賢二, 三宅庸資, 梶原誠司, " デジタル温度電圧センサにおける特定温度電圧領域の推定精度向上手法", 電子情報通信学会技術研究報告 DC2017-85, pp. 49-54, 東京, 2018年2月20日
- 西見 武, 梶原 誠司, 中村 芳行 (ルネサスエレクトロニクス株式会社), " 特定のテスト項目を用いた良品予測モデル作成", 第78回FTC研究会, 姫路市, 2018年1月18日~20日
- 三宅庸資, 佐藤康夫, 梶原誠司, " FPGAの自己テストのためのTDCを用いたテストクロック観測手法の検討", 電子情報通信学会技術研究報告 DC2017-75, pp. 37-42, 秋田市, 2017年12月15日.
- Kohei Miyase, Yudai Kawano, Xiaoqing Wen, Seiji Kajihara, "Locating Hot Spot with Justification Techniques in a Layout Design," Digest of IEEE Workshop on RTL and High Level Testing, S1-2(4 pages), Nov.30-Dec.1, 2017.
- 大島繁之, 加藤隆明, 王 森レイ, 佐藤康夫, 梶原誠司, " スキャンベース論理BISTにおけるマルチサイクルテストの中間観測 FF 選出手法について", 電子情報通信学会技術研究報告 VLD2017-41, pp. 85-90, 熊本市, 2017年11月6-8

日。
柚留木 大地, 大竹 哲史, 中村 芳行,
“機械学習を用いたフェールチップ判別における適用識別器と判別確度の決定法”, 電子情報通信学会技術研究報告 VLD2017-36, pp. 55-60, 熊本市, 2017年11月6-8日。

柚留木 大地, 大竹 哲史, 中村 芳行,
“機械学習を用いたフェールチップ判別の性能向上に関する検討”, 電子情報通信学会技術研究報告 DC2016-77, pp. 17-22, 東京都, 2017年2月21日。

木村浩隆, 梶原誠司, 佐藤康夫(九工大), 中村芳行, “製造テスト項目毎の予測モデルに基づくテストコスト削減について”, 第76回FTC研究会, 宮崎市, 2017年1月19日~21日

三宅庸資, 佐藤康夫, 梶原誠司, 温暁青,
“デジタル温度電圧センサにおける2点補正手法の検討”, 第76回FTC研究会, 宮崎市, 2017年1月19日~21日

Yousuke Miyake, Yasuo Sato, Seiji Kajihara, “Measurement of On-Chip Temperature and Voltage Variation Using Digital Sensors,” Digest of IEEE Workshop on RTL and High Level Testing, pp. 66-71, Hiroshima, Japan, Nov. 2016.

加藤隆明, 王森レイ, 佐藤康夫, 梶原誠司, 温暁青, “論理BISTにおけるスキャンイン電力制御手法とTEG評価,” 情報処理学会DAシンポジウム2016論文集, vol.2016, pp. 79-84, 加賀市, Sep. 14-16, 2016.

梶原誠司, 「VLSIテスト技術によるシステムディペンダビリティ向上への期待」, 日本信頼性学会 第24回春季信頼性シンポジウム65. (特別講演) 東京, 2016年5月23日

三宅庸資, 加藤隆明, 糸永卓矢, 佐藤康夫, 梶原誠司, “デジタルモニタを用いたチップ内温度電圧変動の測定について,” 電子情報通信学会技術研究報告 DC2015-74 pp. 5-10, 村上市(新潟), Dec. 18, 2015.

喜納 猛, 三宅 庸資, 佐藤康夫, 梶原誠司, “FPGAのオンチップ遅延測定における温度影響補正の検討,” 電子情報通信学会技術研究報告 DC2015-59 pp. 165-170, 長崎市, 2015年12月3日。

梶原誠司, “VLSIテスト技術によるシステムディペンダビリティ向上への期待”, (フェロー記念講演 デザインガイア2015) 電子情報通信学会技術研究報告, DC2015-40 pp. 43-44, 長崎市, 2015年12月1日

Seiji Kajihara, “Failure Prediction of Logic Circuits for High Field Reliability,” (Invited talk) 16th IEEE Workshop on RTL and High Level

Testing, Mumbai, India, Nov. 26, 2015.
三宅庸資, 佐藤康夫, 梶原誠司, “リングオシレータを用いたFPGA上の完全デジタル温度モニタ,” 情報処理学会DAシンポジウム2015論文集, vol.2015, pp. 205-210, 加賀市, Aug. 26-28, 2015.
佐藤康夫, 梶原誠司, “国際学会(ITC等)に見るテスト技術の動向と課題” 第73回FTC研究会資料, 青森市, 2015年7月16日~18日

〔図書〕(計 0件)

〔産業財産権〕

出願状況(計 0件)

取得状況(計 0件)

〔その他〕

ホームページ等

<http://aries3a.cse.kyutech.ac.jp/>

6. 研究組織

(1) 研究代表者

梶原 誠司 (KAJIHARA, Seiji)

九州工業大学・大学院情報工学研究院・教授

研究者番号: 80252592

(2) 研究分担者

大竹 哲史 (OHTAKE, Satoshi)

大分大学・理工学部・准教授

研究者番号: 20314528

(3) 連携研究者

(4) 研究協力者

佐藤 康夫 (SATO, Yasuo)

九州工業大学・大学院情報工学研究院・客員教授

中村 芳行 (NAKAMURA, Yoshiyuki)

ルネサス エレクトロニクス(株)・オートモーティブソリューション事業本部・主任技師