

科学研究費助成事業 研究成果報告書

平成 29 年 6 月 3 日現在

機関番号：17104

研究種目：挑戦的萌芽研究

研究期間：2015～2016

課題番号：15K12110

研究課題名(和文) 深層学習ハードウェアのためのカオスボルツマンマシンの集積回路実装

研究課題名(英文) Integrated-circuit implementation of chaotic Boltzmann machines for deep learning hardware

研究代表者

森江 隆 (Morie, Takashi)

九州工業大学・大学院生命体工学研究科・教授

研究者番号：20294530

交付決定額(研究期間全体)：(直接経費) 2,700,000円

研究成果の概要(和文)：ボルツマンマシンは機械学習における重要な確率的モデルであるが、それを決定論的カオスを用いて実現するカオスボルツマンマシン(CBM)が提案されている。これをデジタル・アナログ両方式での集積回路実装によりその性能を評価し、深層学習ハードウェアに適用可能な回路設計技術を開発した。モデルで用いられる指数関数の実現法として、アナログ方式ではMOSFETのsubthreshold領域特性を利用することを、デジタル方式ではビットシフトを用いることを考案し、実チップにより動作を確認した。デジタル方式では100ニューロン回路を構成して、最大カット問題に適用して最適解を出力できることを確認した。

研究成果の概要(英文)：Boltzmann machines are an important stochastic model in machine learning, and a chaotic Boltzmann machine (CBM) model has been proposed using deterministic chaos. We have implemented this model by both analog and digital integrated circuits (ICs), evaluated their performance, and developed the circuit design technology that can be applied to deep-learning hardware. We have implemented an exponential function used in the CBM model by the characteristics of the subthreshold region of a MOSFET in analog ICs, and by bit shift operation in digital ICs, and verified the operation of CBMs using real IC chips. We have designed a 100-neuron CBM in a digital IC, applied it to max-cut problems, and verified the output of the optimum solutions.

研究分野：脳型集積システム

キーワード：ソフトコンピューティング ニューラルネットワーク 電子デバイス・機器 集積回路 深層学習 機械学習

1. 研究開始当初の背景

ボルツマンマシン (BM) は 1980 年代に提案されたニューラルネットワークモデルの一つであるが、近年の深層学習において最初に成功したモデルでもあり、実用的にも極めて重要なモデルである。BM は確率的動作を行うため、そのハードウェア実装においては、各ニューロンユニットが独立に確率的動作を行なう必要がある。通常のアナログ集積回路 (VLSI) 実装においてはすべてのユニットが並列動作することから、ユニットと同じ数の乱数生成回路が必要となる。したがって、大規模な BM ネットワークを構成する場合、多数の乱数生成回路を VLSI チップ内に集積する必要があり、回路占有面積と消費電力の双方の観点から非常に高コストになるという問題がある。

これに対し、確率的動作の代わりにアナログ的な非線形ダイナミクスを用いて、決定論的に動作するカオスボルツマンマシン (CBM) が提案されている。CBM は乱数生成器を必要とせず、その計算能力はオリジナルの BM に匹敵することが示されており、アナログ集積回路により効率的な実装が期待される。

2. 研究の目的

本研究の目的は、CBM モデルの高性能ハードウェアを実現するための要素技術を開発し、アナログ・デジタル両方式での集積回路実装により、既存技術との比較を通してその性能を評価し、深層学習機械に適用可能なハードウェア基盤を確立することである。

3. 研究の方法

(1) CBM のダイナミクスを実行するアナログおよびデジタル両方式での集積回路を考案・設計し、実回路の測定により、その性能を評価する。

(2) CBM は図 1 に示すように、相互に結合したユニットのネットワークである。各ユニットはアナログ値を持った内部状態 x_i と 2 値の出力 S_i を持ち、それらは図 1 に示すダイナミクスで状態更新する。入力 z_i が一定の時は図 2 (a) に示すように、 x_i と S_i は一定周期で振動するが、もし z_i が変化すると (すなわち、結合している他のユニットの出力が変化すると)、図 2 (b) に示すように、そのタイミングで x_i の傾きが変化する。 S_i が一周期内で 1 である割合 (デューティ比) は、図 2 (c) に示すように、入力 z_i についてシグモイド型関数になっており、その傾きは温度パラメータ T で決定される。

4. 研究成果

(1) アナログ CBM 集積回路の設計・試作

回路構成を図 3 に示す。ユニット間の結合 (シナプス) はスイッチト電流源で構成され、

$$\frac{dx_i}{dt} = (1 - 2S_i) \left\{ 1 + \exp \frac{(1 - 2S_i)z_i}{T} \right\}$$

$$z_i = \sum_{j=1}^N w_{ij} S_j + \theta_i$$

$$S_i \leftarrow 1 \text{ (} x_i = 1 \text{ のとき)}$$

$$S_i \leftarrow 0 \text{ (} x_i = 0 \text{ のとき)}$$

x_i : ユニット i のアナログ内部状態値
 S_i : ユニット i の 2 値出力
 T : 温度パラメータ
 w_{ij} : ユニット i と j 間の相互結合荷重値
 θ_i : ユニット i のバイアス値

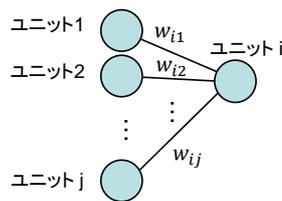


図 1 CBM モデル

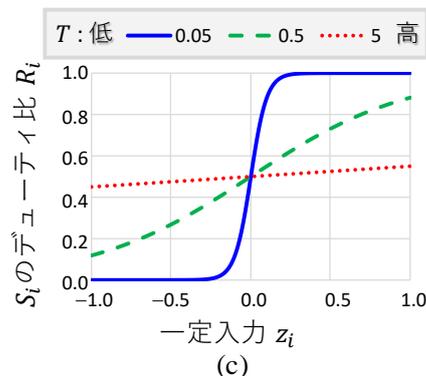
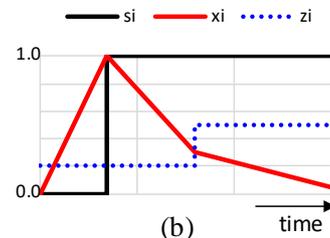
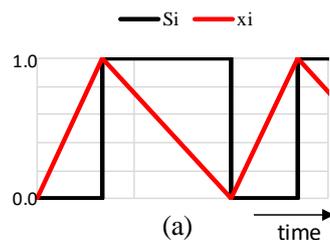


図 2 CBM の動作

結合している他のユニットの出力 S_j が High になると電流源が ON され、結合強度 w_{ij} に比例した電流がユニット回路内のキャパシタ

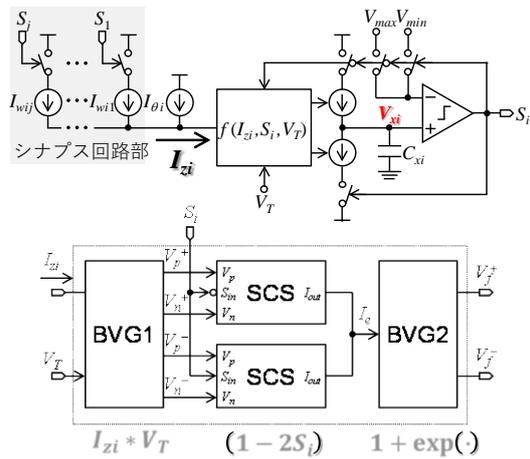


図3 アナログCBM回路構成

に流れ込む。ユニット内では図1に示したダイナミクス式を実行するように回路が構成されている。ここで、 x_i の更新式の右辺は回路ブロック f で計算される。指数関数 (\exp) は、MOS トランジスタのサブスレッショルド特性 (しきい値以下の動作領域で、ゲート電圧に対してドレイン電流が指数関数的に変化する特性) を用いて実現している。アナログ内部状態値 x_i はキャパシタに電荷として蓄積され、回路ブロック f からの電流で更新されることで、更新式が実行される。

この回路構成に基づいて、3 ユニットが相互に結合したネットワークを設計し、TSMC 社 0.25 ミクロン CMOS 集積回路技術で試作した。ネットワーク構成とチップ写真を図4に示し、試作回路の測定結果を図5および図6に示す。

図5には、ネットワーク内の1個のユニットの動作について測定した結果を示す。他のユニットからの結合荷重を固定して、入力が一定となる条件下では、ユニットの内部状態および出力は周期的に振動し、その振る舞いは入力値に依存して、デューティ比 R_1 が図に示すように変化する。シナプス結合荷重の関数としてのデューティ比は図に示すようになり、理論的な特性とほぼ一致した。

3 ユニット CBM ネットワーク動作における1 ユニットの振る舞いについて、温度パラメータを変化させて観測した結果を図6に示す。温度が非常に低い場合、ユニットの内部状態はほぼ0か1に固定される状態となる。図6に示したユニットの場合、内部状態はほぼ常時1となっており、デューティ比はほぼ1である。一方、温度が非常に高い場合は、デューティ比はほぼ0.5の周期振動となる。中間的な温度では、ユニットはカオス的な振動状態を示す。これは経験的に、3 ユニット以上のCBMネットワークで見られる現象であり、設計・試作した集積回路がモデル通りに動作していることを示している。

以上の3ユニットCBMネットワークの他に、14ユニットのCBMネットワークも設計・試作

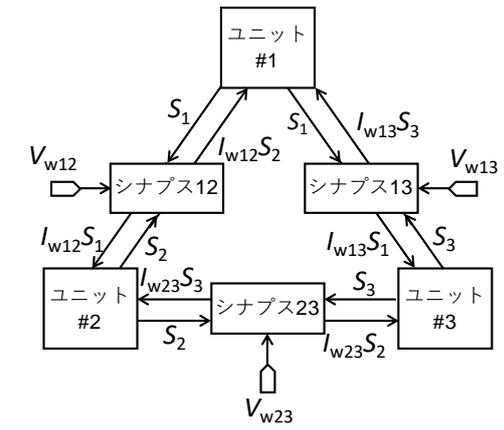
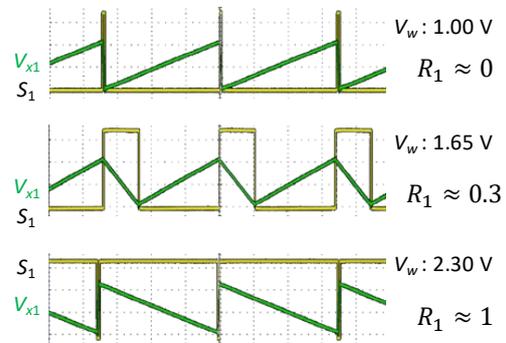


図4 3ユニットCBMネットワーク構成と試作チップ写真



オシロスコープ画面 ($V_T = 0.95V$)

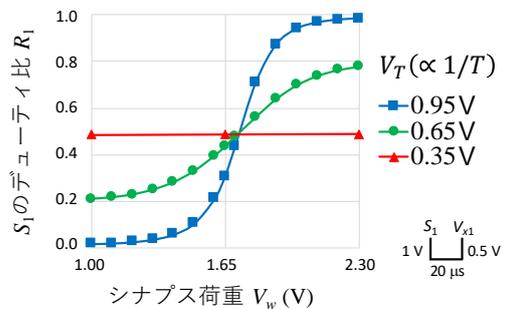


図5 3ユニットCBMネットワーク内の1ユニット動作の測定結果

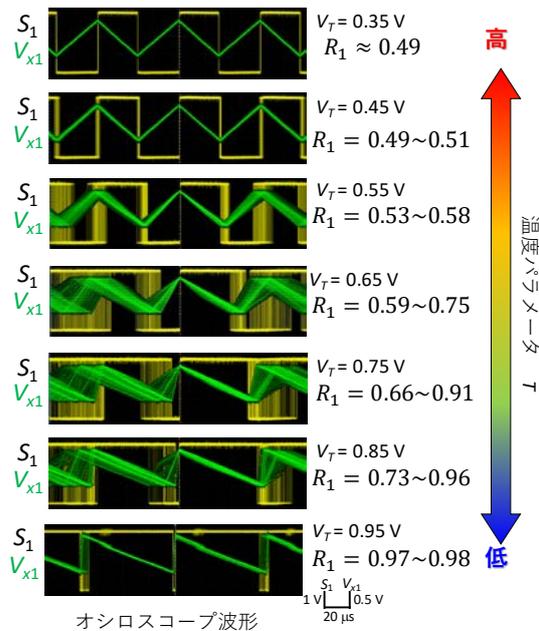


図6 3ユニットCBMネットワーク動作の測定結果

し、カオス的動作とともに、ネットワークのエネルギーが減少することを確認した。

(2) デジタルCBM集積回路の設計・試作

デジタル方式でCBM回路を設計し、ハードウェア記述言語 (HDL) を用いてCBMネットワーク回路を記述し、動作を検証した。

図7にデジタル方式で構成したニューロンユニット回路とシナプス回路のブロック図を示す。図7(a)に示すニューロンユニット回路内では図1に示したダイナミクスに従って計算がなされる。この回路では、式中のexp関数はビットシフト演算で近似している。図7(b)に示すシナプス回路は、ニューロンユニットの出力 S_i が0/1の2値であるため、この値に従って荷重値を出力するか、しないかを選択する回路となっている。

この回路構成に基づいてCBM回路を記述し、FPGAに実装した。100ユニットのネットワークを搭載したFPGA回路で、最大カット問題の一例 (g05_100.0) を解かせた時のエネルギー関数の時間変化を図8に示す。温度の低下と共にネットワークのエネルギーが単調に減少して、最適値に達していることから、デジタル回路における近似計算で実現したCBMネットワークでもBMの動作が実現されて、最適化問題を解いていることが確認できた。

5. 主な発表論文等

(研究代表者、研究分担者及び連携研究者には下線)

[雑誌論文] (計4件)

- ① M. Yamaguchi, H. Tamukoh, H. Suzuki, and T. Morie, A CMOS Chaotic Boltzmann Machine Circuit and Three-neuron Network Operation, Proc. Int. Joint

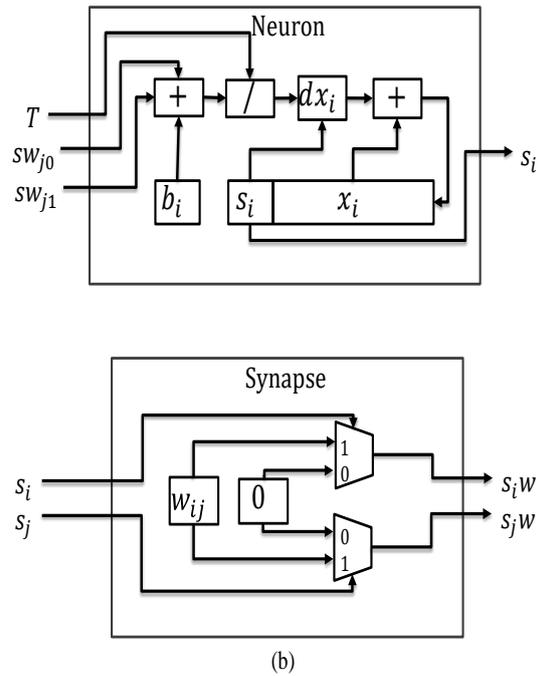


図7 デジタルCBM回路構成

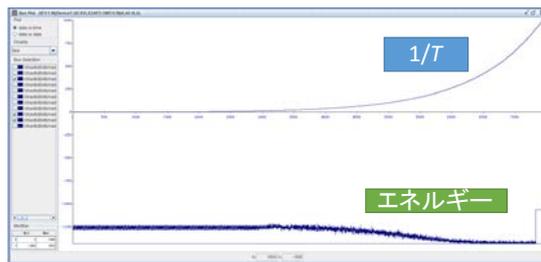


図8 デジタルCBM回路でのエネルギー変化の様子

Conf. on Neural Networks (IJCNN 2017), pp. 1218-1224, Anchorage (USA), May, 2017. 査読有

- ② M. Yamaguchi, T. Kato, Q. Wang, H. Suzuki, H. Tamukoh, and T. Morie, A CMOS Unit Circuit Using Subthreshold Operation of MOSFETs for Chaotic Boltzmann Machines, Proc. 23rd Int. Conf. on Neural Information Processing (ICONIP2016), (Lecture Notes in Computer Science, LNCS), Part I, LNCS 9947, pp. 248-255, Kyoto, Japan, Oct., 2016. 査読有
- ③ T. Morie, Analog VLSI Circuits and Devices for Neuro-Inspired Time-Domain Computing (Invited), Ext. Abstracts of Int. Conf. on Solid State Devices and Materials (SSDM 2016), B-7-03, pp. 117-118, Tsukuba, Japan, Sept., 2016. 査読有

- ④ I. Kawashima, S. Uenohara, T. Kato, M. Yamaguchi, H. Suzuki, T. Morie, and H. Tamukoh, Hardware-oriented Algorithm for Chaotic Boltzmann Machines, Proc. of Int. Workshop on Smart Info-Media Systems in Asia (SISA), RS1-16, pp. 122-125, Ayutthaya, Thailand, Sept., 2016. 査読有

[学会発表] (計6件)

- ① 山口正登志, 田向 権, 鈴木 秀幸, 森江 隆, カオスボルツマンマシンのアナログ集積回路実装, 電子情報通信学会総合大会, 2017年3月22日, 名城大学(愛知・名古屋)
- ② M. Yamaguchi, H. Tamukoh, H. Suzuki, and T. Morie, Analog CMOS VLSI Implementation of Chaotic Boltzmann Machines, The 5th RIEC Int. Symp. on Brain Functions and Brain Computer, Feb. 27, 2017, 国際センター(宮城・仙台)
- ③ 川島 一郎, 上ノ原 誠二, 加藤 孝史, 山口 正登志, 鈴木 秀幸, 森江 隆, 田向 権, カオスボルツマンマシンのデジタルハードウェア実装に関する検討, 電子情報通信学会 2016年総合大会, 2016年3月16日, 九州大学(福岡・福岡)
- ④ Q. Wang, T. Kato, H. Suzuki, H. Tamukoh, and T. Morie, Software Simulation of Chaotic Boltzmann Machines, 3rd Int. Symp. on Applied Engineering and Sciences (SAES2015), Selangor (Malaysia), Nov. 23-24, 2015.
- ⑤ 加藤 孝史, 上ノ原 誠二, 鈴木 秀幸, 田向 権, 森江 隆, カオスボルツマンマシンのCMOS回路化, 電子情報通信学会 基礎・境界ソサイエティ大会, 2015年9月11日, 東北大学(宮城・仙台)
- ⑥ 加藤 孝史, 森江 隆, 乱数生成不要なカオスボルツマンマシン回路, VDEC デザイナーズフォーラム 2015, 2015年8月29日, 山代温泉(石川・加賀)

[図書] (計0件)

[産業財産権]

- 出願状況 (計0件)
○取得状況 (計0件)

[その他]

ホームページ等

<http://www.brain.kyutech.ac.jp/~morie/>

6. 研究組織

(1) 研究代表者

森江 隆 (MORIE, Takashi)
九州工業大学・大学院生命体工学研究科・教授
研究者番号: 20294530

(2) 研究分担者

鈴木 秀幸 (SUZUKI, Hideyuki)
大阪大学・大学院情報科学研究科・教授
研究者番号: 60334257

田向 権 (TAMUKOH, Hakaru)
九州工業大学・大学院生命体工学研究科・准教授
研究者番号: 90432955

(4) 研究協力者

山口 正登志 (YAMAGUCHI, Masatoshi)
九州工業大学・大学院生命体工学研究科・博士前期課程学生

加藤 孝史 (KATO, Takashi)
九州工業大学・大学院生命体工学研究科・博士前期課程学生

王 権 (WANG, Quan)
九州工業大学・大学院生命体工学研究科・博士前期課程学生

上ノ原 誠二 (UENOHARA, Seiji)
九州工業大学・大学院生命体工学研究科・博士後期課程学生

川島 一郎 (KAWASHIMA, Ichiro)
九州工業大学・大学院生命体工学研究科・博士前期課程学生