

平成 30 年 6 月 15 日現在

機関番号：82626

研究種目：挑戦的萌芽研究

研究期間：2015～2017

課題番号：15K13368

研究課題名(和文)原子層シリサイド半導体による革新的エレクトロニクス要素技術

研究課題名(英文)Element technology for nanoelectronics devices using atomic layer silicide semiconductor

研究代表者

内田 紀行(Uchida, Noriyuki)

国立研究開発法人産業技術総合研究所・エレクトロニクス・製造領域・主任研究員

研究者番号：60400636

交付決定額(研究期間全体)：(直接経費) 3,100,000円

研究成果の概要(和文)：Si基板上に形成した遷移金属を内包するSi籠状クラスター凝集膜は、Si結合ネットワークを持ちながら、クラスター構造に起因して、超高密度キャリアドーピングなど、これまでのSi材料科学では実現できない、新しい物性を持つ。本研究では、産業応用を見据えた製膜方法で遷移金属内包Siクラスター膜を作製するプロセスを確立し、クラスター膜の新規物性を活かして、クラスター膜を金属電極とSi基板の間に挟み込むことで接触電気抵抗を大きく低減する技術を中心に、ナノエレクトロニクスの革新的な要素技術を開発した。

研究成果の概要(英文)：Transition-metal encapsulating Si cage cluster films on Si substrate have Si-bonding networks and favorable properties, such as ultra-high carrier doping, which have never observed in the conventional Si material science, because the properties originate from formation of the local transition-metal encapsulating Si cage structures. In this work, we have developed useful fabrication method of the cluster films for an industrial application and futuristic element technology to use in nanoelectronics devices, utilizing the properties of the transition-metal encapsulating Si cage cluster films. In particular, it is found that the insertion of the cluster films between metal electrodes and Si substrates gives a large reduction of the contact electric resistance.

研究分野：ナノエレクトロニクス

キーワード：半導体シリサイド 原子層薄膜 コンタクト抵抗 ショットキー障壁

1. 研究開始当初の背景

微細化により性能の向上や消費電力の低減を図ってきた Si デバイスの開発は、原子レベルの構造制御性を必要とする時期がやってきている。しかし、材料物性的な限界や、不純物分布の揺らぎなど様々なランダムネスが顕在化し、微細化の工学的な限界が見えている。そこで、ナノドット(0次元)、ナノワイヤー・チューブ(1次元)、ナノシート(2次元)などの低次元材料により、原子スケールの物質制御を導入しランダムネスを抑え、さらに、低次元性に起因する新規機能を利用する検討がなされている。低次元材料は、集積化など現行の Si LSI プロセスへの適応を考えると Si をベースとしたものが好ましく、実際、Si ナノドット、ナノワイヤーやグラフェンライクな構造を持つ Si (silicene) に関する多くの研究が展開されている。応募者は、遷移金属内包した Si ケージクラスター($M@Si_n$; $n \sim 10$)を M 原子とモノシランガス(SiH_4)の気相反応で形成し Si 表面上に配列することで、Si 原子層間に M 原子が周期配列した数原子層のシリサイド半導体がヘテロエピタキシャル形成できることを実証した(*J. Appl. Phys.* 111 (2012) 063719.)。Si on insulator(SOI)基板上に形成した W を内包する $W@Si_n$ 層($t = 1$ nm)は、n 型で電子移動度 $8 \text{ cm}^2/\text{Vsec}$ の狭ギャップ($\sim 0.3 \text{ eV}$)半導体になり、ドナー濃度 $\sim 10^{21} \text{ cm}^{-3}$ 、ドナー準位 0.1 eV で、 $8 \times 10^{19} \text{ cm}^{-3}$ のキャリア密度を持つことが分かった。この急峻で高いキャリアドーピングを利用して、キャリア密度の低い($\sim 10^{14} \text{ cm}^{-3}$)n 型の Si に対して、金属の接合バリア・接触抵抗が低減することができることを示し、Si ナノワイヤートランジスタのコンタクトに利用することを提案している(*Appl. Phys. Lett.* 101 (2012) 212103.)。現在は、 $W@Si_n$ 層の高いドナー濃度 $\sim 10^{21} \text{ cm}^{-3}$ を活かして、さらなるキャリア密度の増大を目指している。

2. 研究の目的

本研究では、Si 表面上の原子層シリサイド半導体($M@Si_n$ 層)を用い、単位構造とする $M@Si_n$ の人工元素的な性質を利用することで、数原子層の領域に 10^{21} - 10^{22} cm^{-3} のキャリアドーピングを行い、低次元材料による原子スケールの物質制御を実証する。これは、Si への不純物ドーピングでは実現できない空間的な急峻性とキャリア密度であり、いわば、ドーピング技術における極限の追及である。その上で、エレクトロニクス応用に向けて、 $M@Si_n$ 層と Si との接合の評価、第一原理計算から予測されている新機能、電界や電荷注入による $M@Si_n$ 層のバンドギャップ制御を実証する。

3. 研究の方法

上述の研究目的を達成するために、 $M@Si_n$ を Si 基板表面に堆積し熱処理する方法で作製した原子層シリサイド半導体($M@Si_n$ 層)の

原子配列構造や電子状態を明らかにし、 $M@Si_n$ 層の 2 次元的なキャリア輸送特性や、 $M@Si_n/\text{Si}$ ヘテロ接合の接合特性を測定する。これまでの研究経緯から、原子数層での 10^{21} - 10^{22} cm^{-3} レベルの高密度キャリアドーピング、外部電界によるバンドギャップ変調の実証を研究の重点課題とする。目標達成のカギは、 $M@Si_n$ 膜の膜質にあるので、これまでレーザーアブレーションで合成してきた $M@Si_n$ を、ガスソースの chemical vapor deposition(CVD)法をベースとした新しい手法で合成し、薄膜の高品質化を図る。用いた $M@Si_n$ 層は、新規な材料であるため、第一原理計算による構造・物性のシミュレーションが材料設計に非常に効果を発揮する。実験から得られた結果は、迅速にシミュレーションに反映し、双方の結果を比較検討する。また、応募者の所属機関の施設のみならず、放射光施設など共同利用設備を利用し、効率的な研究展開を図る。

4. 研究成果

本研究では、これまでの実証から、 $W@Si_n$ 層が高いドナー濃度で狭ギャップ半導体になることが分かっている。 $W@Si_n$ 膜の物性を制御し、ナノエレクトロニクス材料として開発をする上で、膜質の向上と産業応用可能な製膜方法の確立が課題であった。しかし、これまでに開発したレーザーアブレーションによる $W@Si_n$ 層の形成では、局所的な $W@Si_n$ の組成揺らぎが原因で膜質の向上には限界があった。そこで、モノシラン(SiH_4)ガスと六フッ化タンゲステンガス(WF_6)を材料にして、反応容器内の $W@Si_n$ 気相成長を制御し、組成のそろった $W@Si_n$ を堆積する新しい手法を確立した。この手法は、一般的な熱 CVD 法と同様の手法であるが、通常の CVD では抑制プロセスである気相合成を積極的に用いる点で異なり、Cluster Preforming Deposition(CPD)法と類別した。

CPD 法では、反応容器内の SiH_4 ガス圧を $10 - 1300 \text{ Pa}$ 充填し、反応容器の壁と堆積基板の温度によりガス反応雰囲気温度を調整したのち、 WF_6 を一定流量(0.2 sccm)で流し込み、 SiH_4 の圧力と雰囲気温度で組成制御を行った。反応容器の壁の温度を 50 、 350 、 420 と上昇すると、形成される $W@Si_n$ 膜の組成 n は、 6 、 9 、 12 と変化した。この組成に到達すると、 SiH_4 の圧力を上昇しても、Si 組成 n の増加は起こらず、気相中での $W@Si_n$ の合成が、温度で制御できることが判明した。この現象は、第一原理計算で予想した、 SiH_4 と $W@Si_n$ の反応の活性化エネルギーが、 $n = 6$ 、 $n = 10$ 、 $n = 12$ で 0.5 eV 、 2.5 eV 、 3.0 eV と変化することと定性的に一致している。

CPD 法により、組成を局所的に制御した $W@Si_n$ 膜の特徴を調べるために、先ず、 SiO_2 基板上に堆積したアモルファス $W@Si_n$ 膜の構造安定性を評価した。アモルファス $W@Si_n$ 膜は、アモルファス Si に類似の Si ネットワー

ク構造を持つことが Raman スペクトル測定から分かっている。アモルファス Si は通常 600 以上の温度での熱処理で多結晶化することが知られているが、W@Si_n 膜の場合、1000 で熱処理しても、アモルファス Si ネットワークが保持されている。レーザーアブレーションで作製したアモルファスの W@Si_n 膜は、700 の熱処理で一部多結晶化することから、局所構造が組成のそろった W@Si_n 膜を用いることで、熱的に安定化していることが判明した。この現象は第一原理計算からも裏付けられ、W@Si_n 膜から意図的に W を欠損させた構造では、W が欠損した周辺の Si 原子の結合エネルギーが 19%低下し、再構成（結晶化配列）しやすい状況であることが分かった。これらの成果をまとめて、学術雑誌 J. Appl. Phys. 121, 2253308 (2017) に発表した。

CPD 法で作製したアモルファス W@Si_n 膜を Si 表面上で 700 の熱処理によりエピタキシャル成長させると、~10nm の膜厚まで成長することができた。レーザーアブレーションで作製した場合、エピタキシャル層は、1 - 数 nm の膜厚までしか成長しなかったことを考慮すると、局所構造である W@Si_n がそろったことで、エピタキシャル層の膜質が大幅に向上したとわかる。CPD 法で作製したエピタキシャル膜と Si 基板の電気的な接合を評価したところ、エピタキシャル層は、0.3eV のエネルギーギャップを持ち、ドナー準位の深さが 0.1 eV のシリサイド半導体であった。これは、レーザーアブレーションで得られ W@Si_n エピタキシャル層と同様に、Si と金属電極の間に挟み込むことで、Si と金属の間に発生するショットキー障壁を大幅に低減することができることを示している。ナノエレクトロニクスにおいて、電界効果トランジスタの微細化は、大きな課題の一つである。微細化によりチャネル長が短くなることで、金属と Si の間の接触抵抗がトランジスタ電気抵抗の中で大きな割合を持つようになっていく。また、微細化寸法が 10nm を切る中で、原子レベルの平坦性で構造を形成するという課題も同時にクリアしなければならない。本技術は、原子層の薄膜を挟むことで接触抵抗の問題を解決するものであり、微細トランジスタにおける接触抵抗低減の革新的な要素技術と考える。

本研究では、第一原理計算から予想されている W@Si_n エピタキシャル層の外部電界や電化注入によるバンドギャップ変調を重要テーマの一つに掲げていた。当初、ギャップ変調の計測におけるボトルネックは、1 - 数 nm とエピタキシャル層が薄いことであった。本研究において、CPD 法による W@Si_n エピタキシャル層の作製方法を開発したことで、10nm 程度まで、エピタキシャル層を拡大することができ、物性測定に必要な電極形成も容易になった。研究期間中に、バンドギャップ変調を明示する結果は得られなかったが、デバイスシミュレーションを活用しながら、実験的な

実証方法を再検討し、引き続き開発を続けていく。

W@Si_n 膜は、Si ネットワークを持ちながら、W と Si の配位結合を共存させているため、通常の Si とは電子親和性が異なる。そのため、Si の中で拡散の早い Cu などの金属イオンも、W@Si_n 膜の中には拡散できない。Cu は Si に電子を与えてカチオンになることで有効原子半径が小さくなり拡散するが、W@Si_n 膜の Si に電子を与えることができず、拡散しやすいカチオンになることができないためと考えられる。実際、第一原理計算によると、Cu は 1 価にならない、中途半端な荷電状態で W@Si_n 膜の表面にトラップされることがわかった。この現象を利用すると、W@Si_n 膜は、Cu 配線から Si ナノデバイスへの Cu 拡散防止膜として機能する。実際、数 nm の W@Si_n 膜が、Cu 配線からの Si 拡散を止める能力は、現在、産業上用いられている窒化チタン膜と同程度であった。W@Si_n 膜は、Cu の拡散防止と同時に、金属との接触抵抗を低減することが可能なので、低抵抗な Cu 配線を Si デバイスの直前まで引き込むことで、トランジスタ回路の究極の低抵抗化を行うこと（Cu 配線直接接合）が可能になる。この成果に関しては、特許出願（特願 2017-216449）を行い、応用物理学会（2018 年春）等で発表した。この Cu 拡散防止機能については、研究提案当初は予想していなかった新しい研究展開であったが、これも W@Si_n の持つ性能を利用した革新的なナノエレクトロニクス技術であると考えられる。

5. 主な発表論文等

〔雑誌論文〕(計 1 件)

N. Okada, N. Uchida, T. Kanayama, "Thermal stability of amorphous Si-rich silicide films composed of W-atom-encapsulated Si clusters", J. Appl. Phys., 121, 225308-1-5 (2017). DOI: 10.1063/1.4985248

〔学会発表〕(計 2 件)

岡田直也、内田紀行、小川真一、金山敏彦、「クラスター気相合成法で形成した WSi_n(n=12)挿入膜の Cu 拡散防止特性」、第 65 回応用物理学会春季学術講演会、2018 年 3 月 20 日発表、20-a-C101-3
岡田直也、内田紀行、金山敏彦、「W 内包 Si クラスタ凝集薄膜を用いた金属/Si 接合の障壁高さ制御」、第 64 回応用物理学会春季学術講演会、2017 年 3 月 17 日発表、17-a-E206-6

〔産業財産権〕

出願状況 (計 1 件)

名称：導電性積層体及びその製造方法並びに該導電性積層体を備える電子素子

発明者：岡田直也、内田紀行、小川真一、金山敏彦
権利者：産業技術総合研究所
種類：特許
番号：特願 2017-216449
出願年月日：2017 年 11 月 9 日
国内外の別： 国内

6 . 研究組織

(1)研究代表者

内田 紀行 (UCHIDA, Noriyuki)
産業技術総合研究所・ナノエレクトロニクス研究部門・主任研究員
研究者番号：60400636

(2)研究分担者

多田 哲也 (TADA, Tetsuya)
産業技術総合研究所・ナノエレクトロニクス研究部門・研究グループ付
研究者番号：40188248

(3)研究分担者

宮崎 吉宣 (MIYAZAKI, Yoshinobu)
産業技術総合研究所・ナノエレクトロニクス研究部門・産総研特別研究員
研究者番号：30610844