

科学研究費助成事業 研究成果報告書

平成 29 年 5 月 19 日現在

機関番号：11301

研究種目：挑戦的萌芽研究

研究期間：2015～2016

課題番号：15K13962

研究課題名（和文）時間軸を利用して超高密度信号配線ネットワークを実現する疑似三次元集積回路技術

研究課題名（英文）Quasi-three-dimensional integration using time-domain interconnection

研究代表者

小谷 光司 (Kotani, Koji)

東北大学・工学研究科・准教授

研究者番号：20250699

交付決定額（研究期間全体）：（直接経費） 2,900,000 円

研究成果の概要（和文）：本研究では、時間軸を新たな機能集積のための次元と捉え、集積回路技術による物理的な二次元集積と合わせて疑似的な三次元集積を実現する新たな集積回路アーキテクチャを確立し、その有効性を検証した。多段二次元画像処理回路を具体的な評価対象と設定し、基本ノードを複数アレイ状に配置し、一時記憶要素からなる時間軸配線を介して複数回駆動する疑似三次元信号処理のアーキテクチャにより、単純に信号処理層をフィルター処理の段数分だけ二次元平面に並列配置した従来の一般的な並列処理構成よりも、高速に処理可能であることを実証した。

研究成果の概要（英文）：In this study, as a novel integrated circuit architecture, a quasi-3D integration scheme, in which time domain is taken as a new integration dimension and combined with a conventional physical 2D integration of the integrated circuit technology, has been established and its effectiveness has been evaluated. Taking multiple-stage 2D image processing circuits as a specific evaluation example, a quasi-3D signal processing architecture composed of an array of unit processing nodes and temporary memory elements acting as time-domain interconnects has been developed. Its superior performance against the conventional parallel processing architecture, in which multiple signal processing layers are simply placed in a 2D integration plane, has been demonstrated.

研究分野：工学

キーワード：疑似三次元集積 集積回路 時間軸配線

1. 研究開始当初の背景

集積回路技術は高度に発展し、現在の最先端プロセッサでは、数十億トランジスタが1チップに集積されるなど、機能素子の集積度では人間の頭脳に匹敵するレベルに達している。しかし、集積回路では、機能素子であるトランジスタはチップ上に二次元的に集積されるに過ぎず、神経細胞が三次元集積され、超高密度信号伝達ネットワークを有する人間の頭脳とは集積次元の面で決定的に異なっている。プロセッサの動作速度が、機能素子の動作速度で決まるのではなく、配線の伝搬遅延時間で決まるほど微細化・集積化が進行した現在、三次元集積回路技術の実現は、その困難を克服するための究極の目標である。近年、Through Silicon Via (TSV)を用いた貼り合せ構造の三次元集積回路技術が限定的に実用化されたが、平面方向の配線集積度に比べて、垂直方向の配線集積度は1/100以下であり、本格的な三次元集積とは呼べない状況である。

申請者は、動的再構成可能デバイスである Dynamic Reconfigurable Logic Array (DRLA)を用いて、大規模な回路を複数の部分回路に分割し、それぞれの分割回路を時系列に DRLA 上に実装して逐次実行する手法を確立した(図1)。分割実行の方が分割回路内での配線距離を大きく短縮できることから、クロック周波数を回路分割数以上に高速化でき、全体の実行速度を実効的に高速化可能であることを初めて明らかにした。この時分割逐次実行のスキームは、見方を変えれば、時間軸を新たな次元として、集積回路の物理的な二次元集積と合わせ、疑似的な三次元集積化を実現するもので、時間軸方向に配置された機能回路間の信号伝搬は、空間的な信号伝搬を伴わないため、実効的な配線伝搬距離を短縮でき、超高密度な三次元空間信号配線ネットワークを実現するものである、と着想し、本研究を立案するに至った。

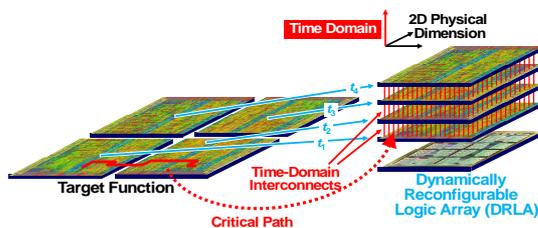


図1 時間軸配線を利用した疑似三次元集積化コンセプト

2. 研究の目的

本研究は、半導体集積回路技術において、時間軸を新たな機能集積のための次元と捉え、現状の集積回路の物理的な二次元集積と合わせて実効的な三次元集積を実現し、信号処理機能と信号配線ネットワークを高密度に実装する新たな集積回路アーキテクチャを確立し、その有効性を検証するものである。

研究期間内に、時間軸を用いた疑似三次元集積回路アーキテクチャの具体的な構成を確立する。代表的な構成の機能回路を実験的に実装し、その有効性を検証すると共に、アーキテクチャを最適化する。時間次元と空間次元を組み合わせた疑似空間を信号処理アーキテクチャとして統一して捉え活用する点が学術的な特色であり、長年の夢であった、人間の頭脳に匹敵する高密度三次元信号処理ネットワークを集積回路技術で実現する独創的な研究である。

3. 研究の方法

時間軸を用いた疑似三次元集積回路アーキテクチャの具体的な構成を確立するために、信号処理回路と時間的配線を担う一時記憶回路からなる「基本ノード」を実現し、同一の基本ノードを規則的に配置した標準的なアーキテクチャを想定し、代表的な処理機能回路を実験的に実装し、その有効性を検証するとともに、アーキテクチャを最適化する。

汎用セルライブラリを用いたフルカスタム集積回路設計を通して評価するとともに、将来的により複雑な汎用構成に対応するための方策など、実用化に対する課題を抽出する。

4. 研究成果

まず、提案する時間軸配線を用いた疑似三次元集積回路コンセプトを Quasi-3D integration scheme using time-domain interconnection (Q3D-TD)と命名し、信号処理回路に Q3D-TD コンセプトを適用するための方策について検討した。

信号処理回路への Q3D-TD コンセプトの適用に際しては、最初に、対象となる回路をいくつかの部分回路に分割する回路分割が必要である。しかし、単に論理ゲート遅延のみ考慮した回路分割では、分割した部分回路のクリティカルパス(最も遅延時間の大きい信号経路)の遅延時間の総和は、基本的に元の回路の遅延時間と同じになる。回路分割によって論理ゲート遅延時間は変化しないためである。さらに、分割された部分回路それぞれの遅延時間は、同一になるように分割されるのが理想的であるが、現実的には全く同じにはできない。その場合、部分回路を駆動するクロック信号周期は、部分回路の中でもっとも遅いものに合わせる必要がある。Q3D-TD 適用回路全体の動作周期は、この部分回路駆動クロック周期に分割回路数を乗じたものになるため、単純には、Q3D-TD 回路の信号処理の遅延時間は元の回路と良くて同じか、通常は遅くなってしまう。そこで、Q3D-TD コンセプトを適用することによって、信号処理が高速になる条件を考察し、図2に示すように、Q3D-TD コンセプトの効果を発揮するための適用ガイドラインを策定した。

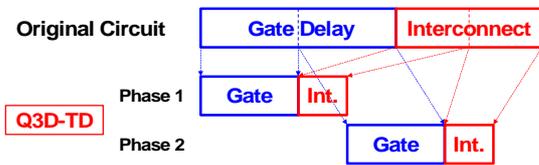


図 2 Q3D-TD コンセプト適用のためのガイドライン

図 2 では、対象回路を 2 つの部分回路に分割して逐次実行する場合を例示しているが、上述したように Q3D-TD ではゲート遅延は低減できないため、Q3D-TD の適用で効果が期待される対象信号処理回路は、ゲート遅延に対して配線遅延が無視できない程度存在し、かつ、Q3D-TD コンセプトの適用で配線遅延が短縮できるような回路である、との結論に至った。

Q3D-TD 適用対象信号処理回路の代表例として、完全並列多段画像処理回路を検証した。デジタル信号処理の分野では、二次元の画像処理は極めて一般的かつ重要なアプリケーションである。処理時間制約の厳しい用途には、完全並列処理の専用ハードウェア実装が必要となる。図 3 は、多段二次元平均フィルター処理回路のアーキテクチャを示している。フィルターコアサイズは 3×3 の例である。個々の画素単位に割り当てられたフィルター処理ユニットは、隣り合う 8 近傍画素と自分自身の画素値を集め、その平均値を計算する。二次元画像を処理するので、必然的にフィルター処理ユニットは二次元状に配置される。多段フィルター処理が必要な場合は、その処理ユニット層を複数配置する必要があるが、集積回路にハードウェア実装する場合には、それらの複数層構造を二次元平面に集積するしかないため、処理層間の配線は、複雑かつ長くなってしまふ。つまり、二次元の処理ユニット層を複数層有する三次元トポロジを無理やり集積回路の二次元空間に展開するため、図 4 に示すように、クリティカルパスが長くなってしまふのである。

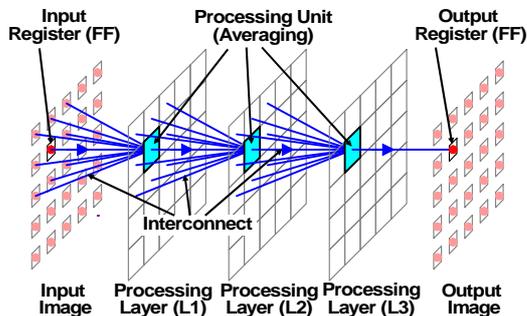


図 3 多段二次元画像フィルター処理回路のアーキテクチャ

一方、Q3D-TD コンセプトに基づく実装では、図 5 に示すように、複数層からなる多段フィルター処理回路を、それぞれの段間で分割し、分割されたフィルター処理回路を、時

間軸配線を用いて単層の処理回路上で時間的に重ね合わせて実行する。単層の処理回路が、多段フィルター処理を実行するために、段数分だけ繰り返し駆動されるのである。Q3D-TD 実装では、段間の信号配線は、局所的なループバック配線で実現される。単層の処理回路は物理的に二次元のトポロジーなので、集積回路の二次元集積空間に効率よく実装可能である。この場合のクリティカルパスは局所に限定されるため、配線遅延時間が低減される。多段フィルター処理を完了するためには、単層処理回路を駆動する複数クロック時間が必要となるが、結果的にトータル処理時間の低減が可能となる。また、この例では、分割された部分回路は同一の構成なので、動的再構成機能は必要とされず、処理回路のオーバーヘッドも最小となる。Q3D-TD コンセプトの実証対象としては最適例と言える。一般的に、三次元以上の回路トポロジーを有する信号処理回路は、従来技術による集積回路上での二次元実装が比較的困難であり、Q3D-TD コンセプトの適用対象として向いている、と言える。

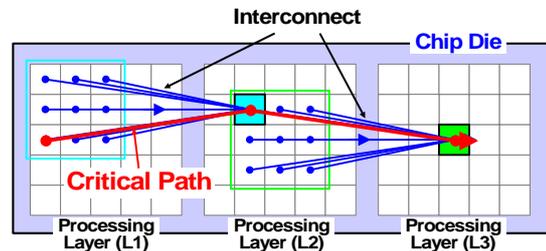


図 4 多段二次元画像フィルター処理機能の一般的な二次元集積回路上での実装

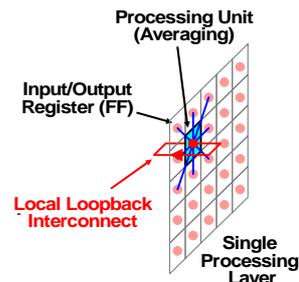


図 5 Q3D-TD コンセプトによる実装

Q3D-TD コンセプトによる信号処理性能向上効果を定量的に実証するため、多段構成の二次元平均フィルター回路を設計し、NanGate 45nm 公開標準セルライブラリを用いてフルカスタム実装した。フィルター回路の仕様は、画像サイズ： 8×8 画素、輝度信号ビット幅：8 b、フィルターコアサイズ： 3×3 画素である。Verilog HDL で設計し、Synopsys Design Compiler で論理合成し、Cadence Encounter で配置配線を実施した。回路動作速度は、配置配線後の配線遅延を考慮した静的タイミング解析 (STA) により実施した。1 段のフィルター処理回路規模は、約 38K ゲート (2NAND 換算) となった。通

常の実装手法では、多段のフィルター回路を構成するためには、図4に示したように単層のフィルター処理回路を必要な段数分平面配置して段間を長距離配線で接続する。一方、Q3D-TD コンセプトによる実装では、図5に示したように単層処理回路を1段分のみ配置し、各画素単位で一時記憶回路（FF）を実装して時間軸配線とする。要求されるフィルター処理段数の数だけ複数回駆動される。一時記憶回路の規模は、全体で約 2.9K ゲートであった。

図6は、レイテンシー（1枚の画像をフィルター処理するために必要なトータル処理時間）の、フィルター段数 n （処理回路段数）依存性をプロットしたものである。従来技術の二次元実装においては、段数の増大とともにわずかに1より大きい指数でレイテンシーが増大している。これは、段数が1から2以上に増大する際に、段間を接続する配線の影響で配線遅延時間が急激に増大するためである。一方、Q3D-TD コンセプトによる実装では、もちろん1段分の回路のみ実装しているので、 $n = 1$ のデータしか存在しない。その値は、二次元実装に比べてわずかに大きい。その理由は、平均値処理回路の出力を、入力信号保持回路としても働く一時記憶回路にループバックするための配線制約の影響によるものである。なお、Q3D-TD コンセプトによる実装では、原理的に多段フィルター処理の場合のレイテンシーは単純に段数 n に比例する。図6には、多段処理の場合のレイテンシーを点線で示してある。段数が2段以上であれば、Q3D-TD 実装の方が高速に信号処理できることが分かる。

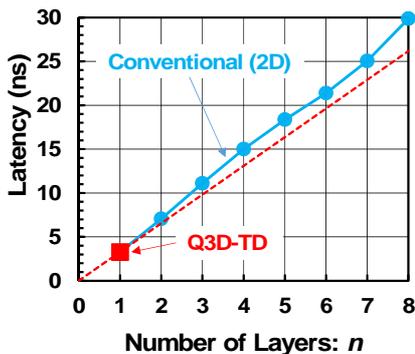


図6 レイテンシー（信号処理時間）のフィルター段数 n 依存性

図7は、従来の二次元実装に比べて、Q3D-TD 実装によりどの程度信号処理スピードが向上するかプロットしたものである。フィルター処理段数が2段から8段までの平均で、Q3D-TD コンセプトにより10.2%の信号処理スピードの向上が実現されている。段数に対して、信号処理スピードの向上率はわずかにばらついているが、これは、二次元実装の場合の回路配置時のフロアプランのばらつきによるものと思われる。具体的には、フィルター処理層同士の相対的な位置関係

が同様ではなく、結果としてクリティカルパス配置が均一ではないことに起因している。

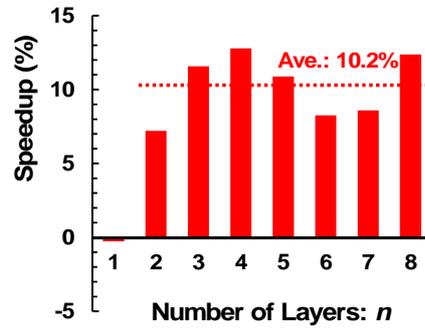


図7 Q3D-TD コンセプトによる信号処理速度の向上率

図8は、いくつかのフロアプランの例を示している。配置配線ツールにおいては、配置領域のアスペクト比（縦横比）は1で、論理回路密度は0.7の条件で、フロアプランの自動最適化を実施している。段数によらず、正方形（アスペクト比 = 1）の配置領域指定が要因で、フロアプランのばらつきに繋がっているものと思われる。

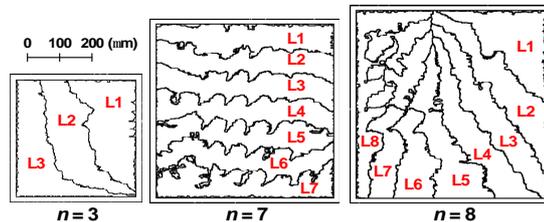


図8 従来技術の二次元実装の場合のフロアプランの例

図9は、チップレイアウトの比較である。2次元実装においては、4段構成の場合を示している。4つの信号処理層はおおよそ横一列に縦縞状に並んで配置されている。クリティカルパスは矢印付きの線で示されているが、二次元実装の場合は、チップ全体にわたって配線されている。一方Q3D-TD 実装の場合のクリティカルパスは局所に限定されており、その長さは、明らかに二次元実装の場合の1/4以下である。これが、Q3D-TD 実装によって信号処理速度が向上する理由である。

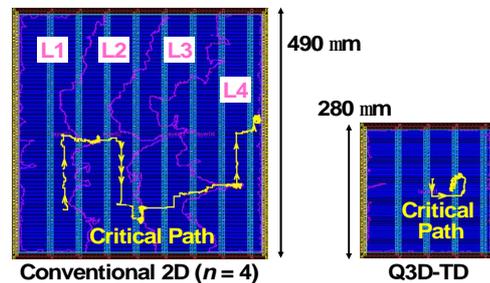


図9 従来技術の二次元実装の場合のフロアプランの例

以上の様に、Q3D-TD コンセプトの適用のガイドラインが示され、典型的な信号処理回路の実装において、従来の二次元実装に対する Q3D-TD 実装の優位性が実証されたことは本研究の大きな成果である。

5. 主な発表論文等

(研究代表者、研究分担者及び連携研究者には下線)

〔雑誌論文〕(計 1 件)

- (1) Koji Kotani, "Quasi-three-dimensional integration scheme using time-domain interconnection," Japanese Journal of Applied Physics, Vol.56, 2017. (査読有)

〔学会発表〕(計 1 件)

- (1) Koji Kotani, "Quasi-3D Integration Using Time-Domain Interconnection (Q3D-TD) -Realization Example and Performance Evaluation in 45 nm Technology Node-," Advanced Metallization Conference 2016, p.39. 2016 年 10 月 20 日, 「東京大学(東京都・文京区)」

6. 研究組織

(1) 研究代表者

小谷 光司 (KOTANI, KOJI)

東北大学・大学院工学研究科・准教授

研究者番号: 20250699