

科学研究費助成事業 研究成果報告書

平成 29 年 6 月 1 日現在

機関番号：12301

研究種目：挑戦的萌芽研究

研究期間：2015～2016

課題番号：15K13965

研究課題名(和文) 整数論を用いたアナログ・デジタル変換器アルゴリズムの研究

研究課題名(英文) Study on Analog-to-Digital Converter Algorithms Using Number Theory

研究代表者

小林 春夫 (Kobayashi, Haruo)

群馬大学・大学院理工学府・教授

研究者番号：20292625

交付決定額(研究期間全体)：(直接経費) 3,000,000円

研究成果の概要(和文)：AD/DA変換器を整数論を用いて回路・レイアウト設計を行うアルゴリズム/性能を向上させる方式をいくつか開発し、理論解析・シミュレーションで効果を確認した。具体的には以下の通り。
(1) セグメント型DA変換器の魔法陣・ラテン方陣を用いたレイアウトアルゴリズムにより単位セル回路間の mismatchesの影響を低減できる方式を考案した。(2) 黄金比、白銀比重みづけの逐次比較近似AD変換器アルゴリズムを考案し、エラー耐性(高信頼性)・高速性を確認した。また、内部DA変換器のシンプルな回路構成を考案した。(3) 黄金探索法との関係を考察した。

研究成果の概要(英文)：Several circuit/layout algorithms for AD/DA converters have been developed based on number theory, which can improve their performance. These have been verified with theoretical analysis and simulation results. (1) Layout algorithms for segmented DA converters have been developed based on magic squares and Latin squares. (2) Successive approximation register (SAR) ADC architectures with golden ratio weights and silver ratio weights have been investigated and it is shown that they can be reliable, error tolerant and high speed. Also their internal DA converter circuit configurations with simple architectures have been proposed. (3) The relationship between the golden-weighted SAR ADC and the golden ratio search algorithm has been clarified.

研究分野：アナログ集積回路

キーワード：整数論 ヒポナッチ数列 黄金比 白銀比 AD変換器 DA変換器 魔方陣 ラテン方陣

1. 研究開始当初の背景

数学における整数論は情報科学の符号論や暗号論に用いられているが、AD/DA変換器のようなデジタル回路とアナログ回路が混載するシステムへの応用は国内外で本研究がほぼ初めてである。この事実は本研究の新規性・優位性を示すものであり、更なる研究成果は数学と電子工学の新たな関係性や応用可能性を示し、電子産業上および学術的(応用数学)の両方に大いに意義がある。

2. 研究の目的

電子機器・信号処理システムのキーコンポーネントであるAD変換器の高信頼性・高速化のための冗長設計の体系的・効率的な設計アルゴリズムの開発のためにフィボナッチ数列等の古典的な整数論を発掘・応用する。

AD変換器は最終的な信号がデジタル(整数値)なので、その設計法は整数論と相性が良いと考え、多くの美しい性質が導出されているフィボナッチ数列に着目する。AD/DA変換器はアーキテクチャ、回路の観点からの研究は活発であるが、整数論の観点からの研究は例がない。新しい学術分野を切り開く。

3. 研究の方法

現代における電子機器・信号処理のキーコンポーネントであるAD/DA変換器の高信頼性/高速化手法として用いられる冗長設計に、新たに古典的な整数論を組み合わせる手法を用いる。この研究での方法は数学的アプローチによる冗長設計の理論構築、現実の回路構成検討、実際の応用への研究、様々な電子回路への整数論応用である。

4. 研究成果

4-① 魔方陣/ラテン方陣レイアウトアルゴリズムによるセグメント型DA変換器の線形性向上アルゴリズムを開発した。

電子機器は高速化、小型化が求められており、デジタル回路はそれらに適している。

デジタル化の進展に伴い、多くの電子機器にはデジタルアナログ変換器(Digital-to-Analog Converter: DAC, DA変換器)が搭載されている。身の回りの信号(音声, 画像, 光など)はアナログ信号であり、それらを信号処理するにあたり、AD変換器及びDA変換器が必要不可欠であり、高性能なものが求められている。しかし、半導体素子を構成しているシリコンウェハ上では、MOSFET特性、R, C値等はランダムばらつきに加えシステムティックな相対ばらつきが存在する(特性値がレイアウト配置により傾斜をもつ)。これにより、入出力信号は線形関係にあるはずが、素子のミスマッチにより線形性が劣化してしまう問題がある。そこでセグメント型DA変換器の線形性の向上を検討した。魔方陣、ラテン方陣を用いた単位電流セル配列のレイアウト方法により(図1,2)、1次及び2次システムティックミスマッチの影響をキャンセルする方法を考案した。魔方陣・ラテン方陣を用いた場合、従来の酔歩(Random Walk), 規則的なレイアウトを用いた場合の比較の数値シミュレーションで効果を確認した

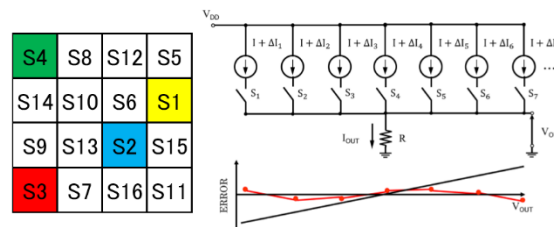


図1 単位セル魔法陣レイアウトとDAC

59	5	4	62	63	1	8	58	58	56	10	11	53	52	14	6
9	18	17	49	50	42	19	56	8	19	45	21	22	41	47	57
55	20	28	33	29	40	45	10	1	42	40	26	27	37	23	64
54	44	38	31	35	26	21	11	63	50	29	35	34	32	15	2
12	43	39	30	34	27	22	53	62	49	33	31	30	36	16	3
13	24	25	36	32	37	41	52	4	17	28	38	39	25	48	61
51	46	48	16	15	23	47	14	5	18	20	44	43	24	46	60
7	60	61	3	2	64	57	6	59	9	55	54	12	13	51	7
58	56	10	11	53	52	14	6	59	5	4	62	63	1	8	58
8	19	45	21	22	41	47	57	9	18	17	49	50	42	19	56
1	42	40	26	27	37	23	64	55	20	28	33	29	40	45	10
63	50	29	35	34	32	15	2	54	44	38	31	35	26	21	11
62	49	33	31	30	36	16	3	12	43	39	30	34	27	22	53
4	17	28	38	39	25	48	61	13	24	25	36	32	37	41	52
6	18	20	44	43	24	46	60	51	46	48	16	15	23	47	14
59	9	55	54	12	13	51	7	7	60	61	3	2	64	57	6

図2 8bit DACの単位セル魔方陣レイアウト

4-② セグメント型 DA 変換器線形性向上のための電流源並び替え魔方陣アルゴリズムを開発した。

多くの電子機器には DA 変換器が必要不可欠であり、高性能なものが求められている。しかし、半導体素子を構成しているシリコンウェハ上では、MOSFET 特性、R、C 値等に素子固有にランダムおよびシステムマテックにばらつく。これにより、入出力信号は線形関係にあるはずが、素子のミスマッチにより線形性が劣化してしまう問題がある。そこで本論文では、古典数学の一つである魔方陣 (Magic Square) を用いた電流源並び替えアルゴリズムを考案し、ユナリ型 DA 変換器の線形性向上を検討した。通常のユナリ型 DA 変換器は、デジタル入力されたバイナリ・コードを温度計コードに変換し、その数に応じた電流源セルを ON にしてアナログ値を得るものである。しかし、入力値に応じて単調にセルを ON にすると、電流源のミスマッチがそのまま出力されて線形性劣化を引き起こす。そこで、魔方陣を用いて単位電流セル（または単位容量セル）を並び替えて、ランダムなミスマッチをキャンセルする方法を考案した。魔方陣の特性である「定和性」を用いることにより、一回の補正で高い線形性を得ることを実現した。これらのシミュレーション結果と考察を行った

4-①は電流源のシステムマテックなばらつきの影響を、それらのレイアウトを魔方陣の性質を用いてキャンセルする方式を提案であるが、4-②はランダムなばらつきの影響を電流源セルの選択順序を工夫することで低減するという、別のアルゴリズムである。

4-③ 逐次比較近似 ADC の整数論に基づく冗長アルゴリズム設計を行った。

近年、自動車のエレクトロニクス化が進み、車載用エレクトロニクス技術は自動車に付加価値を生み競争力をつける一つの方法と

して大きな注目を集めている。そのため車載システムにおいてマイコンと組み合わせて使用される逐次比較近似 AD 変換器 (SAR ADC) には高性能化、特に高信頼性化の要求が著しい。逐次比較近似 AD 変換器において高信頼性化や速度向上への試みのひとつとして冗長設計がある。空間的・時間的冗長をシステムに組み込み、AD 変換過程を変更することによりデジタル誤差補正を実現させ、性能を向上させる方法である。しかしながら従来の冗長設計方法では、設計者が任意に決めた基準値の使用によって補正力にばらつきが生まれ、性能向上を妨げていた。そこで有名な整数論であるフィボナッチ数列を基礎とする冗長設計方法論を検討した (図 3, 4, 5)。特にフィボナッチ数列が約 1.62 進数を整数のみで実現できるという“黄金比”という性質を持っていることに着目し冗長設計への応用を提案した。さらにこの応用からいくつかの理論的に興味深い性質を見出したので、その美しい関係性について証明した。

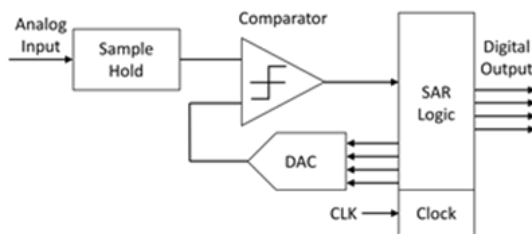


図 3 SAR ADC の構成

Step	1	2	3	4	5	6	output
Weight p(k)	8	5	3	2	1	1	
LEVEL 16			↑				16
15			↑				15
14		↑	q(2)	↑			14
13		↑	↑				13
12		↑	↑				12
11		↑	↑	↑			11
10		↑	↑	↑	q(3)		10
9	↑	q(1)	↑	↑			9
8	↑	↑	↑	↑	q(4)		8
7	↑	↑	↑	↑			7
6	↑	↑	↑	↑			6
5	↑	↑	↑	↑			5
4	↑	↑	↑	↑			4
3	↑	↑	↑	↑			3
2	↑	↑	↑	↑			2
1	↑	↑	↑	↑			1
0	↑	↑	↑	↑			0
-1			↑				-1

図 4 フィボナッチ重みづけ SAR ADC 動作

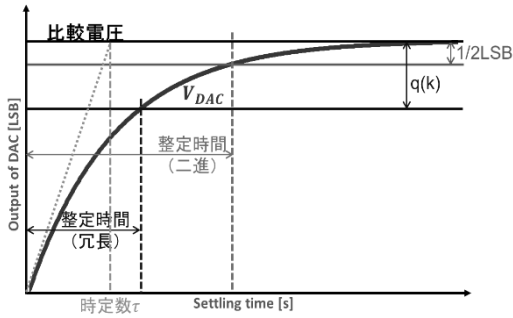


図5 内部 DA 変換器の整定時間

4-④ 黄金比重み付け逐次比較近似 AD 変換器の比較器誤判定とデジタル出力値の関係の検討を行った。

4-③のように SAR ADC の高性能化への試みの1つに冗長設計がある。時間的冗長をシステムに組み込むことでデジタル誤差補正が実現でき、高速でエラー耐性のある回路が設計できる。しかし、この設計法には最適な基準値の選定法が存在せず、性能向上の妨げになっている。そこで 4-③に記述したように最適な基準値としてフィボナッチ数列の利用を提案し、エラー耐性及び変換速度の面から提案手法の優位性を定量的に示してきた。本論文では冗長設計での補正力の定量化に伴い、誤判定が最終出力に与える影響力を検討した。誤判定ステップの位置と最終収束値(出力デジタル値)の関係式を求め、誤判定時の補正能力(エラー抑制力)を定量的に表した。算出した式を用いて二進探索法及び黄金比探索法の抑制力を比較・検討した。

4-⑤ フィボナッチ数列重み付け SAR ADC のための内部 DAC の検討を行なった。

フィボナッチ数列重み付けを用いた冗長アルゴリズム 逐次比較近似 AD 変換器は従来の方式に比べて誤差補正力・速度を向上させることを示した。その回路実現のためにフィボナッチ数列重み付け冗長逐次比較近似 AD 変換器の内部で用いる DA 変換器が簡単な R-R ネットワーク、C-C ネットワークもしくはそれらの組み合わせで実現することを検討した

ので報告する。即ちフィボナッチ数列重み付け冗長 SAR ADC の一つの特長として簡単な構成で内部 DAC が実現できることを示した(図6,7)。これまでの非二進冗長アルゴリズム SAR ADC では DAC を完全ユニナリ構成にする、基数を推定する回路方式が用いられてきたが、回路規模が大きくなってしまった。それに比べてフィボナッチ数列重み付けアルゴリズムでは DAC が簡単な構成で実現でき、大きなアドバンテージになる。

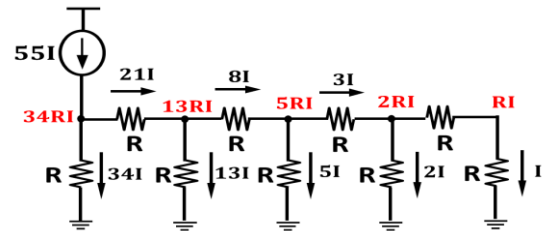


図6 フィボナッチ奇数項電圧生成 DAC

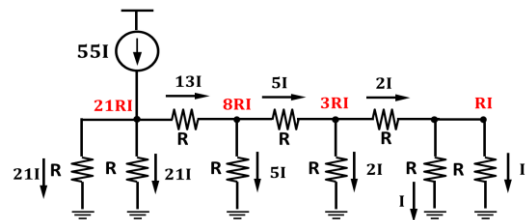


図7 フィボナッチ偶数項電圧生成 DAC

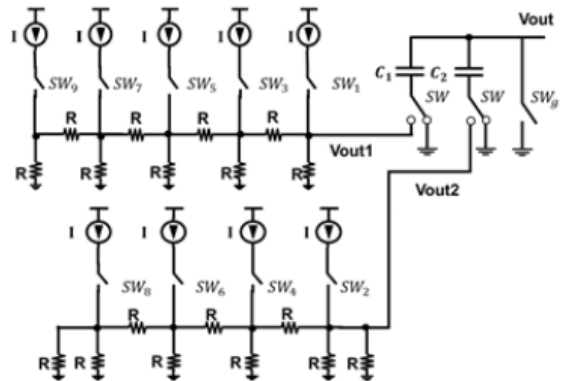


図8 提案フィボナッチ DAC の全体回路

4-⑥ 擬似白銀比を用いた逐次比較近似 AD 変換器冗長アルゴリズム設計を行った。

自動車のエレクトロニクス化が進み、車載用エレクトロニクス技術は自動車の差別化や付加価値の創出に貢献している。そのため車載システムにおいてマイコンと組み合わせる逐次比較近似 AD 変換器(SAR

ADC)には高 性能化,特に高信頼性化の要求が著しい。逐次比較近似 AD 変換器の高信頼性化や変換速度向上への試みの一つに冗長設計がある。時間的冗長をシステムに組み込み,AD 変換過程を変更することによりデジタル誤差補正を実現させ,性能を向上させる方法である。しかしながら従来の冗長設計方法では,最適な基準値の選択方法が明確化されておらず,性能向上を妨げていた。筆者らは先にフィボナッチ数列(黄金比)に基づく逐次比較近似 AD 変換アルゴリズムを提案し,内部 DA 変換器が一次系の応答で整定し,また各ステップでの時間が等しい場合,(すなわち一種類のクロックを利用する場合),従来手法と比較して高速な逐次比較近似 AD 変換アルゴリズムになることを示した。その考え方を発展させ,“白銀比”と呼ばれる正方形の一辺と対角線の長さの比($1.41421356=...$)を数列で擬似的に表現し,AD 変換器に組み込む冗長設計方法を提案する。擬似白銀比を用いた冗長設計は二進数との親和性が高く,エンコーダやロジック回路を簡略化できる。さらにクロックの種類が制限された条件下において変換速度に優位性を持つことを示した。

4-⑦ フィボナッチ数列重み付け逐次比較近似 AD 変換器と黄金分割探索法の関係

単峰性関数の極値を求めるアルゴリズムである“黄金分割探索法”を,入力電圧と内部 DAC の出力の差の絶対値をとった単峰関数に適用したアルゴリズムに基づく SAR ADC とフィボナッチ数列重み付け SAR ADC が一致することを示した。

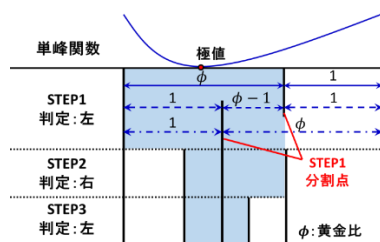


図9 単峰性関数極値と黄金分割法

5. 主な発表論文等

[雑誌論文] (計2件)

- [1] 小林佑太郎, 荒船拓也, 澁谷将平, 小林春夫,「擬似白銀比を用いた逐次比較近似 AD 変換器冗長アルゴリズム設計」 気学会論文誌(和文誌 C), vol. 137, no. 2, pp.222-228 (2017年2月). 査読有
- [2] Y. Kobayashi, H. Kobayashi, “Redundant SAR ADC Algorithm Based on Fibonacci Sequence”, Advance Micro-Device Engineering VI, Key Engineering Materials pp.117-126 (2016). 査読有

[学会発表] (計16件)

- [1] H. Kobayashi, Y. Kobayashi, T. Arafune, S. Shibuya, H. Arai, "Analog-to-Digital Converter Algorithms for Reliability Based on Number Theory", International Conference on Technology and Social Science, Kiryu (May 10, 2017) 査読なし
- [2] 姚丹, 孫逸菲, 東野将史, 荒船拓也, 小林春夫「ラテン方陣, 魔方陣レイアウトアルゴリズムを用いた DA 変換器線形性向上」第7回電気学会東京支部栃木・群馬支所 合同研究発表会(2017年3月3日) 査読なし
- [3] 小辻澄人, 荒船拓也, 澁谷将平, 新井宏嵩, 小林春夫「黄金比重み付け逐次比較近似 AD 変換器の比較器誤判定とデジタル出力値の関係」第7回電気学会東京支部栃木・群馬支所 合同研究発表会(2017年3月3日) 査読なし
- [4] 荒船拓也, 澁谷将平, 新井宏嵩, 小林春夫「フィボナッチ冗長設計逐次比較 AD 変換器の補正力の定量化及び加減算型フィボナッチ重み付け DA 変換器の提案」第7回電気学会東京支部栃木・群馬支所 合同研究発表会(2017年3月2日) 査読なし
- [5] 新井宏嵩, 荒船拓也, 澁谷将平, 小林佑太郎, 小林春夫「フィボナッチ数列重み付け逐次比較近似 AD 変換器と黄金分割探索法の関係」第7回電気学会東京支部栃木・群馬支所 合同研究発表会(2017年3月2日) 査読なし

- [6] Y. Kobayashi, T. Arafune, S. Shibuya, H. Kobayashi, H. Arai, "Redundant SAR ADC Algorithms for Reliability Based on Number Theory", IEEE International Workshop on Automotive Reliability & Test- ART Workshop (Nov. 18, 2016) 査読有
- [7] H. Kobayashi, H. Lin, "Analog / Mixed-Signal Circuit Design Based on Mathematics", IEEE 13th International Conference on Solid-State and Integrated Circuit Technology, Hangzhou, China (Oct. 28, 2016). 査読有
- [8] 新井宏崇、小林佑太朗、小林春夫「フィボナッチ数列重み付け逐次比較近似 ADC と単峰関数の黄金分割探索法との関係の考察」電子情報通信学会 回路とシステム研究会、東京 (2016年10月27日) 査読なし
- [9] M. Higashino, S. N. B. Mohyar, H. Kobayashi, "DAC Linearity Improvement Algorithm With Unit Cell Sorting Based on Magic Square", IEEE International Symposium on VLSI Design, Automation and Test, Hsinchu, Taiwan (April, 26, 2016). 査読有
- [10] 小林佑太朗、荒船拓也、澁谷将平、小林春夫、"疑似白銀比重み付け逐次比較近似 AD 変換器の検討", 電気学会 電子回路研究会、東京 (2016年3月8日). 査読なし
- [11] T. Arafune, Y. Kobayashi, S. Shibuya, H. Kobayashi, "Fibonacci Sequence Weighted SAR ADC Algorithm and its DAC Topology," IEEE 11th International Conference on ASIC, Chengdu, China (Nov. 5, 2015). 査読有
- [12] Y. Kobayashi, S. Shibuya, T. Arafune, S. Sasaki, H. Kobayashi, "SAR ADC Design Using Golden Ratio Weight Algorithm", International Symposium on Communications and Information Technologies, Nara, Japan (Oct. 9, 2015). 査読有
- [13] 東野将史、シャイフルモーヤー、小林春夫「ユナリ型 DA 変換器線形性向上のための電流源並び替え魔方陣アルゴリズム」電気学会電子回路研究会 (2015年7月3日) 査読なし
- [14] 荒船拓也、澁谷将平、小林佑太朗、小林春夫「フィボナッチ数列重み付け SAR ADC のための DAC の検討」電気学会 電子回路研究会 横須賀 (2015年7月3日) 査読なし
- [15] 小林佑太朗、小林春夫「フィボナッチ数列を用いた ADC/DAC の冗長設計検討」システム LSI 合同ゼミ (2015年6月27日) 査読なし
- [16] 澁谷将平、荒船拓也、小林佑太朗、小林春夫「黄金比重み付け DA 変換器の検討」電子情報通信学会 第40回アナログ RF 研究会、東京 (2015年6月25日) 査読なし
- [図書] (計 0 件)
- [産業財産権]
- 出願状況 (計 0 件)
- 取得状況 (計 0 件)
- [その他]
- ホームページ等
- //www.el.gunma-u.ac.jp/~kobaweb/gakkai.html
6. 研究組織
- (1) 研究代表者
- 小林 春夫 (KOBAYASHI, Haruo)
- 群馬大学・大学院理工学府・教授
- 研究者番号 20292625