

## 科学研究費助成事業 研究成果報告書

平成 29 年 6 月 1 日現在

機関番号：12601

研究種目：挑戦的萌芽研究

研究期間：2015～2016

課題番号：15K13967

研究課題名(和文) しきい値電圧自己調整機構を有する超低電圧動作シリコンナノワイヤトランジスタ

研究課題名(英文) Ultra-Low Voltage Operating Silicon Nanowire Transistors with Threshold Voltage Self-Adjusting Mechanism

研究代表者

平本 俊郎 (Hiramoto, Toshiro)

東京大学・生産技術研究所・教授

研究者番号：20192718

交付決定額(研究期間全体)：(直接経費) 3,000,000円

研究成果の概要(和文)：本研究では、超低電圧で動作するナノワイヤトランジスタを実現することを目的に、研究代表者が考案した浮遊ゲート構造による「しきい値自己調整機構」をシリコンナノワイヤトランジスタに応用した。この機構は、トランジスタのオン時にしきい値電圧 $V_{th}$ が自動的に下がり、オフ時に $V_{th}$ が自動的に上がることにより低電圧動作を可能とする機構である。試作したナノワイヤトランジスタのナノワイヤ幅は38nmの極めて細い。試作デバイスを評価した結果、しきい値自己調整が設計通り行われていることを確認した。また、0.1Vという極めて低い電圧においてもしきい値自己調整機構が働くことを確認した。

研究成果の概要(英文)：In this study, silicon nanowire transistor with threshold voltage ( $V_{th}$ ) self-adjusting mechanism was designed and fabricated in order to realize ultra-low voltage operating transistors. In this mechanism,  $V_{th}$  decreases at the ON-state and  $V_{th}$  increases at the OFF-state, resulting in ultra-low voltage operation. The width of the fabricated nanowire transistor was as small as 38nm. It was confirmed that the fabricated nanowire transistor has the  $V_{th}$  self-adjusting mechanism at supply voltage as low as 0.1V.

研究分野：集積デバイス工学

キーワード：半導体物性 大規模集積回路 MOSFET ナノワイヤトランジスタ しきい値電圧自己調整

1. 研究開始当初の背景

大規模集積回路(VLSI)における消費電力の爆発的増大を抑制することは高度情報化社会の喫緊の課題である。集積回路およびメモリの消費電力を抑えるには、電源電圧  $V_{dd}$  を低下させることが効果的である。ところが、VLSIを構成するMOSトランジスタのしきい値電圧  $V_{th}$  はランダムな不純物の揺らぎにより大きくばらつくため、スタティックランダムメモリ(SRAM)セルにおいて  $V_{dd}$  を低下させるとセル動作の安定性が低下し記憶情報が失われてしまう。VLSIの最低動作電圧  $V_{min}$  は一般にSRAMによって決まるため、低い  $V_{dd}$  でSRAMセルの安定性を向上させる技術が必要である。

低  $V_{dd}$  でSRAMセルの安定性を向上させる技術のひとつに、“ $V_{th}$  自己調整MOSトランジスタ”が挙げられる。このトランジスタでは、オフ状態では  $V_{th}$  が自動的に上がりオン状態では  $V_{th}$  が自動的に下がることで高いオン・オフ比を実現できる。研究代表者らは、浮遊ゲートFGを用いた  $V_{th}$  自己調整MOSトランジスタを提案し、0.1Vという極めて低い電圧で  $V_{th}$  自己調整機構が起こることを実験により実証した。ところが、このトランジスタの欠点は、ゲート絶縁膜が通常より厚いため短チャネル効果に弱いということであった。

2. 研究の目的

本研究の目的は、既に提案した  $V_{th}$  自己調整MOSトランジスタの欠点を克服するため、 $V_{th}$  自己調整MOSトランジスタのチャネル構造を変えトライゲートナノワイヤチャネルとすることにより、優れたサブスレッショルドスロープ(SS)と  $V_{th}$  自己調整機構を実験により示し、 $V_{th}$  自己調整MOSトランジスタの有用性を実証することである。

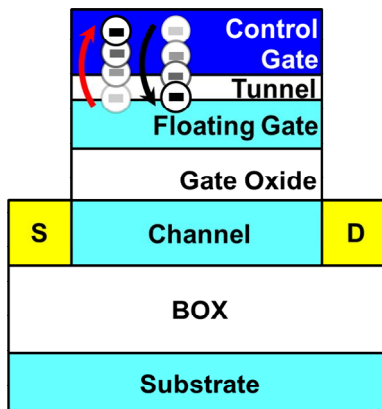


図1. プレーナー構造の  $V_{th}$  自己調整MOSトランジスタの模式図。

3. 研究の方法

図1は、 $V_{th}$  自己調整MOSトランジスタの基本構造である。ゲート電圧の大きさにより、電子が制御ゲートCGとFGの間をトンネルにより移動する。図2に等価回路と電流-電圧特性を示す。オフ状態(ゲート電圧  $V_{gs}$  が0V)では電子はCGからFGへ注入されるため  $V_{th}$  が上昇する。オン状態では逆に電子はFGからCGへ抜けるため  $V_{th}$  が低下する。デバイス動作には時間遅れが存在し、ゲート電圧を高速でスキャンさせると、 $V_{th}$  シフト( $\Delta V_{th}$ )が現れ  $V_{th}$  はスキャン方向に依存する。これをダイナミックケースと呼ぶことにする。スキャンが極めて遅いときはSSが改善する(スタティックケース)。ところが、図1のようなプレーナー型の構造ではゲート絶縁膜が実質的に厚いため、短チャネル効果が起こってしまい微細化に適さない。

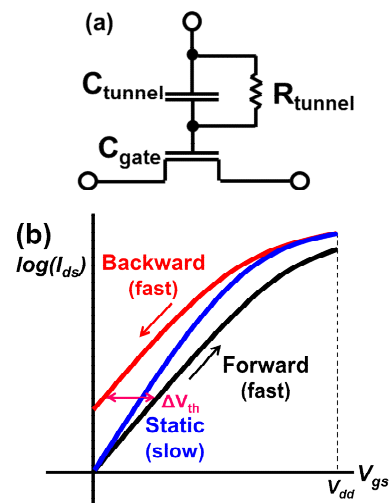


図2. (a)  $V_{th}$  自己調整MOSトランジスタの等価回路。(b)  $V_{th}$  自己調整MOSトランジスタにおける特性の模式図。

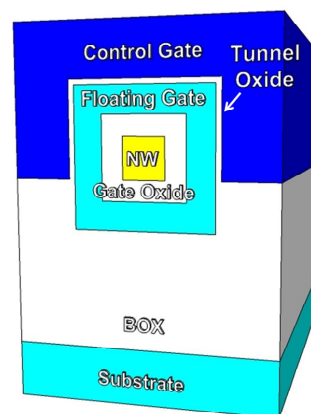


図3. 本研究で提案するトライゲートナノワイヤ構造を有する  $V_{th}$  自己調整MOSトランジスタの模式図。

次に、 $V_{th}$  シフトが現れる機構を詳しく理解するため、デバイスシミュレーションにより、ゲートオールアラウンド(GAA)構造を有するナノワイヤ  $V_{th}$  自己調整 MOS トランジスタの特性を調べた。仮定したのは FG, CG ともに GAA 構造を有する構造である。プレーナー構造を有する  $V_{th}$  自己調整 MOS トランジスタもシミュレーションを行い、特性の比較を行った。その結果、GAA 構造では短チャネル効果は優れているが、スタティックケースにおいても SS が理想値の  $60\text{mV}/\text{dec}$  を示し、 $V_{th}$  シフトがほとんど起こらないことがわかった。以上のことから、ボディ効果のない GAA 構造では  $V_{th}$  自己調整機構は働かず、 $V_{th}$  自己調整のためにはボディ効果が必要であることが明らかとなった。

以上の結果から、本研究では、ナノワイヤ構造にトライゲート構造を用いることとした。短チャネル効果を抑制するため FG は GAA 構造とするが、ボディ効果を保つために CG のみトライゲートとした構造である。その模式図を図 3 に示す。ナノワイヤの電子顕微鏡写真とプロセス工程を図 4 に示す。ナノワイヤのチャンネル長は  $200\text{nm}$ 、ナノワイヤの幅は  $38\text{nm}$  と極めて細く、ナノワイヤの高さは  $26\text{nm}$ 、ゲート酸化膜厚は  $10\text{nm}$ 、トンネル酸化膜厚は約  $1.5\text{nm}$  である。リファレンスとしてプレーナー構造の  $V_{th}$  自己調整 MOS トランジスタも同時に試作した。

#### 4. 研究成果

図 5 は、試作デバイスにおける  $V_{th}$  のバックバイアス  $V_{bs}$  依存性である。トライゲート MOS トランジスタでも  $V_{th}$  が  $V_{bs}$  に依存しており、ボディ効果が起きていることがわかる。図 6-7 は、 $V_{dd}=1\text{V}$  における試作したトライゲートナノワイヤ  $V_{th}$  自己調整 MOS トランジスタの  $I-V$  特性と SS の電流依存性である。高速スキャンの方がスタティックケースより SS が良く、サブスレッショルド領域で明らかに  $V_{th}$  自己調整機構が働いていることがわかる。さらに、 $V_{dd}$  を  $0.1\text{V}$  まで下げたときの特性を図 8 に示す。 $0.1\text{V}$  でも  $V_{th}$  自己調整機構により  $V_{th}$  がシフトし、ダイナミックケースで SS が改善していることがわかる。

最後に、試作したトライゲートナノワイヤ  $V_{th}$  自己調整 MOS トランジスタの特性を抽出し、回路シミュレーションにより SRAM セルの特性を求めた。 $V_{dd}=0.1\text{V}$  におけるリテンション条件でのバタフライカーブを図 9 に示す。高速にスキャンした場合(ダイナミックケース)とスタティックケースでカーブが変化している。これは  $V_{th}$  自己調整機構が働いているためであり、このバタフライカーブから、自己調整機構が存在しない場合と比較すると、 $0.1\text{V}$  という超低電圧においても SRAM セルの安定性が向上していることが明らかとなった。以上の結果から、本研究で提案したトライゲートナノワイヤ  $V_{th}$  自己調

整 MOS トランジスタは、超低電圧化で集積回路および SRAM セルを安定動作させるために極めて適した技術であることが明らかとなった。

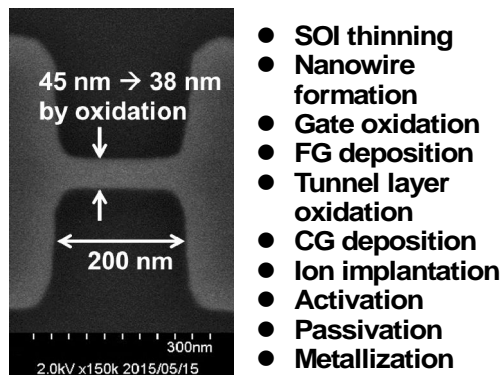


図 4. ナノワイヤチャンネル部の電子顕微鏡写真と試作プロセス工程。

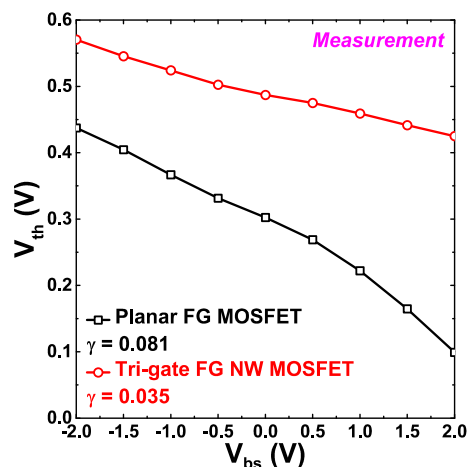


図 5. 試作したプレーナー型とトライゲートナノワイヤ型の  $V_{th}$  自己調整 MOS トランジスタにおける  $V_{th}$  の  $V_{bs}$  依存性。

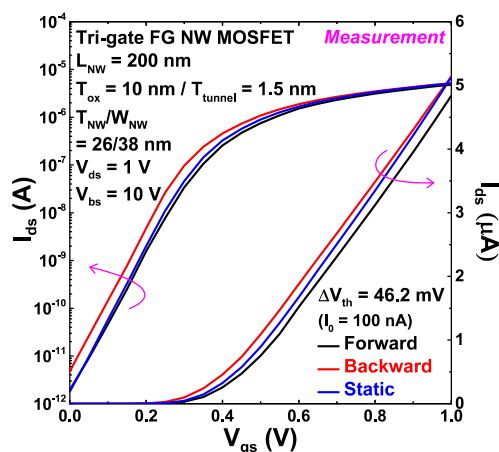


図 6. 試作したトライゲートナノワイヤ  $V_{th}$  自己調整 MOS トランジスタにおける  $I-V$  特性。  $V_{dd}=1\text{V}$ 。

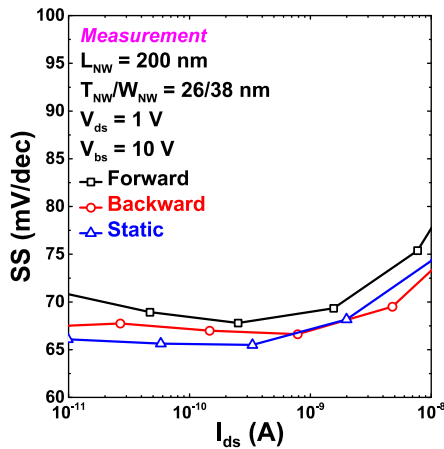


図 7. 試作したトライゲートナノワイヤ Vth 自己調整 MOS トランジスタにおける SS のドレイン電流依存性 . Vdd=1V .

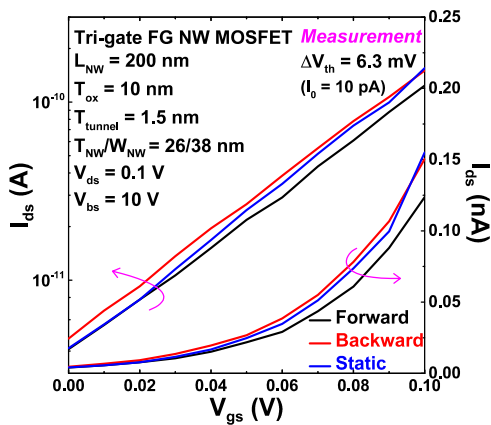


図 8. 試作したトライゲートナノワイヤ Vth 自己調整 MOS トランジスタにおける I-V 特性 . Vdd=0.1V .

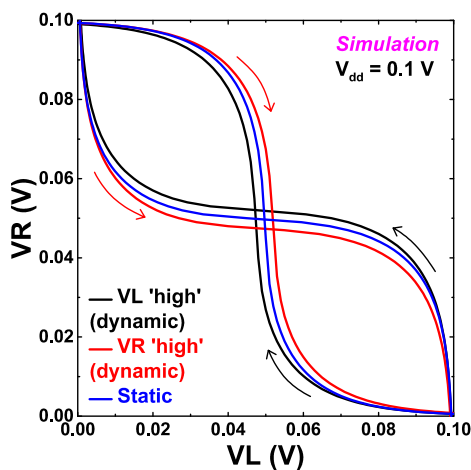


図 9. 試作したトライゲートナノワイヤ Vth 自己調整 MOS トランジスタから抽出したパラメータによる SRAM のリテンション条件におけるバタフライカーブ . Vdd=0.1V .

## 5 . 主な発表論文等

( 研究代表者、研究分担者及び連携研究者には下線 )

[ 雑誌論文 ] ( 計 0 件 )

[ 学会発表 ] ( 計 1 件 )

- (1) Seung-Min Jung, Takuya Saraya, Kiyoshi Takeuchi, Masaharu Kobayashi and Toshiro Hiramoto, "Vth Self-Adjusting Tri-Gate Nanowire MOSFET for Stability Improvement of SRAM Cell Operating at 0.1 V", IEEE SOI-3D-Subthreshold Microelectronics Technology Unified Conference (S3S), The DoubleTree by Hilton Sonoma Wine Country, Rohnert Park, CA, USA, Paper 11.4, October 6, 2015.

[ 図書 ] ( 計 0 件 )

[ 産業財産権 ]

- 出願状況 ( 計 0 件 )
- 取得状況 ( 計 0 件 )

[ その他 ]  
ホームページ等 なし

## 6 . 研究組織

### (1) 研究代表者

平本 俊郎 ( Toshiro Hiramoto )  
東京大学・生産技術研究所・教授  
研究者番号 : 20192718

### (2) 研究分担者

なし

### (3) 連携研究者

小林 正治 ( Masaharu Kobayashi )  
東京大学・生産技術研究所・准教授  
研究者番号 : 40740147

更屋 拓哉 ( Takuya Saraya )  
東京大学・生産技術研究所・助手  
研究者番号 : 90334367