

科学研究費助成事業 研究成果報告書

平成 29 年 5 月 23 日現在

機関番号：11301

研究種目：挑戦的萌芽研究

研究期間：2015～2016

課題番号：15K14104

研究課題名(和文) 2ビット情報の記録可能な積層縦型構造多値記録相変化メモリ素子の創製

研究課題名(英文) Development of multi-level PCRAM showing four-resistance-level

研究代表者

須藤 祐司 (SUTOU, YUJI)

東北大学・工学研究科・准教授

研究者番号：80375196

交付決定額(研究期間全体)：(直接経費) 2,900,000円

研究成果の概要(和文)：次世代不揮発性メモリとして、アモルファス相と結晶相の電気抵抗差を利用した相変化メモリが注目されている。更なる大容量化を目指し、相変化メモリの多値記録化が期待されている。本研究では、二段階結晶化を示す相変化材料と一段階結晶化を示す相変化材料を積層する事により、2ビットの多値記録実現を目指した。Cu-Ge-Teについて、二段階結晶化過程を示す組成範囲を明確にした。その結果、23.4Cu-28.8Ge-47.8Te薄膜とGeTe薄膜の積層組み合わせにより、2ビット情報記録が可能である事が分かった。

研究成果の概要(英文)：Phase change random access memory called PCRAM has attracted much attention as next generation nonvolatile memory because of its simple operation principle and production cost. PCRAM is operated by way of Joule heating to induce phase change between high resistance reset amorphous state and low resistance set crystalline state of phase change material. In this study, we proposed multi-level PCRAM showing four-resistance-level which can store 2 bit data. We investigated the composition dependence of Cu-Ge-Te film showing two-step crystallization process. Based on the results, we found that 23.4Cu-28.8Ge-47.8Te(CuGT)/GeTe(GT) stack-layered memory cell can exhibits four-resistance-level, i.e., [amo.CuGT+amo.GT], [amo.CuGT+cry.GT], [cry1.CuGT+cry.GT] and [cry2.CuGT+cry.GT]. These results indicate that Cu-Ge-Te/GeTe layered structure is expected to be multi-level PCRAM.

研究分野：材料工学

キーワード：相変化メモリ 不揮発性メモリ アモルファス 結晶化

1. 研究開始当初の背景

相変化メモリ(PCRAM)は、相変化材料(PCM)を電気パルスによるジュール加熱によりアモルファス化(高電気抵抗)してリセット、また結晶化(低電気抵抗)してセットとして情報記録する。現在、 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ (GST)系材料がPCMとして使われており、既存フラッシュメモリに比して低消費電力、高速動作、長期繰り返し性に優れる。一方で、次世代PCRAMには更なる大容量化のため、その多値記録化が期待されている。既存フラッシュメモリは、蓄積させる電子の量を調整することで4つの抵抗状態を作り出し、一つのメモリセルで2ビットの情報([00],[01],[10],[11]の4値)を保持できる多値記録メモリ素子(MLC)を実現し大容量化を達成している。もしPCRAMにおいて多値記録が達成できれば飛躍的な大容量化が可能となるため、そのMLC化が検討されている。中でも、PCMの左右に電極を配置し、電気パルスの大きさにより相変化領域の体積を制御することで複数の抵抗状態(抵抗差:数倍)を実現するラテラル型MLCが提案されている。しかし、ジュール加熱により毎回同じ体積領域を相変化させることは困難であり複数の抵抗状態の再現性に課題が残る。また、高集積化にはPCMの上下に電極が配置される縦型メモリセルが望ましい。その観点から、研究代表者らが新しく見出した高温動作性に優れる Cu_2GeTe_3 (CGT)と既存GSTの二種類のPCMを用いたGST/CGT積層縦型MLCを提案し、三段階の抵抗値レベルを実現できる事を実証している。しかし、3つの抵抗値レベルでは2ビットの情報を保持できず、このままでは実用メモリへ適用することは出来ない。

そのような中、研究代表者はCu-Ge-Teの相変化挙動を研究する中で、Cu-Ge-Te薄膜が二段階の結晶化過程を辿ることを見出した。即ち、この二段階結晶化を示すCu-Ge-Te薄膜と一段階結晶化を示す通常PCMを積層させることで、4つの抵抗値レベルを実現できるのではないかとこの着想を得た。

2. 研究の目的

本研究では、Cu-Ge-Teの相変化挙動に及ぼす組成依存性を調査すると共に、二段階結晶化を示すCu-Ge-Teに最適な組み合わせとなる一段階結晶化を示すPCMを検討し、PCRAMの大容量化を実現する積層縦型多値記録相変化メモリ素子の創製に挑戦する事を目的とした。

3. 研究の方法

本研究では、各種相変化薄膜を、RFスパッタリング装置を用いて成膜した。尚、Cu-Ge-Te薄膜については、GeTeおよびCuTeの合金ターゲットを用いた多元スパッタリングにより作製した。二端子法を用いた電気抵抗の温度依存性から、その結晶化挙動を調査した。X線回折を用いて、得られた薄膜の

結晶構造を同定すると共に、透過電子顕微鏡(TEM)を用いて、その内部組織を観察した。また、レーザーパルス照射装置を用いて、相変化速度を調査した。また、フォトリソグラフおよびフォーカスイオンビーム装置を駆使してメモリ素子を作製し、各相変化材料層の動作特性、特に、メモリ動作耐久性(繰り返し回数)を評価した。

4. 研究成果

(1) 二段階結晶化を示すCu-Ge-Te組成範囲
二段階の結晶化過程を生じる組成範囲を明確にするため、GeTeおよびCuTeターゲットを用いた同時スパッタリングによりGeTe-CuTe擬二元系薄膜($\text{Ge}_{50-x}\text{Cu}_x\text{Te}_{50}$)を作製し、その結晶化挙動に及ぼす組成依存性を調査した。 $\text{Ge}_{50-x}\text{Cu}_x\text{Te}_{50}$ 薄膜組成は、GeTeおよびCuTeターゲットのそれぞれのスパッタリング出力を変化させることにより調整した。尚、二端子法による電気抵抗測定は、昇温速度:10 /minで行った。その結果、Cu組成xの範囲が、21 at.% < x < 24 at.%の範囲において、二段階の結晶化が生じる事が分かった。また、Cu濃度の増加に伴い、第一結晶化温度は低下する一方で、第二結晶化温度は増加する事が明らかとなった。

(2) 二段階の結晶化メカニズムの解明

上述の結果より、特に、Cu組成:23.4 at.%を有する擬二元系アモルファス薄膜($\text{Cu}_{23.4}\text{Ge}_{28.8}\text{Te}_{47.8}$ 薄膜)の結晶化過程をXRDおよびTEM観察により調査した。その結果、第一結晶化において Cu_2GeTe_3 相が生成し、第二結晶化に伴い、残留アモルファス相がGeTe相へと結晶化する事が分かった。更に興味深い事に、 $\text{Cu}_{23.4}\text{Ge}_{28.8}\text{Te}_{47.8}$ 薄膜の結晶化に伴う体積変化は0.6%程度と、 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ やGeTeといった通常のPCM(3~8%程度)よりも極めて小さい事が分かった。XRDおよびTEM観察の結果から、第一結晶化に伴い、体積膨張する

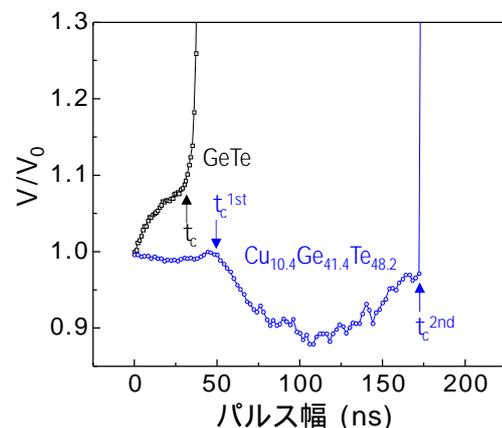


図 1. レーザーパルス照射実験による結晶化開始時間の測定. t_c^{1st} は第一結晶化、 t_c^{2nd} は第二結晶化開始時間を示す. 比較のために、通常の一段階結晶化を示す GeTe 薄膜の結果も示す.

Cu₂GeTe₃ 結晶相が先ず生成し、その後、第二結晶化に伴い、体積収縮する GeTe 結晶相が生成する事により、見かけ上体積変化がほぼ 0 となる事が明らかとなった。PCM の相変化に伴う大きな体積変化は、データ書換え時に PCM/電極間や PCM セル内に歪みを蓄積させ、PCM/電極間の剥離や PCM 内におけるボイド生成により、メモリの早期故障の原因になり得る事が指摘されている。それ故、Cu-Ge-Te 層の相変化に伴う小さな体積変化は、繰り返しメモリ動作(耐久性)の観点からも有利であると言える。

(3) レーザパルス照射実験によるナノ秒レベルでの結晶化挙動

本研究では、レーザパルス照射装置を用いて結晶化速度を評価した。レーザパルス照射実験では、相変化を励起する比較的大きな出力のレーザ(ポンプレーザ)をパルス幅を変化させながら照射し、各ポンプレーザ照射間において、弱い出力のレーザ(プローブレーザ)を照射し、ポンプレーザ照射前後の PCM の反射率の変化から結晶化開始時間(結晶化誘起可能パルス幅)を決定した。尚、本実験で用いたレーザ波長は 830 nm とした。典型的な結果を図 1 に示す。準静的な 10 /min 程度の昇温速度では単一相に結晶化する薄膜(Cu_{10.4}Ge_{41.4}Te_{48.2} 薄膜)も、図 1 に示すように、ナノ秒レベルでは二段階の結晶化過程を呈する事が分かった。具体的には、ナノ秒レベルの幅を持つレーザパルス照射(レーザ強度: 5.7mW)では、Cu₂GeTe₃ 相へは 50 ns 程度、GeTe 相へは 175 ns 程度で結晶化する事が分かった。ただし、これはレーザパルス強度に依存し、強度を大きくすれば、更に短時間での結晶化が可能であった。

更に、組成によっては、逆に準静的な 10 /min 程度の昇温速度で二段階結晶化する薄

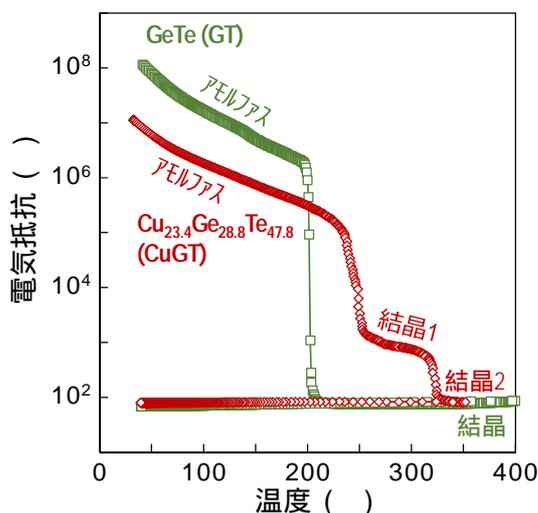


図 2. Cu_{23.4}Ge_{28.8}Te_{47.8}(CuGT)アモルファス薄膜の電気抵抗の温度依存性. 比較のために GeTe(GT)アモルファス薄膜の結果も示す.

膜も、ナノ秒幅のレーザパルス照射では、Cu₂GeTe₃ 単一結晶相へと結晶化する場合もある事が分かった。このように、結晶化過程は、その加熱速度により大きく異なることが明らかとなった。

(4) 二段階結晶化を示す Cu-Ge-Te と一段階結晶化を示す GeTe の最適組成化

上述した(1)~(3)の結果を基に、多値記録用相変化メモリ用の Cu-Ge-Te 組成および通常 PCM 材料との組み合わせを検討した結果、二段階結晶化を呈する Ge_{28.8}Cu_{23.4}Te_{47.8} 薄膜と大きな電気抵抗変化を示す GeTe 薄膜の組み合わせが最も好ましい事が分かった。図 2 に示すように、Ge_{28.8}Cu_{23.4}Te_{47.8} 薄膜は GeTe 薄膜の結晶化温度よりも高い温度領域で結晶化を示す、即ち、第一結晶化温度: 250 および第二結晶化温度: 325 を示す。更に、アモルファス相の電気抵抗値は 10⁷、第一結晶化後の電気抵抗値は 10³、第二結晶化後の電気抵抗値は 10² を示す。

以上の結果を基に、GeTe 薄膜(GT)と Cu_{23.4}Ge_{28.8}Te_{47.8} 薄膜(CuGT)を二層に積層した場合において期待される電気抵抗値レベルを算出した。図 3 にその結果を示す。図に示すように、[GT-アモルファス + CuGT-アモルファス]、[GT-結晶 + CuGT-アモルファス]、[GT-結晶 + CuGT-結晶 1]および[GT-結晶 + CuGT-結晶 2]の4つの電気抵抗レベル状態を実現でき、それぞれの電気抵抗レベルの間には、少なくとも 1桁程度の電気抵抗差を持たせることが出来る事が分かった。これらの結果は Cu-Ge-Te/GeTe の組み合わせが縦型積層多値記録メモリとして大いに期待できる事を示している。

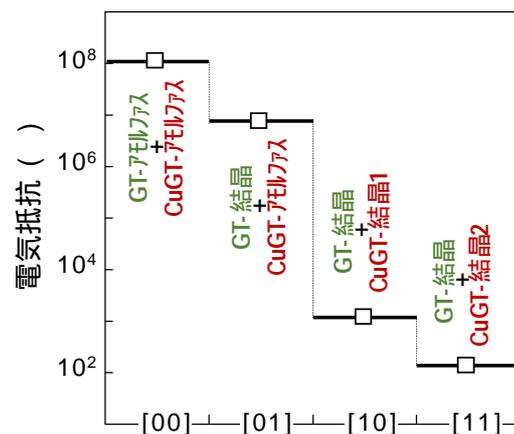


図 3. Cu_{23.4}Ge_{28.8}Te_{47.8} (CuGT) 薄膜および GeTe(GT)薄膜材料の相変化挙動から期待される CuGT/GT 積層メモリ構造の多値記録(4 値)状態.

(5) メモリ動作性能

本研究では、GeTe および Cu-Ge-Te 各層のメモリ動作の繰り返し特性を評価した。デバイス作製には、先ず、フォトリソグラフ技術

を用い、PCM/電極間の接触サイズを $10\ \mu\text{m} \times 10\ \mu\text{m}$ としてメモリセルを作製した。尚、電極材料には、タングステンを利用した。半導体パラメータアナライザを用い、セット、リセット化後に電気抵抗を読み取ることでその繰り返しメモリ動作可能回数を評価した。その結果、本メモリセル構造においては、GeTe 層において 10^2 回程度の繰り返し特性を示した。しかしながら、セット化時の電気抵抗値のバラツキが大きかった(1桁以上)。このバラツキは、PCM/電極間の接触面積が大きく、セット化の結晶相領域が毎回異なる事に起因すると考えられた。そこで、デバイス構造の更なる最適化、特に、接触サイズの微細化を行った。本実験ではメモリセル構造を再検討し、フォトリソグラフおよびフォーカスイオンビーム技術を駆使し、50 nm 厚さの電極層上に SiO_2 絶縁層を成膜し、その後、フォーカスイオンビームにて、 SiO_2 /電極層に 500nm の円柱状の穴をあけ、そこに PCM を成膜する事で、PCM/電極層の接触サイズを出来る限り最小化した。尚、本実験においても電極材料にはタングステンを使用した。図 4 に、再検討したメモリセルを用いて作製した Cu-Ge-Te 層のメモリ動作耐久性試験結果を示す。図に示すように、Ge-Cu-Te 層は 10^4 回程度の良好な長期繰り返し特性を示す事を確認し、PCRAM として期待できる事を示した。

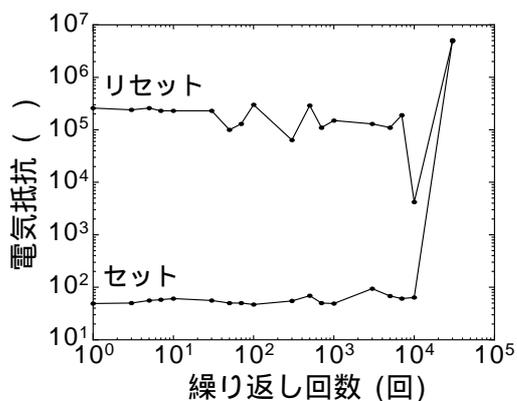


図 4. Cu-Ge-Te 薄膜を用いたメモリセルの繰り返し書換え特性. 低電気抵抗セット状態は結晶相状態、高電気抵抗リセット状態はアモルファス相状態を示す。

5. 主な発表論文等

(研究代表者、研究分担者及び連携研究者には下線)

〔雑誌論文〕(計 2 件)

J.S. An, C.M. Choi, S. Shindo, Y. Sutou, H.S. Jeong, Y.H. Song, Investigation of an erasing method for synaptic behavior in a phase change device using $\text{Ge}_1\text{Cu}_2\text{Te}_3$ (GCT), Electronics Letters, 52, 2016 年, 1514-1515. DOI: 10.1049/el.2016.2211

Y. Sutou, Y. Saito, S. Shindo, J. Koike, J.M. Lee, Y.H. Song, Feasibility study of multi-level PCRAM with multiple phase change layers, European Symposium on Phase Change and Ovonic Science proceedings, 1, 2015 年, 133-134.

〔学会発表〕(計 2 件)

Y. Sutou, Y. Saito, S. Shindo, J. Koike, Ge-Cu-Te phase change material for PCRAM application, PRIME2016, 2016 年 10 月 5 日, Honolulu (America).

Y. Sutou, Y. Saito, S. Shindo, J. Koike, J.M. Lee, Y.H. Song, Feasibility study of multi-level PCRAM with multiple phase change layers, European Symposium on Phase Change and Ovonic Science E/PCOS2015, 2015 年 9 月 7 日, Amsterdam (Netherlands).

〔その他〕

ホームページ <http://www.koike-lab.jp/>

6. 研究組織

(1) 研究代表者

須藤 祐司 (SUTOU, Yuji)

東北大学・大学院工学研究科・准教授
研究者番号: 80375196

(2) 研究分担者

無し

(3) 連携研究者

安藤 大輔 (ANDO, Daisuke)

東北大学・大学院工学研究科・助教
研究者番号: 50615820

小池 淳一 (KOIKE, Junichi)

東北大学・未来科学技術共同研究センター・教授
研究者番号: 10261588

齊藤 雄太 (SAITO, Yuta)

独立行政法人産業技術総合研究所・ナノエレクトロニクス研究部門・研究員
研究者番号: 50738052

(4) 研究協力者

進藤 怜史 (SHINDO, Satoshi)

東北大学・大学院工学研究科・博士後期課程大学院生