

令和元年6月27日現在

機関番号：25403

研究種目：若手研究(B)

研究期間：2015～2018

課題番号：15K15961

研究課題名(和文) フィールドでの一時故障への耐性を重視した非同期式回路の高信頼設計に関する研究

研究課題名(英文) Studies on Design of Reliable Asynchronous Circuits for Transient Fault Tolerance in the Field

研究代表者

岩垣 剛 (Iwagaki, Tsuyoshi)

広島市立大学・情報科学研究科・助教

研究者番号：00397845

交付決定額(研究期間全体)：(直接経費) 2,400,000円

研究成果の概要(和文)：現在主流の同期式回路で生じている様々な問題を解決するものとして、非同期式回路が注目されている。本研究では、回路出荷後のフィールドでの信頼性を低下させる要因となる、放射線衝突等による一時故障や回路の経年劣化による遅延増大(劣化故障)に焦点をあて、それらに耐性を持つ非同期式回路の高位合成法を探究した。具体的には、一時故障や劣化故障による遅延変動に耐性を持つ非同期式回路の方式として「4相2線式」に着目し、4相2線式回路のハンドシェイク遅延の削減や劣化故障耐性の向上を指向した演算器バインディング法を提案した。

研究成果の学術的意義や社会的意義

本研究の取り組みは、高信頼な非同期式回路を効率良く設計し実用化を進めるための基礎となるものである。民生機器や医療機器等、その用途によって要求される信頼度は様々であるが、本研究の成果を応用することで、用途に応じた「ちょうど良い」特性(面積・遅延・消費電力・信頼度等)を持つ非同期式回路を設計することが可能となる。これは、同期式回路と非同期式回路が混在した次世代のシステムの信頼性を低コストで高めることにもつながる。

研究成果の概要(英文)：Asynchronous circuits have drawn attention as alternatives to synchronous ones which are widely used in current digital systems. This work has investigate high-level synthesis for enhancing the reliability of asynchronous circuits in the field where transient faults and aging-induced ones are likely to occur. More specifically, focusing on four-phase dual-rail asynchronous circuits that essentially have robustness against the delay-variation caused by transient faults or aging-induced ones, this work has devised operational unit binding for reducing handshake-delay or enhancing the tolerability to aging-induced faults in the circuits.

研究分野：デジタルシステムの設計とテスト

キーワード：非同期式回路 高位合成 一時故障 ソフトエラー 劣化故障 遅延故障 ディペンダブルコンピューティング フォールトトレランス

1. 研究開始当初の背景

大規模集積回路 (LSI) の微細化・高速化の恩恵を受けて、高機能で高性能な LSI を設計・製造できるようになる一方で、製造時の故障や出荷後のフィールドでのソフトエラー (放射線衝突等の影響による一時的なエラー) 等による信頼性低下が問題となっている。さらに、現在主流のクロック信号を用いた同期式回路においては、グローバルクロックで回路全体を駆動することによる消費電力の増加、クロック信号の到着時刻のずれ (スキュー) やクロック信号から発生する電磁ノイズによる誤動作、LSI の遅延ばらつきに対する過度な設計マージンによる性能の制限等、問題が山積している。これに対して、クロック信号ではなくローカルなハンドシェイク信号を用いた非同期式回路は、同期式回路で顕在化している様々な問題を根本から解決するものとして期待されている。しかし、設計自動化ツールが整っていないことや検証・テスト等の技術が成熟していないこともあり、実用化が遅れているのが現状である。

2. 研究の目的

本研究の目的は、非同期式回路を今後実用化する上で特に重要となる、LSI 出荷後のフィールドでの信頼性に主眼をおいた設計法を確立することである。具体的には、LSI の電圧変動等の内的な要因や放射線衝突等の外的な要因によって生じ得る、フィールドでの一時的な故障 (一時故障) に着目し、(1) 非同期式回路における一時故障の振る舞い、(2) 一時故障によるエラーの検出・訂正機構、(3) 要求される信頼度に応じて最適な非同期式回路を生成する高位合成法の3点を明らかにする。

3. 研究の方法

本研究では、LSI 出荷後のフィールドでの信頼性に主眼をおいた、非同期式回路の設計法の確立を目指している。研究開始当初は注目していなかったが、フィールドでの信頼性に影響を与えるものとして、回路の経年劣化に伴う遅延増大 (劣化故障) も視野に入れ、一時故障や劣化故障に耐性を持つ非同期式回路の高位合成法を探究した。具体的には、非同期式回路の一方式である「4相2線式」が、一時故障や劣化故障による遅延増大に耐性を持つ (つまり、目的 (2) のエラー検出・訂正機構が不要となる) ことに着目し、4相2線式回路に対する高位合成法を中心に考察をおこなった。図1に4相2線式回路の例を示す。図1(a)は高位合成の入力となるデータフローグラフ (DFG)、図1(b)(c)は高位合成によって得られるコントローラとそれによって制御されるデータパスをそれぞれ表す (コントローラ・データパス間の結線は省略)。

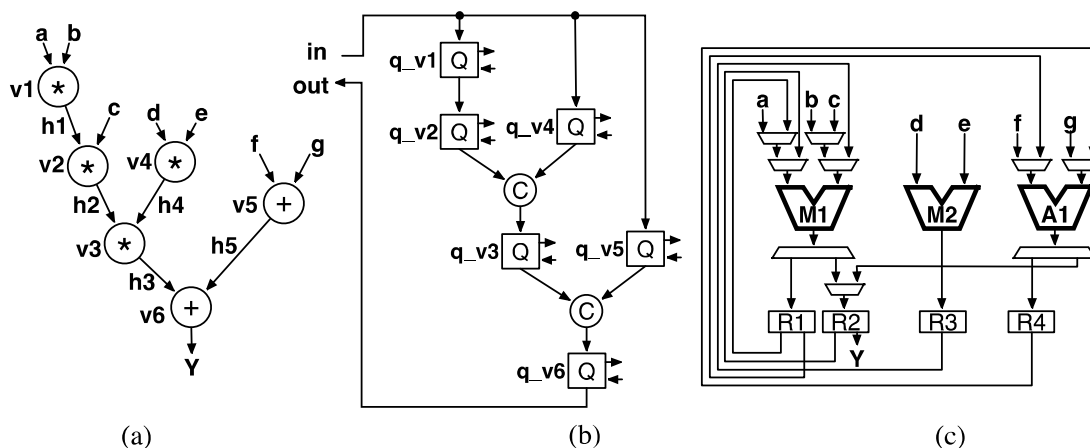


図1 4相2線式回路の例:(a) データフローグラフ,(b) コントローラ,(c) データパス

4. 研究成果

(1) ハンドシェイク遅延の削減を指向した演算器バインディング法

従来研究では重要視していなかったハンドシェイク遅延 (データパスで実行される演算をコントローラが制御するために要する遅延) が、回路全体の遅延に与える影響が無視できないことを予備実験により明らかにし、ハンドシェイク遅延の削減を指向した演算器バインディング法 (高位合成の一工程) を提案した。具体的には、データパスのレイテンシ削減技術の一つである演算チェイニングを導入し、チェーン内の複数の演算に対するハンドシェイクを一括で実

行することでハンドシェイク遅延の削減を狙った．以上の議論を元に，リソース制約下（演算器数制約下）回路遅延最小化問題を定式化し，それに対するヒューリスティックアルゴリズムを提案した．表 1 に示すベンチマーク DFG に対して提案法を適用し，ハンドシェイク遅延を考慮しない場合と比べて，ARF では最大で約 39%の回路遅延の削減に成功した．

以上の成果は，一時故障による遅延増大に耐性を持つ非同期式回路を柔軟に設計することを可能にする．例えば，演算器数制約を厳しく（緩く）することは回路面積を小さく（大きく）することにつながるため，様々な演算器数制約の下で提案法を用いることで，面積と遅延のトレードオフを踏まえながら設計空間を探索し，「ちょうど良い」特性（面積・遅延）を持つ解（回路）を得ることが可能となる．

今後の課題として，高位合成のもう一つの重要な工程であるレジスタバインディングを含めた高位合成法の考案や他の非同期式回路の方式（束データ方式等）に対する議論等が挙げられる．また，今回は対象としなかったが，一時故障によって値が反転するエラーの検出・訂正機構の考察とそれを前提とした高位合成法の議論も重要な課題である．

(2) 劣化故障耐性の向上を指向した演算器バインディング法

回路に対する処理時間制約 D 時間 D 内に処理結果を出力しなければならない，という制約) が与えられたとき，回路の劣化故障耐性の指標 (delay-robustness: DR) を「回路がその制約のある時刻 t まで満たし続ける確率」と定義し，本研究では DR を向上させるための演算器バインディングを考察した．4 相 2 線式回路は本質的に遅延変動に対して高い耐性を持つため，劣化故障によって回路の遅延が増大したとしても，4 相 2 線式回路は正しく動作する．しかし，劣化故障の蓄積によって遅延が非常に大きくなった場合，処理結果が回路から出力されるまでの時間が実用上無視できないものとなり，結果的にその回路を使用できなくなる．本研究ではこの点に着目し，データパスのいずれかの演算器に単位時間当たり一つの劣化故障が発生する（結果的にその演算器の遅延値が d だけ増加する）という仮定の下，演算器バインディングが劣化故障耐性の指標 DR に与える影響を実験的に解析し，以下の知見を得た．

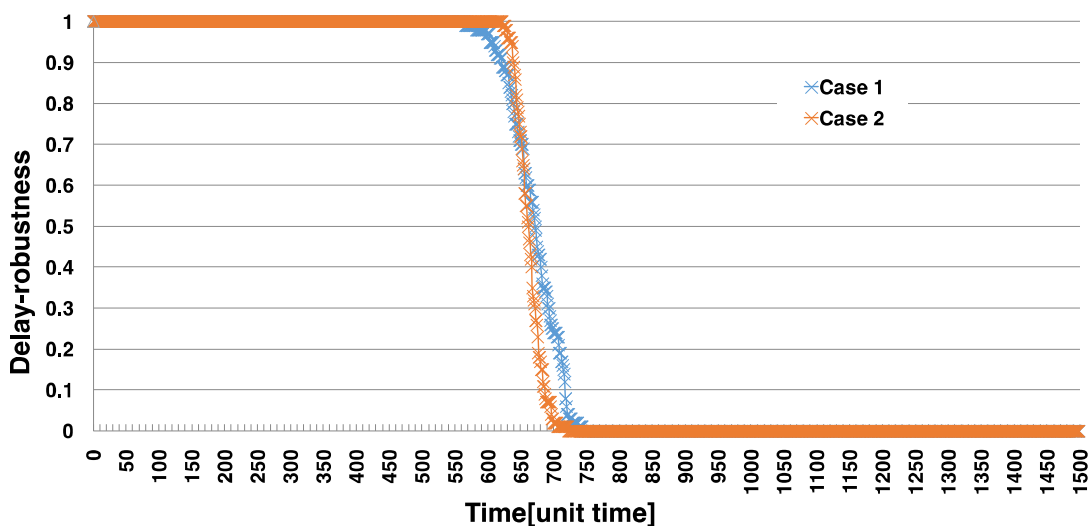


図 2 劣化故障耐性 (delay-robustness: DR) (JWF)

表 1 の JWF に対して，乗算器数 3・加算器数 6 というリソース制約の下，二つの異なる演算器バインディング (Case 1: データフローグラフのクリティカルパス上の演算をできるだけ同じ演算器に割り当てる, Case 2: データフローグラフのクリティカルパス上の演算をできるだけ異なる演算器に割り当てる) を適用したときの劣化故障耐性の傾向を図 2 に示す．図 2 からわかるように，Case 2 の方が $DR=1$ を保っている期間が長くなっており，Case 2 のような演算器バインディングをおこなうことで劣化故障耐性を高められることがわかる．

以上の成果と先の (1) の成果を応用し組み合わせることで，一時故障への耐性だけでなく劣化故障への耐性も持つ非同期式回路を設計することが可能となる．今後の課題として，今回想定している劣化故障モデルの妥当性の検証等が挙げられる．

表 1 ベンチマーク DFG の特性

ベンチマーク	各型の演算数	
	乗算	加算
DFG		
EX	6	5
JWF	4	13
DWT	8	9
ARF	16	12
EWf	8	26
DCT	13	29

5 . 主な発表論文等

[学会発表](計3件)

- 1 Tsuyoshi Iwagaki, Kohta Itani, Hideyuki Ichihara and Tomoo Inoue, "Impact of operational unit binding on aging-induced degradation in high-level synthesis for asynchronous systems," IEICE Technical Report (DC2016-78), Vol. 116, No. 466, pp. 23-28, Feb. 2017.
- 2 Tsuyoshi Iwagaki, Kohta Itani, Hideyuki Ichihara and Tomoo Inoue, "Exploration of four-phase dual-rail asynchronous RTL design for delay-robustness," Digest of Papers 17th IEEE Workshop on RTL and High Level Testing, pp. 1-6, Nov. 2016.
- 3 猪谷 孝太, 岩垣 剛, 市原 英行, 井上 智生, "ハンドシェイク遅延を考慮した4相2線式非同期システムの高位合成におけるスケジューリングアルゴリズム," 信学技法 (DC2015-56), Vol. 115, No. 339, pp. 147-152, Dec. 2015.