

平成 30 年 6 月 25 日現在

機関番号：53301

研究種目：若手研究(B)

研究期間：2015～2017

課題番号：15K15963

研究課題名(和文)FPGA設計変更・修正のための効率的な回路合成手法

研究課題名(英文)Efficient FPGA Circuit Modification for Specification Change and Design Debug

研究代表者

松本 剛史(Matsumoto, Takeshi)

石川工業高等専門学校・その他部局等・准教授

研究者番号：40536140

交付決定額(研究期間全体)：(直接経費) 2,500,000円

研究成果の概要(和文)：製造後に機能変更が可能な集積回路であるField Programmable Gate Array(FPGA)の設計を効率化する手法について研究を行った。本研究では、既に設計されたFPGA回路が仕様変更やバグ修正などのために回路の変更が必要となったとき、処理に時間のかかる配置配線を維持したまま、必要な部分の論理だけを変更することによって、設計変更が可能であることを示した。

研究成果の概要(英文)：Field Programmable Gate Array (FPGA) is a sort of integrated circuit whose logic is programmable on-site after manufactured. To make FPGA design more efficient in cases where the design needs to be changed or rectified due to specification changes or design errors, in this work, we show that the change or rectification can be achieved by modifying some logic elements with the placement and routing of the design kept.

研究分野：VLSI設計支援

キーワード：FPGA設計 論理修正 デバッグ支援

## 1. 研究開始当初の背景

Field Programmable Gate Array(FPGA)は製造後に機能変更が可能な集積回路であり、半導体微細化技術の発展に伴って、FPGA 1チップに実装可能な回路の規模は年々増加している。現在、大規模な FPGA では1千万~2千万論理ゲート規模の回路を実装することが可能である。この大規模化に加えて、通常集積回路を開発する場合に対するコスト面での優位性から、FPGA の応用範囲は、従来の集積回路のプロトタイプ試作にとどまらず、通信や車載等の分野にまで広がっている。近年では、科学シミュレーションや金融商品開発のための高性能計算にも利用されており、回路設計の専門知識がないユーザへも FPGA の利用が浸透しつつある。

FPGA の大規模化に伴い、FPGA の回路合成に要する時間も増大しており、大規模回路の場合には、数時間~数日間を要する場合もある。このように長い回路合成時間は、特に、回路設計を専門としないユーザが FPGA を利用する際の大きな障壁となっており、この回路合成時間を短縮し、FPGA の設計効率を向上させる必要がある。

FPGA では、Look-up Table(LUT)を用いて、与えられた入力値に対する論理関数の出力値を表引きで求めている。LUT はメモリで実装されており、製造後に書き換え可能であるため、同一の LUT によって、同じ入力数を持つ任意の論理関数を計算できる。これに加えて、FPGA では LUT 間の接続も製造後に変更可能となっている。つまり、FPGA 設計が変更された場合、各 LUT で計算される論理と LUT 間の接続の双方が変更される。しかしながら、配線遅延を考慮した LUT 間の接続決定には長い処理時間が必要であり、FPGA 設計期間の長期化につながっている。そこで、本研究では、既に合成された回路に対して機能追加やバグ修正のための変更・修正を、LUT 間の接続を維持したまま LUT 内の論理だけを変更することによって、高速に実現することを目指す。

## 2. 研究の目的

(1) FPGA 回路内で変更すべき箇所を特定する手法の考案

仕様変更や設計バグ修正による FPGA 回路変更において、本研究では配置配線を変更しないことを前提としているため、変更できるのは各 LUT で実現されている論理関数のみとなる。そこで、所望の回路変更を実現するために、どの部分の LUT を変更する必要があるかを特定する必要がある。そのために、与えられた仕様を満たすために、FPGA 回路内で変更すべき LUT の位置を求める手法を提案・評価する。

(2) 回路仕様を満たす LUT 論理関数を求める手法の考案

(1) で求められた LUT に対しては、仕様変更や回路修正に合うように、各 LUT の持つ

論理関数を求める必要がある。そのために、与えられた回路の論理仕様と LUT の集合に対して、仕様を満たす各 LUT の論理関数を求める手法を考案・評価する。

(3) 各 LUT で実現すべき論理関数で用いる入力変数の特定

回路の仕様変更やバグ修正によっては、LUT の持つ論理関数に入力を追加しなければ、仕様を満たすことができないものも存在する。そのため、回路内の依存関係を解析し、(1) で求められた論理関数を変更すべき LUT に必要となる変数を求める手法を考案・評価する。

(4) 高位設計の変更によって生じる FPGA 回路の変更の評価

FPGA 回路の設計は、ハードウェア記述言語を用いてレジスタ転送レベルで設計を行うことが主流であったが、近年、C 言語などの言語を用いて抽象度の高い設計を行い、それを高位合成と呼ばれる手法を利用して回路を得る設計フローが普及している。本項では、高位設計を用いた FPGA 回路設計が広まっていることを考慮し、C 言語などで記述された高位設計に変更があった場合、それが FPGA 回路においてどの程度の差分となって現れるのかを評価する。

## 3. 研究の方法

(1) FPGA 回路合成環境の構築と回路からの LUT ネットワーク生成

設計を FPGA 回路に合成し、LUT のネットワークを生成する環境と構築する。合成ツールとしては、商用ツールを用い、製品 FPGA で広く採用されている 4 入力 LUT と 6 入力 LUT の双方について LUT ネットワーク生成を行う。また、LUT の変更箇所や LUT が持つ論理関数の変更方法を求める手法では、論理式の充足可能性判定問題を解く SAT ソルバーを用いる。そのため、仕様として与えられた回路論理や FPGA 回路(LUT が持つ論理関数の情報を含む)を和積形論理式に変換する環境が研究には必要である。これについては、パブリックドメインツールを組み合わせ構築する。

(2) FPGA 回路内で変更すべき箇所の特定

ここでは、仕様変更やバグ修正に伴い、FPGA 回路内でどの部分を修正すれば良いかを求める手法を開発する。これは、仕様から得られる正しい入出力パタンの組を全て満足できるようにするためには、回路のどの部分を変更すればよいか、を充足可能性判定問題として定式化することで実現できる。このとき、どの部分を変更すれば所望の変更・修正が可能であるか、は LUT ネットワーク上で考える必要がなく、あくまでも回路の論理を参照すればよい。そのため、FPGA 合成ツールから得られる元の回路における LUT の論理関数から論理式を作成して行う。

### (3) 各 LUT における論理関数の導出

(2) で求められた変更すべき回路部分が FPGA 回路上での LUT に当たるかを求め、それらの LUT の変更後の論理関数を SAT ソルバーを用いて求める。この際、LUT 間の接続関係を変化させないことにより、FPGA 回路の配置配線を再実行せずに、所望の変更・修正を行った回路を得ることができる。

### (4) 論理の依存関係推定を用いた LUT 入力変数決定の検討

次節で述べるように、前項(2)および(3)では所望の変更・修正ができない場合、各 LUT の入力変数を追加・変更する必要がある。そこで、その LUT で実現すべき論理関数の入力となる変数がある種の学習アルゴリズムを用いて推定する手法を検討する。

### (5) 高位設計変更による LUT ネットワーク差分の評価

高位設計記述の一部を変更して、FPGA 回路合成を行い、生成された回路の LUT 間の接続関係(LUT ネットワーク)がどのように変化するかを評価する。商用ツールで合成された LUT ネットワークを対象として評価を行い、グラフマッチングのプログラムを用いて、どの程度の差分が生じているかを評価する。

## 4. 研究成果

### (1) FPGA 回路内で変更すべき箇所の特長

文献 [1] で提案された手法を用いて、FPGA 回路内で変更すべき箇所を求める環境を構築した。原理的には、各 LUT の出力にマルチプレクサを挿入して、LUT から出力される論理値と自由値を選択可能な論理回路を生成し、その回路の出力が与えられた全ての入出力パターンを満足するような解を求めることにより、どの LUT の論理関数を変更すれば、所望の変更・修正が可能になるかを求めることができる。例題として、4 ビット加算器と OpenRISC1200 プロセッサの ALU 回路から得られた FPGA 回路を対象として評価を行った。A 回路に与える変更として、論理ゲート回路レベルでの論理関数の変更(ただし、入力変数は同じ)、論理ゲートの追加、論理ゲートの削除、論理ゲート間の接続の変更の4種について各5個の変更を用意して、評価を行った。その結果、変更が必要な箇所は、平均で、全体の LUT の加算器で 5%以内、ALU 回路で 1%以内とすることができた。

### (2) 各 LUT における論理関数の導出

本節(1)で求められた LUT の集合は、所望の変更・修正をするために論理関数を変更すべき LUT の集合であった。本項では、それらの LUT の論理関数を求める手法の評価を行った。これは、原理的には、文献 [1] で提案された手法を用いることで実現できる。このとき、あくまでも論理関数を求める必要があるのは、本節(1)で求めた LUT に対してのみ

であり、他の LUT については論理関数を変更しないものとした。これは、全ての LUT の論理関数を求めようとすると、処理時間が非常に長くなることが予備実験から分かったためである。本節(1)で行った評価実験で得られた LUT 集合の論理関数を求める実験を行ったところ、論理ゲートの関数変更と追加については、全ての例で仕様と等価になる LUT の論理関数を求めることができた。ゲート削除と配線変更については、全体の 25%の例については仕様を満たす LUT の論理関数を求めることができたが、残りの例ではそのような論理関数を求めることができなかった。その原因としては、仕様変更によって、LUT における論理関数の入力変数も変更する必要があるためである。これについては、次の(3)の手法を用いて対応することが可能である。

### (3) 論理の依存関係推定を用いた LUT 入力変数決定の検討

本節(2)で述べた問題に対する解決策の1つとして、学習アルゴリズムであるブースティング手法を用いて、論理関数を変更する必要がある LUT において、追加が必要となる入力変数を求める手法を検討した。この手法は、本節(1)の手法を適用した場合、与えられた入力パターンに対して、仕様を満たすために各 LUT の出力が取るべき値は分かっているため、その値を論理関数と出力とするような入力変数を FPGA 回路中の信号の中から求めるものである。4 ビットの加算器を用いた予備的な実験を行った結果、推定クラス数によっては、回路出力に依存関係のある信号を正しく求められることが分かった。この手法については、より高い精度で推定ができるように手法を改善していく必要がある。

### (4) 高位設計変更による LUT ネットワーク差分の評価

本項では、近年普及が進んでいる C 言語によって FPGA 回路を設計・記述し、高位合成によって回路を得る設計フローにおいて、高位設計における変更が、FPGA 回路の LUT 間の接続関係にどの程度の影響があるのかを評価した。これは、高位設計において変更がなされた場合に、それに対応する FPGA 回路に効率的に得る手法を今後研究するために重要となる。分岐条件や演算式に変更を加えた SystemC 記述から高位合成によって FPGA 回路を生成し、それらの LUT ネットワークがどの程度の大きさの同一グラフを含んでいるかを評価したところ、変更前の回路の 8 割程度が変更後の回路に含まれていることが分かった。今後は、この高い類似性を利用して、高位設計記述の変更に対する効率的な FPGA 回路合成手法の研究を進めていく。

### <引用文献>

A. Smith, A. Veneris, M. F. Ali, A. Vialas, Fault Diagnosis and Logic

Debugging Using Boolean Satisfiability, IEEE Trans. on Computer-Aided Design of Integrated Circuits and Systems, Vol. 24, No. 10, pp. 1606-1621, Oct. 2005.

S. Jo, T. Matsumoto, M. Fujita, SAT-Based Automatic Rectification and Debugging of Combinational Circuits with LUT Insertions, Proc. of Asian Test Symposium 2012, pp. 19-24, Nov. 2012.

## 5. 主な発表論文等

〔雑誌論文〕(計1件)

Kosuke Oshima, Takeshi Matsumoto, Masahiro Fujita, Debugging Methods Through Identification of Appropriate Functions for Internal Gates, VLSI-SoC: At the Crossroads of Emerging Trends (IFIP/IEEE International Conference on Very Large Scale Integration, Revised Selected Papers), pp. 1-22, 2015, DOI: 10.1007/978-3-319-23799-2\_1, 査読有

〔学会発表〕(計4件)

土井瑛平, 松本剛史, 配置配線を必要としないFPGA再合成手法, 平成27年度北陸地区学生による研究発表会, 2016年

石田光洋, 松本剛史, 高位合成されたFPGA回路において設計変更がもたらす差分の評価, 平成27年度北陸地区学生による研究発表会, 2016年

桶作雄輝, 松本剛史, 論理関数推定に基づく回路内依存関係の解析, 平成28年度北陸地区学生による研究発表会, 2017年

内井明日香, 松本剛史, SATソルバーを用いた論理回路における設計誤りの特定と修正, 平成29年度北陸地区学生による研究発表会, 2018年

〔図書〕(計0件)

〔産業財産権〕

出願状況(計0件)

取得状況(計0件)

〔その他〕

なし

## 6. 研究組織

(1)研究代表者

松本 剛史 (MATSUMOTO Takeshi)

石川工業高等専門学校・電子情報工学科・准教授

研究者番号: 40536140

(2)研究分担者  
なし

(3)研究協力者  
なし