

科学研究費助成事業 研究成果報告書

平成 30 年 6 月 25 日現在

機関番号：32665

研究種目：若手研究(B)

研究期間：2015～2017

課題番号：15K21413

研究課題名(和文)高電磁環境下での周期的多重過渡故障のオンラインマスク法

研究課題名(英文)On-Line Masking of Periodic Multiple Transient Faults under Highly Electromagnetic Environments

研究代表者

新井 雅之 (ARAI, Masayuki)

日本大学・生産工学部・准教授

研究者番号：10336521

交付決定額(研究期間全体)：(直接経費) 2,900,000円

研究成果の概要(和文)：本研究では、DC-ACインバータのスイッチングノイズによって引き起こされる、論理回路における過渡故障の検出手法について提案した。提案手法では、元の回路の一部の機能のみ等価な近似回路と、元の回路に対する双対な論理設計とを組合せた双対近似回路を導入する。小規模な回路に対するシミュレーションを行い、多重故障検出能力について評価した。また、双対近似回路を適用する回路の特定およびテストのため、クリティカルエリアを考慮したテストパターン生成手法の高速化についても検討した。2段階テスト生成およびウインドウベースの探索により、従来手法と比較して40%のパターン数削減と10倍以上の高速化を実現した。

研究成果の概要(英文)：In this study we proposed a scheme to detect transient faults occurring in logic circuits, which are caused by switching noises of DC-AC inverters. We introduce dual approximate logic, which combines the concepts of approximate logic that is partially equivalent to the original circuit, and of dual logic. We used simulations for small benchmark and sample circuits to evaluate the effectiveness of the proposed scheme in terms of detection capability. We also studied fast test pattern generation based on critical area, in order to specify and test target circuit which is protected by dual approximated logic. By combining 2-step test generation and window-based searching, the proposed scheme achieved 40% of pattern count reduction, as well as 10x speed-up.

研究分野：ディペンダブルコンピューティング

キーワード：同時多重過渡故障 双対近似回路 クリティカルエリア インバータスイッチングノイズ 高電磁環境

1. 研究開始当初の背景

近年、電力の有効利用のため、交流/直流および電圧、周波数を適切に変換する電力変換回路の重要性が高まっている。省電力化、高効率化のため、電力変換回路の電力密度、電圧およびスイッチング周波数はともに増大する傾向にあり、スイッチング動作に起因する周波数が数 MHz~数十 MHz の伝導性および放射性ノイズへの対策がより重要視されるようになってきている。

申請者が所属する研究グループは、電力変換回路によるノイズを新しい過渡故障モデルと捉え、耐故障設計に基づく対策手法について研究を進めている。先行研究においては、BIST (Built-in Self-Test: 組込み自己テスト) 技術を応用し、電源投入時に測定した放射ノイズ継続時間を用いてプロセッサを適切に停止させる手法について提案し、評価した。BIST 手法は時間的・空間的には低コストであるものの、評価の結果、テストパターンによる電源投入時のノイズ継続時間の事前測定では誤りを完全にマスクできないという問題点が明らかとなった。すなわち、電源投入時の測定ではなく、回路の実動作中にノイズを検出する手法の必要性を確認した。

2. 研究の目的

本研究の目的は、電力変換回路のスイッチングに起因する放射性電磁ノイズに対して故障耐性を持つ論理回路設計法の確立と、その評価方法の確立である。耐ノイズ性を付与する論理回路としては、車載用や携帯デバイスのアプリケーションプロセッサクラスである 100M ゲート規模のプロセッサ回路を対象とする。

耐故障プロセッサ設計法に関しては、近似回路による誤り検出・マスク、逆論理を用いた近似回路の実装等、いくつかの手法を順次組み合わせ、要求されるレベルを満たす技術を確認することを目的とした。

耐故障プロセッサ評価法に関しては、クリティカルエリアに基づく故障発生個所の絞り込みと重みづけ、ATPG (Automatic Test Pattern Generation: 自動テストパターン生成) による検出困難故障個所の特定およびシミュレーション加速用パターン生成、同時多重過渡故障を考慮した確率的多重故障シミュレーション、実チップによるノイズ測定および耐ノイズ性検証を組み合わせた評価を目的とした。

3. 研究の方法

まず、初年度に、小規模回路を対象として用い、逆論理(双対)近似回路に基づく誤り検出回路構成法について検討を行った。次節に示すとおり、逆論理の適用により、同時多重に発生する過渡故障を十分なレベルでマスクできることが判ったが、回路内の一部分のみ多重化する近似回路構成を適用した場合、対象とする部分の選択によってマスク成功確率

が大きくことなることが問題として明らかとなった。そこで、2 年目および 3 年目では、耐故障プロセッサ評価技術として適用を予定していた手法を応用し、回路内において故障が発生しやすいと考えられる場所を重点的に検査するテストパターンの発生法について検討を進めた。

4. 研究成果

(1) 双対近似回路による誤りマスク

本研究では、DC-AC インバータのスイッチングノイズによって引き起こされる過渡故障の検出手法について提案する。インバータのノイズによる過渡故障は、ある時刻においては全て互いに同相であると仮定する。提案手法では、元の回路の一部の機能のみ等価な近似回路と、元の回路に対する双対な論理設計とを組合せた双対近似回路を導入する。元の回路の出力と双対近似回路の出力を比較することによって、面積オーバーヘッドを低減しつつ、同相な同時多重過渡故障の検出を実現する。

4 入力 1 出力の論理回路 $F = a + \bar{b} + cd + \bar{c}\bar{d}$ に対して、近似回路 $G = a + \bar{b}$ を用いた耐故障設計の例を図 1 に示す。論理回路 F を 2 入力 AND, OR および NOT ゲートのみを用いて設計する場合、合計 8 個のゲートが必要になる。近似回路 G は 2 個のゲートのみで構成される。16 通りの入力パターンにおいて F は 14 箇所論理値 1 を出力するが、このうち 12 箇所 G の出力も同じく 1 となる。これ以外の場所では G は 0 となるため、 F と G は $1 \rightarrow 0$ マスクの制約を満たす。従って、 F と G の論理和を取ることで、これら 12 通りの入力に対する機能故障をマスクすることが可能である。

図 2 に、論理回路 $F \equiv a + \bar{b} + cd + \bar{c}\bar{d}$ に対する、双対近似回路 $G = \bar{a}\bar{b}$ を用いた故障検出回路構成を示す。双対近似回路 G は、図 1

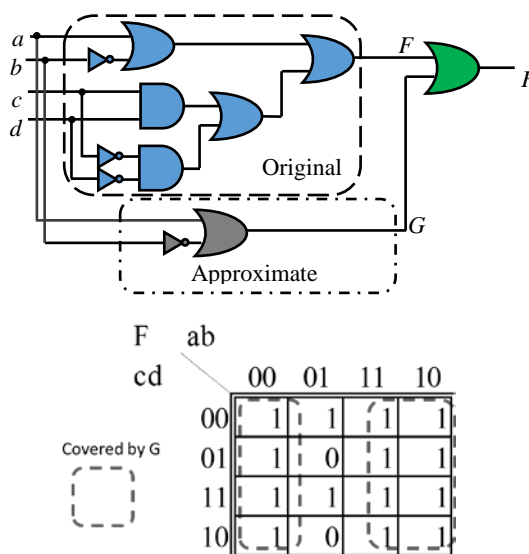


図 1. 論理回路 $F = a + \bar{b} + cd + \bar{c}\bar{d}$ の近似回路 $G = a + \bar{b}$ による耐故障設計

に例示した近似回路 $G = a + \bar{b}$ に対する双対回路として構成されるが、同時に、双対回路 F に対する近似回路としても構成可能である。出力は図 1 と同様に OR ゲートで接続されているが、出力される値は誤りマスクを行った後の論理出力ではなく、故障検出情報である。近似回路 G は $1 \rightarrow 0$ マスクの制約を満たしていたため、双対近似回路 G と元の回路 F に対しては以下の条件が成立する

・全ての可能な入力に対して $\bar{G} = 1$ ならば $F = 1$

すなわち、故障が存在しない場合、 $\bar{G} = 1$ かつ $F = 1$ 、 $\bar{G} = 1$ かつ $F = 0$ 、 $\bar{G} = 0$ かつ $F = 1$ のいずれかの状態となる。しかし、 $\bar{G} = 0$ かつ $F = 0$ となることはありえないため、この状態になった場合に誤りとして検出可能である。

シミュレーションにより提案手法の評価を行った。対象回路は、論理回路 $F = a + \bar{b} + cd + \bar{c}\bar{d}$ および ISCAS'89 ベンチマーク回路 s27 である。回路 F に対しては、双対回路 \bar{F} 、

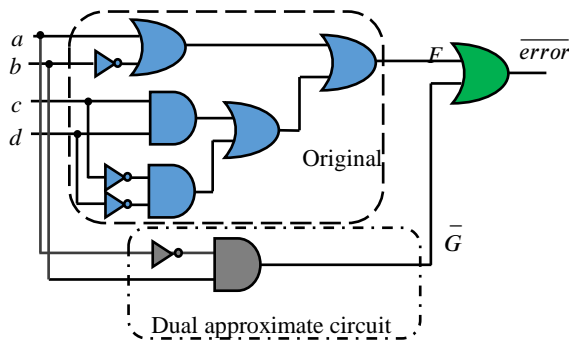


図 2. 論理回路 $F = a + \bar{b} + cd + \bar{c}\bar{d}$ の双対近似回路 $\bar{G} = \bar{a}\bar{b}$ による耐故障設計

および図 2 に示した双対近似回路 $\bar{G} = \bar{a}\bar{b}$ を用いた。ただし、双対近似回路を用いた実験においても、OR ゲートではなく XOR ゲートを用いて出力を接続して評価を行った。s27 に対しては、双対回路 s27 を用いた評価を行った。印加した故障は、単一縮退故障と、同相 2 重縮退故障である。故障が存在する回路に対して可能な全ての入力パターンを印加し、正常出力、誤り検出、誤り検出不可となった故障数を調査した。表 1 にシミュレーション結果を示す。redundant は、全てのパターンにおいて正常出力であった故障数を示す。failure は、少なくとも 1 個のパターンにおいて誤り検出が不可となった故障数を示す。detectable は、全てのパターンにおいて正常出力または誤り検出可能であったパターン数

fault mode	circuit	org. #gates	approx. #gates	#faults	redundant	failure	detectable	testable
single	$F \oplus F$	8	8	32	0	0	32	32
	$F \oplus \bar{G}$	8	2	20	0	0	20	20
	s27	10	10	40	0	0	40	40
single + in-phase double	$F \oplus F$	8	8	400	0	13	0	352
	s27	10	10	729	30	614	0	255

表 1 単一故障および同相 2 重故障の検出シミュレーション結果

を示す。testable は、少なくとも 1 個のパターンにおいて誤り検出が可能であるような故障数を示す。単一故障に対しては、全ての回路構成において全ての故障が検出可能であった。

提案手法および結果の詳細については学会発表⑫にて発表した。

(2) クリティカルエリアに基づくオープン・ブリッジテストパターン生成

クリティカルエリアとは、あるレイアウトに対して、欠陥を引き起こすような微粒子の中心座標が占める領域、またその領域の面積を意味し、与えられた粒径に対して計算される。クリティカルエリア解析のためのツールとして、Mentor Graphics の Calibre YieldAnalyzer などが市販されている。

レイアウトデータに対して欠陥粒径 r を指定してクリティカルエリア解析を実行することによって、ネットリスト G 内に存在する任意の信号線対 s_i, s_j ($1 \leq i, j \leq n$) に対するブリッジ欠陥クリティカルエリア $A_{bridge}(r, s_i, s_j)$ が得られる。クリティカルエリアが大きいほど、ランダム欠陥による故障が発生しやすいと考えられる。あるテストパターンセット T によって、ある信号線対 s_i, s_j におけるブリッジ故障 $f_{bridge}(s_i, s_j)$ が検出されるか否か(故障検出情報)を $D_{bridge}(s_i, s_j)$ と表わす。このとき、与えられた欠陥粒径 r における重み付きブリッジ故障カバレッジ $WFC_{bridge}(r)$ は、

$$WFC_{bridge}(r) = \frac{\sum_{i=1}^{n-1} \sum_{j=i+1}^n A_{bridge}(r, s_i, s_j) \cdot D_{bridge}(s_i, s_j)}{\sum_{i=1}^{n-1} \sum_{j=i+1}^n A_{bridge}(r, s_i, s_j)} \quad (2)$$

として計算される。オープン故障に関しても同様の計算を適用することが可能である。

本研究では、重み付き故障カバレッジに基づいた高速なテストパターン生成を目的として、市販の ATPG ツールおよび CAA ツールを適用し、パターンの並べ替えのみ行うアルゴリズムについて提案した。図 3 に提案アルゴリズムを示す。まず、オープン故障およびブリッジ故障に対して CA を算出するが、一部のブリッジ故障のみを対象としてテストパターンを生成する。このテストパターンを用いて故障シミュレーションを実行し、残存故障に対するテストパターンを再度生成しウィンドウベースの並べ替えを実行する。その後、更に未検出となったオープン故障に対するテストパターンを生成する。

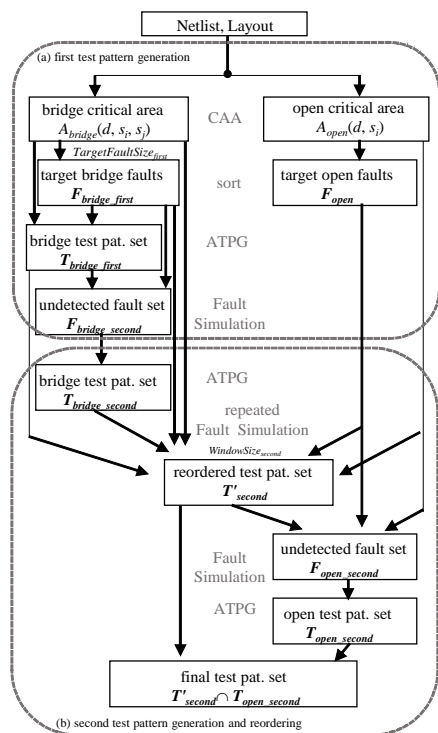


図 3. クリティカルエリアを考慮した
テストパターン生成・並べ替えアルゴリズム

提案手法に基づくテストパターン生成結果および実行時間を図 4 に示す。7 種類のベンチマーク回路に対するレイアウトを用いて実験を行った。テストデータ量は元の ATPG に対する相対比として、実行時間は単純な貪欲アルゴリズムを実行した場合に対する比として示されている。貪欲アルゴリズムに対して平均 5% 以下の実行時間で、約 60% にテストパターン数を削減できた。

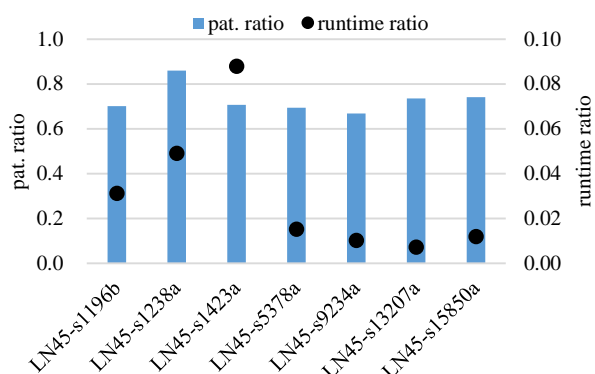


図 4. クリティカルエリアを考慮した
テストパターン生成・並べ替え実行結果

本研究成果に至る先行研究、成果、応用結果に関して、雑誌論文発表②、④、学会発表①、④、⑤、⑥、⑧、⑨として発表した。

(3) その他の成果

本研究においては、上記の主要 2 テーマの

他、下記のテーマについて研究を進め、一部成果を学会にて発表した。

- ・車載ネットワーク向け故障検出手法
雑誌論文③、学会発表⑩
- ・低消費電力テストパターン生成
雑誌論文①、学会発表②、⑪
- ・アンバイポーラデバイスの耐故障設計
学会発表④、⑦
- ・スマートグリッド通信におけるデータ集約
学会発表③

5. 主な発表論文等

(研究代表者、研究分担者及び連携研究者には下線)

[雑誌論文] (計 4 件)

① Toshinori HOSOKAWA, Atsushi HIRAI, Yukari YAMAUCHI, Masayuki ARAI, "A Low Capture Power Test Generation Method Based on Capture Safe Test Vector Manipulation", IEICE TRANSACTIONS on Information and Systems, 査読有, Vol. E100-D, No. 9, pp. 2118-2125, 2017.

DOI: 10.1587/transinf.2016EDP7418

② Yoshikazu Nagamura, Kenji Shiozawa, Toru Koyama, Jun Matsushima, Kazuhiko Tomonaga, Yutaka Hoshi, Shuji Nomura, Masayuki Arai, Kazuhiko Iwasaki, "Layout-Based Test Coverage Verification for High-Reliability Devices", IEEE Transactions on Semiconductor Manufacturing, 査読有, Vol. 30, No. 4, pp. 317-322, 2017.

DOI: 10.1109/TSM.2017.2746089

③ Aromhack Saysanasongkham, Satoshi Fukumoto, Masayuki Arai, "Fault masking issue on a dependable processor using BIST under highly electromagnetic environment", International Journal of Computational Science and Engineering, 査読有, Vol. 14, No. 4, pp. 309-320, 2017.

DOI: 10.1504/IJCSE.2017.084681

④ Masayuki Arai, Kazuhiko Iwasaki, "Reordering-Based Test Pattern Reduction Considering Critical Area-Aware Weighted Fault Coverage", IEICE TRANSACTIONS on Fundamentals of Electronics, Communications and Computer Sciences, 査読有, Vol. E100-A, No. 7, pp. 1488-1495, 2017.

DOI: 10.1587/transfun.E100.A.1488

[学会発表] (計 12 件)

① Masayuki Arai, Shingo Inuyama, Kazuhiko Iwasaki, "Layout-Aware 2-Step Window-based Pattern Reordering for Fast Bridge/Open Test Generation", Proceedings of International Test Conference (ITC), 査読有, Paper 5.2, 2017.

② Toshinori Hosokawa, Atsushi Hirai, Hiroshi Yamazaki and Masayuki Arai, "A Dynamic Test

- Compaction Method on Low Power Test Generation Based on Capture Safe Test Vectors", Proceedings of IEEE International Symposium on Defect and Fault Tolerance in VLSI and Nanotechnology Systems (DFT), 査読有, 2017.
- ③ Ryota Ogasawara, Masayuki Arai, "Data Aggregation on Smart Grid Communications Considering Fault Tolerance and Privacy", Proceedings of International Future Energy Electronics Conference (IFEEC) - ECCE Asia, 査読有, O20-5-1609, 2017.
- ④ Dan Takahashi, Masayuki Arai, "Spare-Tile-Based Dependable Logic Design for Sea-of-Tiles Architecture with Ambipolar Devices", Proceedings of IEEE Pacific Rim International Symposium on Dependable Computing (PRDC 2017), 査読有, 2017.
- ⑤ Yoshikazu Nagamura, Kenji Shiozawa, Toru Koyama, Jun Matsushima, Kazuhiro Tomonaga, Yutaka Hoshi, Shuji Nomura, Masayuki Arai, Kazuhiko Iwasaki, "Layout-Based Test Coverage Verification for High-Reliability Devices", Proceedings of International Symposium on Semiconductor Manufacturing (ISSM), 査読有, 2016.
- ⑥ Shingo Inuyama, Kazuhiko Iwasaki, Masayuki Arai, "Critical-Area-Aware Test Pattern Generation and Reordering", Proceedings of IEEE Asian Test Symposium (ATS 2016), 査読有, 2016.
- ⑦ Dan Takahashi, Masayuki Arai, "Note on Dependable Logic Design by Ambipolar Device and Its Fault Modeling", Proceedings of IEEE Workshop on RTL & High Level Testing (WRTLTL 2015), 査読有, Session 5.2, 2015.
- ⑧ Masayuki Arai, Shingo Inuyama, Kazuhiko Iwasaki, "Note on Fast Bridge Fault Test Generation Based on Critical Area", Algorithms and Architectures for Parallel Processing (Proceedings of 15th International Conference, ICA3PP, Part III), 査読有, pp. 729-740, 2015.
- ⑨ 永村美一, 小山徹, 松嶋潤, 朝永和洋, 星豊, 野村周司, 岩崎一彦, 新井雅之, "物理的なテストカバレッジ (物理カバー率) の検証方法の開発", 第 36 回ナノテストニングシンポジウム, 査読有, Paper 34, 2015.
- ⑩ Muneyuki Nakamura, Mamoru Ohara, Aromhack Saysanasongkham, Masayuki Arai, Kazuya Sakai, Satoshi Fukumoto, Keiji Wada, "Testbeds of a Hybrid-ARQ-Based Reliable Communication for CANs in Highly Electromagnetic Environments", Proceedings of the IEEE Future Energy Electronics Conference (IFEEC 2015), 査読有, Paper 290446, 2015.
- ⑪ Atsushi Hirai, Toshinori Hosokawa, Yukari Yamauchi, Masayuki Arai, "A low capture power test generation method using capture safe test vectors", Proceedings of 20th IEEE European Test Symposium, 査読有, 2015.
- ⑫ 曾根原啓介, 新井雅之, "双対近似回路を用

いた同時多重過渡故障検出に関する一考察," 電子情報通信学会ディペンダブルコンピューティング研究会技術研究報告, 査読無, vol. 115, no. 449, DC2015-86, pp. 1-6, 2016年

6. 研究組織

(1) 研究代表者

新井 雅之 (ARAI, Masayuki)

日本大学・生産工学部・准教授

研究者番号 : 10336521