

令和 2 年 7 月 9 日現在

機関番号：12608

研究種目：基盤研究(B)（一般）

研究期間：2016～2019

課題番号：16H02794

研究課題名（和文）大規模メニーコアプロセッサの超高速エミュレーションに関する研究

研究課題名（英文）Research on High-speed Emulation of Large Scale Many-core Processors

研究代表者

吉瀬 謙二（Kise, Kenji）

東京工業大学・情報理工学院・准教授

研究者番号：50323887

交付決定額（研究期間全体）：（直接経費） 12,900,000円

研究成果の概要（和文）：本研究では、FPGAを用いて、サイクルレベルの精度を維持したまま数千個のコアを搭載する大規模メニーコアプロセッサの挙動をエミュレーションする超高速システムの開発に取り組んだ。このシステムは、メニーコアアーキテクチャの研究開発および、メニーコアプロセッサのためのシステムソフトウェアやアプリケーションプログラムの研究開発を加速するものである。また、オープンなアーキテクチャという点で注目を集めているRISC-Vアーキテクチャに着目して、効率の良い典型的な5段のパイプライン構成を持つスカラプロセッサを実装し、それらのソースコードおよび開発環境をオープンソースとして公開した。

研究成果の学術的意義や社会的意義

大規模メニーコアプロセッサの超高速エミュレーションのために不可欠となるトレース駆動のネットワークオンチップのシミュレーションの方式として、FPGAを活用してパケット間の依存関係を考慮しながら正しくシミュレーションをおこなう高速で洗練された方式を開発した。その成果は高く評価されており、FPGA関連のトップカンファレンスの1つであるFPGA2020に採録されて発表している。また、ハードウェア記述言語を用いて、汎用のオペレーティングシステムであるLinuxが動作する高機能なRISC-Vシステムオンチップを実装しオープンソースとして公開した。関連するウェブサイトを公開し、多くアクセスされている。

研究成果の概要（英文）：In this research, we worked on developing a high-speed system that emulates the behavior of a large-scale many-core processor with thousands of cores while maintaining cycle-level accuracy using FPGA. This system accelerates research and development of many-core architecture and research and development of system software and application programs for many-core processors. Focusing on the RISC-V architecture, attracting attention because of its open architecture, we implemented an efficient scalar processor with a typical five-stage pipelining and its development environment. We released their source code as open source.

研究分野：コンピュータアーキテクチャ

キーワード：メニーコアプロセッサ エミュレーション トレース駆動 FPGA RISC-V

様式 C-19、F-19-1、Z-19 (共通)

1. 研究開始当初の背景

Intel 社は、48 コアを 2 次元メッシュ状の NoC(Network-on-chip)で接続する Single Chip Cloud と呼ばれるチップを ASIC として開発し、100 台を超えるプロトタイプシステムを産学協同プロジェクトとして大学等に提供した。主な目的はメニーコアプロセッサのためのシステムソフトウェア及びアプリケーションプログラムの研究開発の進展である。この成果は、将来の数百から数千コアを搭載するメニーコアプロセッサに反映される予定であったが、実際には、それらの成果を反映したメニーコアプロセッサの普及には至っていない。Intel 社が開発した ASIC として実現されたプロトタイプシステムは高速に動作するという利点を持つが、一方、ハードウェア構成を変更できないためにアーキテクチャ研究には適していない、集積するコア数が固定されておりソフトウェアのコア数に対するスケーラビリティの評価が難しいという欠点を持つ。

メニーコアアーキテクチャの研究開発、システムソフトウェアやアプリケーションプログラムの研究開発を加速するために、最大で数千個のコアを搭載する大規模メニーコアプロセッサまでを高速にエミュレーションできるシステムが必要とされている。特に、プロセッサアーキテクチャを変更できるという利点から、ハードウェア論理を変更できる FPGA を用いたエミュレータあるいはソフトウェア実装によるシミュレータの利点は大きい。C や C++といった汎用の高級言語で記述するソフトウェアシミュレータにはコンパイラやデバッガといった一般的なソフトウェア開発と同じツールを用いることができるために扱いやすいという利点がある。しかしながら、ソフトウェアにより仮想的なメニーコアプロセッサを構築するシミュレータには、そのシミュレーション速度が遅いという致命的な欠点がある。

例として、「3GHz 動作の 2,000 個のコアを持つメニーコアプロセッサにおける 1 秒間のベンチマークプログラムの実行」をクロックサイクルレベルの精度で正しくソフトウェアでシミュレーションする場合を考える。シミュレータを動作させる計算機も 3GHz 動作とすると 1 コアのハードウェアのシミュレーションには一般的に 1,000 クロック程度の処理時間が必要になることが知られている。これは、複雑な処理をおこなうシングルコアのプロセッサをソフトウェアで模倣する非効率から生じる性能低下(Slow Down, SD)である。さらに、ハードウェアの 1 サイクルには 2,000 個のコアの動作を計算する必要がある、この多数のコアを持つメニーコアに起因する性能低下が 2,000 となる。ソフトウェアシミュレータにおけるトータルの性能低下はこれらの積となり、トータルの $SD = 2,000,000$ となる。すなわち、メニーコアプロセッサにおける 1 秒間は、シミュレーションのために 555 時間(23 日間)を要することになり現実的ではない。ソフトウェアシミュレータの並列化によりある程度の高速化を達成できるが、それでもやはり現実的とは言い難い。

2. 研究の目的

FPGA を用いたエミュレータを 100MHz で動作させて、メニーコアプロセッサの 1 サイクルを FPGA の 2 サイクルでエミュレーションする場合、動作周波数低下による(ASIC 実装のプロセッサを FPGA で模倣することに起因する)性能低下は 60 に緩和される。次に、FPGA に 2,000 コアのプロセッサ全体を実装することは難しいので、128 コアのみを物理クラスタとして実装する時分割処理(右図)により 2,000 コアをエミュレーションする場合、多数のコアを持つメニーコアに起因する性能低下も $2,000/128 = 15.7$ に緩和される。トータルの性能低下はこれらの積で計算され、トータルの $SD = 942$ となる。これを実現すれば、先のソフトウェアシミュレーションの場合と比較して 2,123 倍の高速化となり、シミュレーション速度の問題は劇的に緩和される。

この見積もりの通り、大規模 FPGA システムを活用してソフトウェアシミュレーションの 2,000 倍以上の高速化を達成する超高速エミュレーションシステムを開発することが本研究の目的である。

3. 研究の方法

FPGA に数千ノードのハードウェアを実装することは現実的ではないので、1 個の FPGA には、例えば 32 ノードといった現実的な数のノードを実装する。これら FPGA に実装す

るノードの集まりのことを物理クラスタと呼ぶ。一方、あるサイクルに物理クラスタで処理されるメニーコアプロセッサの一部のことを論理クラスタと呼ぶ。

例えば、2,048 ノードのメニーコアプロセッサをエミュレーションする際、32 ノード構成の物理クラスタを用いた場合には、論理クラスタの数は $2,048/32 = 64$ となる。一般に、時分割処理を用いたシステムでは、論理クラスタの数を N として、 N 回の論理クラスタの処理によりターゲットとなるメニーコアプロセッサの 1 サイクルのエミュレーションを進める。ある論理クラスタを処理するためには、そのクラスタ内のノードが持つローカルメモリやプロセッサコアのアーキテクチャステートといった情報が必要になる。一方、大規模な FPGA であってもそのオンチップメモリの総容量は 4MB 程度であり、これらの全てのデータを FPGA 内部に保存することはできない。このため、オフチップのメモリである DRAM にこれらのデータを保存して、必要とするデータを必要となる時刻までにオンチップのメモリに転送するスケジューリングが高性能エミュレーションシステムの実現のために必要となる。

本研究で構築する高性能エミュレーションシステムを実現するためには、(1) FPGA と DRAM の間の高いメモリバンド幅を活用すること、(2) DRAM アクセスのレイテンシを隠蔽するために必要とするデータを必要となる時刻までにオンチップメモリにロードすること、(3) エミュレーションに必要となる全てのハードウェアモジュールを 100MHz 程度の高い周波数で動作するように実装すること、が求められる。本研究ではこれらの課題に取り組んだ。ただし、当初、利用を想定していたメモリの HMC の容量が少なかった点と、読み書きのためのドライバが不安定であったために、通常の DRAM を用いて研究を進めた。

加えて、オープンなアーキテクチャという点などから注目を集めている RISC-V アーキテクチャを採用することで、ライセンスの問題を軽減して、構築しているエミュレーションシステムの普及が容易になるという判断から、想定していた MIPS アーキテクチャではなく、RISC-V アーキテクチャを採用するソフトプロセッサおよびシステムオンチップの開発を進めることとした。

4. 研究成果

超高速エミュレーションに関する研究成果をまとめる。

FPGA エミュレーションは、従来はソフトウェアシミュレータに依存してきたネットワークオンチップ (NoC) モデリングを加速するための有望なアプローチである。FPGA ベースの NoC エミュレータに関するほとんどの初期の研究では、ユニフォームやビット順列などの合成ワークロードのみが考慮されてきた。慎重に設計された一連の合成ワークロードは、評価中の NoC の特性の比較的完全なカバレッジを明らかにできるが、特に特定のアプリケーション用に NoC を最適化する必要がある場合など、それらだけでは不十分である。

そのような場合にトレース駆動型のワークロードが効果的となる。このトレースを用いたエミュレーションは本研究プロジェクトでターゲットとするメニーコアプロセッサのエミュレーションシステムにおいても不可欠な技術である。ただし、最近のいくつかの調査で指摘されている従来のトレース駆動型ワークロードには問題がある。すなわち、パケット間の依存関係が考慮されていないため、ネットワーク負荷と輻輳が結果を歪める可能性がある。残念ながら、FPGA エミュレーションアプローチでは、パケット間の依存関係を強制することは簡単ではない。したがって、トレース駆動型のワークロードをサポートする最近の FPGA ベースの NoC エミュレータがいくつか存在するが、それらのほとんどはパケットの依存関係を無視している。

この研究では、まず、FPGA エミュレーションアプローチでパケット間の依存関係を考慮して、トレース駆動型ワークロードをサポートする際の課題を明らかにした。次に、これらの課題に取り組むための効率的な方法とアーキテクチャを提案し、その提案に基づいて、DNoC と呼ばれる FPGA ベースの NoC エミュレータを構築した。

評価結果から、(1) VC707 FPGA ボードで、PARSEC ベンチマークスイートのフルシステムシミュレーションから収集されたトレースデータで 8x8 NoC をエミュレートする場合には、DNoC が 10,753K サイクル/秒という高い平均速度を達成することを示した。

(2) 最も人気のある NoC シミュレータの 1 つである BookSim と比較して、DNoC は 395 倍高速でありながら同じ結果を提供することを明らかにした。

(3) DNoC は VC707 ボードで 4,096 ノードの NoC にまでスケールリングでき、最大の NoC のサイズはターゲット FPGA のオンチップメモリ容量のみに依存することを明らかにした。

この研究成果は高く評価されており、FPGA 関連のトップカンファレンスの 1 つである 28th ACM/SIGDA International Symposium on Field-Programmable Gate Arrays (FPGA 2020) に採録されて発表している。

RISC-V アーキテクチャのソフトプロセッサに関する研究成果をまとめる。

RISC-V の基本命令セットである RV32I をサポートする FPGA 向けに最適化された 5 段パイプラインの RISC-V ソフトプロセッサを提案した。典型的な 5 段パイプラインのプロセッサの構成で性能低下の要因になり得るクリティカルパスを明らかにした。特に、ソフトプロセッサの場合には、分岐予測機構を含む命令フェッチに対する最適化が重要となる。典型的なプロセッサをベースとして、動作周波数の向上のための有効な最適化手法を提案し、これを採用する新しいプロセッサの構成を提案した。この提案プロセッサを Verilog HDL で実装し、IPC、動作周波数、ハードウェア量とプロセッサ性能を評価した。評価結果より、提案プロセッサは、関連研究 VexRiscv と比較して、平均で 27.4% の性能向上を達成することを明らかにした。

プロセッサだけではなく、RISC-V のコンピュータシステムを Verilog HDL を用いて実装をおこなった。このシステムは少ないハードウェア資源で FPGA 上に実装可能であり、安価な FPGA での利用やアクセラレータの導入によるカスタマイズが可能である。具体的には、Linux が動作する RISC-V コンピュータシステムである RVSoC を提案した。RVSoC は 12 ステートで 1 命令を実行するプロセッサである RVCoreM と MMU、小規模なプロセッサである RVuc などから構成されている。提案方式の RVSoC を評価した結果、Linux が動作しながらも小規模で省ハードウェア資源量であり、アクセラレータの導入による特定用途に特化したシステムやコンピュータシステムの教育を目的とした応用が可能であることを示した。

これらの RISC-V アーキテクチャに関するプロジェクトのソースコードおよび開発環境はオープンソースとして公開しており、多く参照されている。

5. 主な発表論文等

〔雑誌論文〕 計2件（うち査読付論文 2件／うち国際共著 0件／うちオープンアクセス 0件）

1. 著者名 Shimpei Sato, Ryohei Kobayashi and Kenji Kise	4. 巻 Vol. E101-E, No.2
2. 論文標題 ArchHDL: A Novel Hardware RTL Modeling and High-speed Simulation Environment	5. 発行年 2018年
3. 雑誌名 IEICE Transactions on Information and Systems	6. 最初と最後の頁 344-353
掲載論文のDOI（デジタルオブジェクト識別子） 10.1587/transinf.2017RCP0012	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

1. 著者名 Thiem Van Chu, Shimpei Sato and Kenji Kise	4. 巻 Volume 10, Issue 4
2. 論文標題 Fast and Cycle-Accurate Emulation of Large-Scale Networks-on-Chip Using a Single FPGA	5. 発行年 2017年
3. 雑誌名 ACM Transactions on Reconfigurable Technology and Systems	6. 最初と最後の頁 1-27
掲載論文のDOI（デジタルオブジェクト識別子） 10.1145/3151758	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

〔学会発表〕 計7件（うち招待講演 0件／うち国際学会 3件）

1. 発表者名 Thiem Van Chu and Kenji Kise
2. 発表標題 An Effective Architecture for Trace-Driven Emulation of Networks-on-Chip on FPGAs
3. 学会等名 8th International Symposium on Field-Programmable Logic and Applications (FPL 2018) (国際学会)
4. 発表年 2018年

1. 発表者名 Thiem Van Chu, Myeonggu Kang, Shi FA and Kenji Kise
2. 発表標題 Enhanced Long Edge First Routing Algorithm and Evaluation in Large-Scale Networks-on-Chip
3. 学会等名 IEEE 11th International Symposium on Embedded Multicore/Many-core Systems-on-Chip (国際学会)
4. 発表年 2017年

1. 発表者名 Thiem Van Chu, Kenji Kise
2. 発表標題 Trace-Driven Emulation of Large-Scale Networks-on-Chip on FPGAs
3. 学会等名 電子情報通信学会研究報告RECONF2016-74
4. 発表年 2017年

1. 発表者名 Thiem Van Chu, 吉瀬謙二
2. 発表標題 FPGAを用いたFat TreeベースNoCの高速エミュレーション
3. 学会等名 電子情報通信学会研究報告CPSY2016-24
4. 発表年 2016年

1. 発表者名 Thiem Van Chu, Kenji Kise and Kiyofumi Tanaka:
2. 発表標題 Dependency-Driven Trace-Based Network-on-Chip Emulation on FPGAs
3. 学会等名 28th ACM/SIGDA International Symposium on Field-Programmable Gate Arrays (FPGA 2020) (国際学会)
4. 発表年 2020年

1. 発表者名 宮崎広夢, 金森拓斗, MdAshrafur Islam, 吉瀬謙二
2. 発表標題 5段パイプラインのRISC-Vソフトプロセッサの設計と実装
3. 学会等名 電子情報通信学会研究報告RECONF2019-63
4. 発表年 2020年

1. 発表者名 三浦順也, 宮崎広夢, 吉瀬謙二
2. 発表標題 Linuxが動作するRISC-Vコンピュータシステムの設計とVerilog HDLによる実装
3. 学会等名 電子情報通信学会研究報告RECONF2019-62
4. 発表年 2020年

〔図書〕 計0件

〔産業財産権〕

〔その他〕

-

6. 研究組織

	氏名 (ローマ字氏名) (研究者番号)	所属研究機関・部局・職 (機関番号)	備考