

令和 2 年 6 月 12 日現在

機関番号：62615

研究種目：基盤研究(B) (一般)

研究期間：2016～2018

課題番号：16H02797

研究課題名(和文) 平均遅延での動作を可能とするクロッキング方式の実証

研究課題名(英文) Verification of a clocking scheme that enables operation based on typical-case delays

研究代表者

五島 正裕 (GOSHIMA, Masahiro)

国立情報学研究所・アーキテクチャ科学研究系・教授

研究者番号：90283639

交付決定額(研究期間全体)：(直接経費) 12,900,000円

研究成果の概要(和文)：半導体製造プロセスの微細化に伴い、素子のランダムなばらつきが問題となっている。これに対して我々は、動的タイム・ボローイングを可能とするクロッキング方式を提案してきた。この方式では、あるステージの遅延がクロック周期を超えた場合、超過時間を次のステージへと繰り越すことができる。その結果、素子ごとの遅延のばらつきは多数の法則によって平均化され、平均遅延(で決まるクロック周期)での動作が可能となる。本研究では主に、この方式を適用するツールと、プログラム可能なデバイス上の RISC-V プロセッサを開発した。

研究成果の学術的意義や社会的意義

半導体の指数関数的な性能向上を支えてきたムーアの法則の終焉が囁かれている一方で、その科学的な根拠であるデナード・スケールリングは、今世紀の初めには既に終焉を迎えた。その原因の一つには、半導体製造プロセスの微細化に伴い、素子遅延のランダムなばらつきが支配的となっていることが挙げられる。これは、素子のサイズが原子のサイズに近づいたため、半導体技術のみによって解決することは本質的に難しい。提案のクロッキング方式は、回路とアーキテクチャ技術によってこのランダムなばらつきの問題に対処するものである。

研究成果の概要(英文)：As the feature size of semiconductor manufacturing is decreased, random variation in the delays of the circuit elements is becoming dominant. To tackle this problem, we have proposed a clocking scheme that enables dynamic time borrowing. In this scheme, if the delay of a stage overruns the cycle time, the overtime can be carried over to the next stage. As a result, the random variation in the delays of the elements is averaged by the Law of Large Numbers, and operations based on (a clock period derived by) the typical-case delays is realized. In this research, we mainly developed a tool to apply this scheme, and a RISC-V processor implemented in a programmable device.

研究分野：コンピュータ アーキテクチャ

キーワード：デジタル回路 二相ラッチ タイミング故障検出 クロッキング 製造ばらつき 半導体

1. 研究開始当初の背景

半導体の指数関数的な性能向上を支えてきた**ムーアの法則**の終焉が予期されている一方で、その科学的な根拠である**デナード・スケーリング**は、今世紀の初めには既に終焉を迎えた。ムーアの法則が主にトランジスタのサイズについて言及したものであるのに対して、デナード・スケーリングは電源電圧についても言及する。デナード・スケーリングは、トランジスタのサイズが縮小されるのに対して、電源電圧も比例的に低下させることを要請する。しかし電源電圧は、1V 程度以下に下げることができなくなっている。その結果、消費電力とその結果生じる熱が半導体の性能を制限する主要因となっている。

(1) ランダムばらつき

その主な理由の一つが、半導体製造における**ランダムばらつき**である。半導体製造プロセスの微細化に伴い、チップ間のシステムティックなばらつきより、チップ内のランダムなばらつきが支配的となっている。それは、素子のサイズが原子のサイズに近づき、原子 1 個分ほどの極小のばらつきが性能に大きな影響を与えるようになるためである。

したがって、ランダムばらつきの問題を、半導体技術のみによって解決することは本質的に難しい。

(2) ランダムばらつきとワーストケース設計

ランダムばらつきの影響は、ワーストケース設計を通じて現れる。

ワーストケース設計では、すべての素子が想定内で最悪の遅延を持つ場合でも動作するように設計する。すべての素子がワースト遅延を持つ確率は極めて低い。それでも現在までワーストケース設計が広く受け入れられてきたのは、ワースト値と平均 (typical) 値の差が大きくなかったからに過ぎない。ランダムばらつきのためその差が大きくなると、すべての素子がワースト遅延を持つという悲観的過ぎる見積もりは受け入れられなくなる。

そのため、ワーストケースから脱却するための手法が、業界を挙げて模索されている。設計時に遅延のばらつきを確率を用いて見積もる統計的静的タイミング解析もその一例である。

(3) 動的タイミング故障検出・回復

これに対し、動作時にタイミング故障を検出し回復する手法が提案されている。**タイミング故障** (以下、**TF**) は、遅延の動的な変化によって設計者の意図とは異なる動作が引き起こされる過渡故障である。ワーストケース設計では、想定した動作条件内のワーストケースでも動作するように設計するので、そのように設計・製造された LSI では、例えば、温度センサの故障による熱暴走など、想定した動作条件を逸脱した場合にしかタイミング故障は発生しない。

動的に TF の検出・回復を行う方式では、このワーストケースよりも低い電圧、短いクロック周期で動作させ、その結果生じるタイミング故障を検出し、回復する。通常、検出には回路レベルの、回復にはアーキテクチャ・レベルの手法が用いられる。回復のペナルティは 10 ~ 20 サイクル程度であるので、数千サイクルに 1 回程度タイミング故障が発生するように電圧・クロック周期を調整すればよい。この結果、見積もられたワースト遅延ではなく、チップの各個体・各素子の実際の遅延での動作を実現することができる。

(4) 我々のクロッキング方式

我々は、タイミング故障検出と二相ラッチ・クロッキングを組み合わせると、**動的タイム・ボローイング** (以下、**TB**) と呼ぶべき現象が起ることを発見した。通常の二相ラッチ方式には、TB と呼ばれる技術が存在する。これは、ワーストケース設計においてワースト遅延を融通

する技術であり、**静的TB**とすることができる。それに対して動的TBでは、動作時に実効遅延が自律的に融通される現象である。あるステージの実効的な遅延が動作周期を超えた場合、この超過時間を次のステージへと繰り越すことができる。そして、次のステージの実効的な遅延が短ければ、この超過分は自律的に減殺される。この結果、ワースト遅延よりはるかに短い平均遅延（で決まるクロック周期）での動作が可能になる。

同様のことは、携帯電話の料金プランなどにも見ることができる。通話時間・通信量を翌月に繰り越すことのできるプランでは、最悪の月の通話時間・通信量ではなく、それよりずっと少ないであろう月平均の通話時間・通信量に基づいて、料金プランを選択することができる。

この意味において既存の方式は、ワースト遅延でしか動作できない。我々の知る限り提案手法は、ワースト遅延より有意に短い周期で実用的に動作可能な唯一の方式である。

(5) 提案方式の効果

提案手法におけるクロック周期の下限は通常の方式のちょうど 1/2 となる。このタイミング・バジェットは、高速化だけではなく、低電圧化にも振り向けることができる。

現在 LSI の最低動作電圧は、主に RAM のノイズ・マージンなどによって決まっているため、電圧をどの程度低減できるかは明確ではない。しかしながら、ノイズ・マージンの問題を緩和する技術と組み合わせれば、提案方式が電圧の低減に寄与する可能性は高いと考えている。

一方で、電圧一定でクロック周期を 1/2 程度にまで削減できることは確実性が高い。電圧一定では定常的に高い周波数で動作することはできないが、Intel 社の Turbo Boost のように、一時的に周波数を高めることはできる。提案手法を用いれば、現在のプロセスでも、Turbo Boost 時 8GHz 程度のプロセッサを製造できる可能性が高く、半導体業界に与えるインパクトは極めて大きい。

2. 研究の目的

本研究では、提案のクロッキング方式と回復方式を適用したプロセッサの試作によって、これらの技術の検証を行う。

3. 研究の方法

(1) 変換ツールの開発

この目的を達成するには、フリップ・フロップを用いたクロッキング方式向けに記述された通常のハードウェア記述を、提案のクロッキング方式向けの記述に自動的に変換する自動変換ツールが必要である。

(2) チップによる検証

まず、プログラム可能な半導体デバイスである **FPGA** (Field-Programmable Gate Array) に実装して動作の確認を行う。プロセッサをいきなりチップ試作したとしても正しく動作する可能性は低く、FPGA を用いて検証を行うことは極めて有用である。

4. 研究成果

(1) 二相ラッチ化アルゴリズム

変換ツールでは、単相フリップ・フロップ向けの回路における 1 ステージ分の組み合わせ回路を、二相ラッチ向けに上流/下流に二分する必要がある。

当初、この分割位置の決定を市販のツールのリタイミング機能によって行う可能性が発見されたが、評価したところ、いずれも漸進的であり、回路遅延の半分ほどのリタイミングは行え

ないことが判明した。

そこで、この問題を効率よく解くことができるアルゴリズムを開発した。具体的には、この問題は、逆方向カット・エッジを持たない最小カットを求める問題と定式化できることを発見した。その結果、既存の最大フロー最小カットアルゴリズムを用いて解くことができる。

このアルゴリズムをツールに実装し評価した結果、実用的な回路に対して実用的な時間内に求解できることを確認した。

(2) Rocket プロセッサに対する適用

TF からの回復は、基本的には、**プロセッサ・コンテキスト**に基づいて行われる。コンテキストは、Windows や Linux などの普通の OS において、実行中のプログラムの中断と再開のために用いられるものである。TF に対応するためには、TF の影響を受けた可能性のある誤った更新からコンテキストを保護する一方で、TF 発生時には、TF の影響を受けていないコンテキストから実行を再開すればよい。

我々は、TF からの回復が可能ないように Rocket プロセッサを改造した。**Rocket** は、RISC-V アーキテクチャに準拠するスカラ・プロセッサで、RISC-V の総本山である UC Berkley で開発されたものである。

Rocket プロセッサは、性能のため、このコンテキストの更新部分にある種のギミックを実装していたため、このギミックを無効化する必要があった。

この改造された Rocket プロセッサを FPGA に実装し、Linux をブートすることに成功した。さらに、ボード上のスイッチから TF を注入しても動作を継続できることを確認した。

5. 主な発表論文等

〔雑誌論文〕 計9件（うち査読付論文 7件/うち国際共著 0件/うちオープンアクセス 9件）

1. 著者名 Masahiro Goshima	4. 巻 Issue 2
2. 論文標題 A clocking scheme that enables operations based on typical-case delays	5. 発行年 2020年
3. 雑誌名 The Innovation Platform	6. 最初と最後の頁 152 - 155
掲載論文のDOI（デジタルオブジェクト識別子） なし	査読の有無 無
オープンアクセス オープンアクセスとしている（また、その予定である）	国際共著 -

1. 著者名 Masahiro Goshima	4. 巻 Vol. 2019, No. 10
2. 論文標題 Verification of a clocking scheme that enables operation based on typical-case delays	5. 発行年 2019年
3. 雑誌名 Impact	6. 最初と最後の頁 50 - 52
掲載論文のDOI（デジタルオブジェクト識別子） 10.21820/23987073.2019.10.50	査読の有無 無
オープンアクセス オープンアクセスとしている（また、その予定である）	国際共著 -

1. 著者名 YAMADA Junji, JIMBO Ushio, SHIOYA Ryota, GOSHIMA Masahiro, SAKAI Shuichi	4. 巻 E100.D
2. 論文標題 Skewed Multistaged Multibanked Register File for Area and Energy Efficiency	5. 発行年 2017年
3. 雑誌名 IEICE Transactions on Information and Systems	6. 最初と最後の頁 822 ~ 837
掲載論文のDOI（デジタルオブジェクト識別子） 10.1587/transinf.2016EDP7414	査読の有無 有
オープンアクセス オープンアクセスとしている（また、その予定である）	国際共著 -

1. 著者名 神保 潮, 山田 淳二, 五島 正裕	4. 巻 Vol. 10, No. 2
2. 論文標題 動的タイム・ポローイングを可能にするクロッキング方式の適用	5. 発行年 2017年
3. 雑誌名 情報処理学会論文誌：コンピューティングシステム	6. 最初と最後の頁 1 ~ 12
掲載論文のDOI（デジタルオブジェクト識別子） なし	査読の有無 有
オープンアクセス オープンアクセスとしている（また、その予定である）	国際共著 -

1. 著者名 神保 潮, 五島 正裕	4. 巻 Vol. 11, No. 1
2. 論文標題 逆方向カット・エッジのない最小カットを求めるアルゴリズム	5. 発行年 2018年
3. 雑誌名 情報処理学会論文誌：コンピューティングシステム	6. 最初と最後の頁 1～11
掲載論文のDOI (デジタルオブジェクト識別子) なし	査読の有無 有
オープンアクセス オープンアクセスとしている (また、その予定である)	国際共著 -

1. 著者名 JIMBO Ushio, YAMADA Junji, SHIOYA Ryota, GOSHIMA Masahiro	4. 巻 E100.C
2. 論文標題 Applying Razor Flip-Flops to SRAM Read Circuits	5. 発行年 2017年
3. 雑誌名 IEICE Transactions on Electronics	6. 最初と最後の頁 245～258
掲載論文のDOI (デジタルオブジェクト識別子) 10.1587/transele.E100.C.245	査読の有無 有
オープンアクセス オープンアクセスとしている (また、その予定である)	国際共著 -

1. 著者名 YAMADA Junji, JIMBO Ushio, SHIOYA Ryota, GOSHIMA Masahiro, SAKAI Shuichi	4. 巻 E100.C
2. 論文標題 Design of a Register Cache System with an Open Source Process Design Kit for 45nm Technology	5. 発行年 2017年
3. 雑誌名 IEICE Transactions on Electronics	6. 最初と最後の頁 232～244
掲載論文のDOI (デジタルオブジェクト識別子) 10.1587/transele.E100.C.232	査読の有無 有
オープンアクセス オープンアクセスとしている (また、その予定である)	国際共著 -

1. 著者名 CHOI MinSeong, FUKUDA Takashi, GOSHIMA Masahiro, SAKAI Shuichi	4. 巻 E99.D
2. 論文標題 An Inductive Method to Select Simulation Points	5. 発行年 2016年
3. 雑誌名 IEICE Transactions on Information and Systems	6. 最初と最後の頁 2891～2900
掲載論文のDOI (デジタルオブジェクト識別子) 10.1587/transinf.2016PAP0030	査読の有無 有
オープンアクセス オープンアクセスとしている (また、その予定である)	国際共著 -

1. 著者名 Ryota SHIOYA, Ryo TAKAMI, Masahiro GOSHIMA, Hideki ANDO	4. 巻 E99.D
2. 論文標題 FXA: Executing Instructions in Front-End for Energy Efficiency	5. 発行年 2016年
3. 雑誌名 IEICE Transactions on Information and Systems	6. 最初と最後の頁 1092 ~ 1107
掲載論文のDOI (デジタルオブジェクト識別子) 10.1587/transinf.2015EDP7316	査読の有無 有
オープンアクセス オープンアクセスとしている (また、その予定である)	国際共著 -

[学会発表] 計3件 (うち招待講演 0件 / うち国際学会 1件)

1. 発表者名 Susumu Mashimo, Akifumi Fujita, Reoma Matsuzo, Seiya Akaki, Akifumi Fukuda, Toru Koizumi, Junichiro Kadomoto, Hidetsugu Irie, Masahiro Goshima, Koji Inoue, Ryota Shioya
2. 発表標題 An Open Source FPGA-Optimized Out-of-Order RISC-V Soft Processor
3. 学会等名 Int'l Conf. on Field Programmable Technology (FPT) (国際学会)
4. 発表年 2019年

1. 発表者名 神保 潮, 山田 淳二, 五島 正裕
2. 発表標題 動的タイム・ボローイングを可能にするクロッキング方式の適用
3. 学会等名 xSIG (cross-disciplinary workshop on computing Systems, Infrastructures, and programming)
4. 発表年 2017年

1. 発表者名 Junji Yamada, Ushio Jimbo, Ryota Shioya, Masahiro Goshima, and Shuichi Sakai
2. 発表標題 Bank-Aware Instruction Scheduler for Multibanked Register File
3. 学会等名 xSIG (cross-disciplinary workshop on computing Systems, Infrastructures, and programming)
4. 発表年 2017年

〔図書〕 計0件

〔産業財産権〕

〔その他〕

-

6. 研究組織

	氏名 (ローマ字氏名) (研究者番号)	所属研究機関・部局・職 (機関番号)	備考
研究 分担 者	塩谷 亮太 (SHIOYA Ryota) (10619191)	東京大学・情報理工学系研究科・准教授 (12601)	