

令和元年6月5日現在

機関番号：11301

研究種目：基盤研究(B) (一般)

研究期間：2016～2018

課題番号：16H03898

研究課題名(和文) 三次元量子ナノディスクアレイによるゼーベック係数制御・熱電変換素子

研究課題名(英文) Thermoelectric conversion device and Seebeck coefficient control by 3-dimensional quantum nanodisk array

研究代表者

寒川 誠二 (Samukawa, Seiji)

東北大学・流体科学研究所・教授

研究者番号：30323108

交付決定額(研究期間全体)：(直接経費) 12,700,000円

研究成果の概要(和文)：本研究ではウエハ上に高精度に直径制御されたMNWs(M: Si, Ge, Si/SiGe_{0.3}積層膜)を高密度に作製し、前述したMNWs(M: Si, Ge, Si/SiGe_{0.3}積層膜)間をヘテロ材料(SoG, SiGe_{0.3})で埋込んだナノ構造体を形成し、熱伝導率を評価することでナノ構造体内部での熱伝導の理解を深めた。更に作製したSiNWs-SiGe_{0.3}複合膜の電気特性を併せて評価し、電気特性を維持したまま、熱伝導率を制御可能なことを実証した。また開発したSiNWs-SiGe_{0.3}複合膜を用いて、熱電変換素子を作製し、上記薄膜が熱電変換素子用途として利用できることを実証した。

研究成果の学術的意義や社会的意義

熱エネルギーを直接電気エネルギーに変換する熱電変換技術は、排熱エネルギーの再資源化という意味で極めて注目されている。しかし、現在使用されている熱電変換材料はBi, Sb, Te, Pb, Seなどが主成分で環境問題、資源問題の懸念があり、また室温近傍の材料は50年来開発が停滞しているといっても過言ではない。そこで、本研究では、安全で豊富な、また、半導体素子と集積化が可能な材料であるシリコンに独自技術を用いて無欠陥周期ナノ構造を作製し、その電気伝導率と熱伝導率の独立制御を実現することに成功した。その結果、半導体素子やセンサーと集積可能な微小電源としての可能性を実証できた。

研究成果の概要(英文)：The objective of this research was to understand the heat conduction inside the nanostructure by evaluating the thermal conductivity of M (M: Si, Ge, Si/SiGe_{0.3}) NWs composites. Furthermore, the electrical characteristics (electrical conductivity and Seebeck coefficient) of the SiNWs-SiGe_{0.3} composite is also evaluated. As the result of these evaluation, we demonstrated that the thermal conductivity could be reduced without decreasing the electrical characteristics. Moreover, we also demonstrated that the SiNW-SiGe_{0.3} composite could be used for TE conversion element applications.

研究分野：グリーンナノテクノロジー

キーワード：熱電素子 量子ドット ナノ構造 フォノンエンジニアリング

様式 C-19、F-19-1、Z-19、CK-19 (共通)

1. 研究開始当初の背景

熱エネルギーを電気エネルギーに変換する熱電発電システムは、排熱エネルギーの再資源化という意味で極めて注目されている。特に、IoT (Internet of Things) 社会の発展に伴い、RFID タグ ($\sim 100 \mu\text{W}/\text{cm}^2$) やセンサー (数 $10 \mu\text{W}/\text{cm}^2$) などを動作させるため、僅かな温度差を利用した高効率熱電変換素子に対する期待は大きい。しかし、現在比較的低い温度において使用されている熱電変換材料はレアメタルである Bi、Sb、Te、Pb などが主成分となっており、資源としての埋蔵量が少なく、環境負荷も懸念される。現在使用されている Pb-Te 系の材料は RoHS 適用外であったが、2019 年 1 月以降は禁止になるなど、有害危惧物質という観点でも使用制限が厳しくなる。そこで我々は、原料資源の埋蔵量が豊富で環境負荷の低いシリコン系材料を用いたナノ構造制御と量子超格子構造などから構成される高効率熱電変換素子の発電原理の検証とそれを用いた発電素子の試作・開発を提案する。通常、シリコンは熱伝導率が大きいため、熱電変換素子として使用困難である。シリコン系材料を用いて高効率熱電変換素子を実現するためには、(1) シリコン系材料をナノ構造化することで、フォノン散乱を増大して格子熱伝導率を低減し、(2) ナノ構造を均一なサイズで等間隔に周期的に配置することで、ナノドット界面でのエネルギーフィルタリング効果等により電気伝導率を低減することなく、ゼーベック係数を増大させることの 2 点を同時に実現する必要がある。

本研究提案では均一・高密度・間隔制御・Si 系材料 (Si、SiGe あるいは Ge) 3 次元量子ナノディスクアレイ構造の形成と埋込み材料の選択により、革新的な高効率熱電変換素子を実現することに挑戦する。Si 系材料は BiTe と比較して熱電特性が劣る材料であるが、Si 量子ナノディスクアレイ構造のサイズ、埋め込み材料、及び不純物ドーピング量を最適化することでゼーベック係数 (パワーファクター) を増加させると共に格子熱伝導率を大幅に低減できれば、シリコン系材料でも高効率熱電変換材料として極めて有望な候補となると考え本提案に至った。

2. 研究の目的

従来、ナノ構造を用いた熱電変換材料の開発はボールミルなどを用いた冶金技術ではナノ粒子のサイズ、粒子密度を精度良く制御することは困難であり、ナノ構造を構成できる材料も限定的である。一方、半導体技術を用いてナノ構造形成では構造設計の緻密性は向上したが、劇的な熱伝導率の低減が見込める直径 約 10nm の SiNWs を高精度に形成することが困難であり、劇的な特性改善には至っていない。これらの状況を打開するには、直径 10nm 程度の高精度なナノ構造体の形成技術が必要となり、それら技術を用いて作製した熱電変換材料の特性理解が重要となる。そこで本研究ではウエハ上に高精度に直径制御された MNWs (M: Si、Ge、Si/SiGe_{0.3} 積層膜) を高密度に作製し、前述した MNWs (M: Si、Ge、Si/SiGe_{0.3} 積層膜) 間をヘテロ材料 (SoG、SiGe_{0.3}) で埋込んだナノ構造体を形成し、熱伝導率を評価することでナノ構造体内部での熱伝導の理解を深めた。更に作製した SiNWs-SiGe_{0.3} 複合膜の電気特性を併せて評価し、電気特性を維持したまま、熱伝導率を制御可能なことを実証した。

3. 研究の方法

SiNWs、SiNWs-SiGe 複合膜の作製プロセスを以下に示す (表 1)。熱伝導率の測定用には単結晶 Si ウエハ、電気伝導率及び、ゼーベック係数の測定用には SOI ウエハ (デバイス層: 100nm、埋込み酸化膜層: 200nm) を用いた。本試験に用いた SiNWs はバイオテンプレート極限加工で作製した。また SiNWs-SiGe 複合膜は形成した SiNWs に対して MBE 法及び、熱 CVD 法で SiGe_{0.3} を成膜することで作製した。

4. 研究成果

4-1. SiNWs-SiGe_{0.3} 複合膜の作製

SiNWs に対して熱 CVD 法で SiGe_{0.3} を埋込んだ結果を以下に示す。また SiGe_{0.3} 埋込み後の SiNWs-SiGe_{0.3} 複合膜の断面 SEM 観察結果を図 1 に示す。その結果、固体ソース MBE 法で成膜した結果と異なり、SiNWs 間に SiGe_{0.3} が完全に埋め込まれており、更に拡大して観察したところ、SiNWs と SiGe_{0.3} の界面も観察できた (図 1(c))。また SiNWs 間に埋込んだ SiGe_{0.3} の組成を XPS (X 線光電子分光) 法で分析した結果、31 at.% であることを確認した。以上の結果から、SiNWs-SiGe_{0.3} 複合膜の形成を確認した。

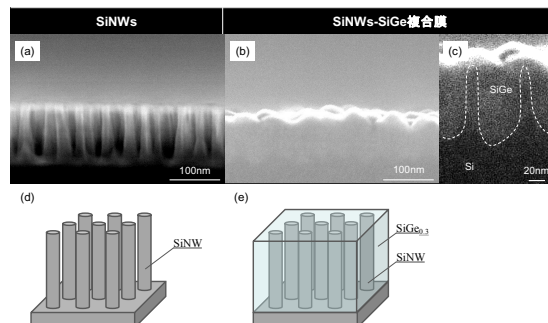


図 1 サンプル作製結果 ((a) SiGe 成膜前、(b) SiNW-SiGe 複合膜、(c) ピラー構造拡大図、(d) SiNWs 構造模式図、(e) SiNWs-SiGe 複合膜構造模式図)

4-2. SiNWs-SiGe_{0.3} 複合膜の面外熱伝導率の温度依存性

4-1. で作製した SiNWs-SiGe_{0.3} 複合膜の熱伝導率を 2ω 法により室温付近 (300-350K) で評価した。SiNWs-SiGe_{0.3} 複合膜の熱伝導率の温度依存性を評価した結果、300K から 350K の範囲では

3.5±0.3 W/mK で概ね一定であることを確認した(図 2)。上記の結果を考察するため、SiNWs-SiGe_{0.3} 複合膜中の SiNWs と SiGe_{0.3} の体積分率及び、Si と SiGe_{0.3} の熱伝導率を利用して SiNWs-SiGe_{0.3} 複合膜の熱伝導率を有効媒質近似法で算出したところ 30.3 W/mK であり、算出結果と比較して実際の測定値(3.5±0.3 W/mK)の熱伝導率の方が低かった。今回の測定結果で SiNWs-SiGe_{0.3} 複合膜の熱伝導率が有効媒質近似と比較して大きく異なっている原因として SiNWs 中のフォノン成分が SiNWs 界面で散乱されている他、体積分率として 84 vol.% を占めている SiGe が合金散乱によって熱伝導率が低減している他、ナノポラス SiGe のフォノン成分の平均自由行程は主に数 nm ~ 数 100nm の領域に存在していることから、SiNWs 界面でも SiGe_{0.3} 中のフォノン成分が散乱されて更に熱伝導率が低減した効果と推定される。本結果を Si/SiGe_{0.3}(2nm/2nm) 積層 NWs の作製に用いた Si/SiGe_{0.3}(2nm/2nm) MQW の熱伝導率を測定し比較した結果、SiNWs-SiGe_{0.3} 複合膜の熱伝導率の方が低いことを確認した(表 1)。

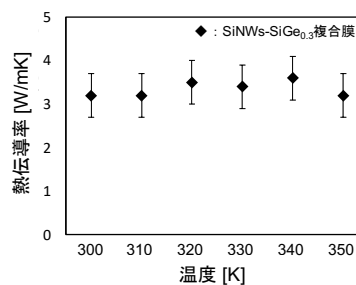


図 2 SiNW-SiGe_{0.3} 複合膜の熱伝導率の温度依存性評価

SiGe_{0.3} 中のフォノン成分が散乱されて更に熱伝導率が低減した効果と推定される。本結果を Si/SiGe_{0.3}(2nm/2nm) 積層 NWs の作製に用いた Si/SiGe_{0.3}(2nm/2nm) MQW の熱伝導率を測定し比較した結果、SiNWs-SiGe_{0.3} 複合膜の熱伝導率の方が低いことを確認した(表 1)。

表 1. SiNWs-SiGe_{0.3} 複合膜と Si/SiGe_{0.3}(2nm/2nm)MQW の熱伝導率の比較

材料	SiNWs-SiGe _{0.3} 複合膜	Si/SiGe _{0.3} (2nm/2nm) MQW
熱伝導率 [W/mK]	3.5 ± 0.3 W/mK	4.5 ± 0.3 W/mK

4-3. SiNWs-SiGe_{0.3} 複合膜の面内電気伝導率、ゼーベック係数の温度依存性

SiO₂ 膜上に作製した SiNWs-SiGe_{0.3} 複合膜の電気伝導率、ゼーベック係数を測定した結果を以下に示す。その結果、温度の上昇と共に電気伝導率の向上、及びゼーベック係数の低減を確認した(図 3)。これは SiNWs-SiGe_{0.3} 複合膜中のキャリア密度が温度上昇と共に上昇したためと考えられる。また測定結果を元にパワーファクターの温度依存性を評価した結果を図 4 に示す。その結果、試料温度上昇と共にパワーファクターが上昇し、600°C で極大値を得ることを確認した。600°C 以上の温度域でパワーファクターが低減(ゼーベック係数の低減)した理由として、600°C 以上の温度域では SiGe 中に対して Si の拡散が顕著となるため、SiNWs-SiGe_{0.3} 複合膜から多結晶 SiGe に変化しキャリア移動度が低下したのではないかと考えられる。また SiNWs-SiGe_{0.3} 複合膜の電気特性の評価結果は SiGe_{0.3} と同等であり、電気特性を低減することなく熱伝導率を低減できていることを確認した。

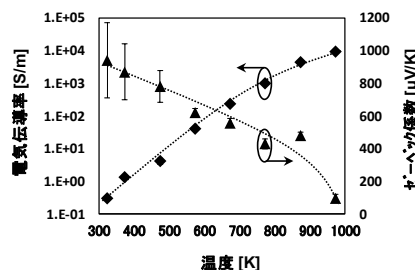


図 3 SiNWs-SiGe_{0.3} 複合膜の面内電気伝導率、ゼーベック係数の温度依存性評価結果

以上、SiNWs-SiGe_{0.3} 複合膜は電気特性を低減することなく、熱伝導率を低減することに成功しており PGEC (Phonon-Glass Electron Crystal) を実現できていることを確認した。

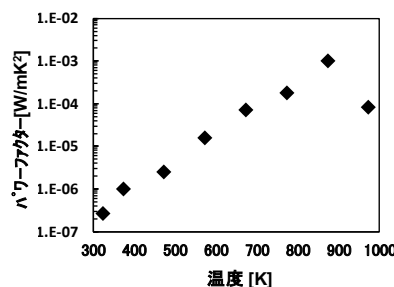


図 4 S SiNWs-SiGe_{0.3} 複合膜のパワーファクターの温度依存性評価結果

4-5 熱電変換素子の作製

SiNWs-SiGe_{0.3} 複合膜を用いた熱電変換素子を作製した。作製した熱電変換素子の表面を SEM 観察した結果、p(n)-SiNWs-SiGe が交互に形成され、それぞれが Al 電極で繋がっており、目的とする熱電変換素子が作製できていることを確認した(図 5)。

4-6 熱電変換素子の発電特性の評価

作製した熱電変換素子の室温における面内熱起電力の温度差依存性、電気抵抗を評価した。その結果、素子面内の温度差の上昇と共に熱起電力が上昇することを確認した。測定結果から SiNWs-SiGe_{0.3} 熱電変換素子の熱起電力を算出したところ 733 μV/K であり、推算した熱起電力(724 μV/K)と一致していることを確認した(図 6)。

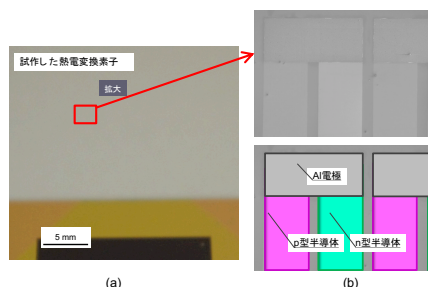


図 5 (a) 試作した熱電変換素子、(b) 素子の表面 SEM 観察結果

次に素子の電気抵抗の材料数依存性の評価結果を図 7 に示す。その結果、p, n 素子数と素子抵抗に一次の相関が確認され、その抵抗は素子全体で 450kΩ であった。本結果と 4-4 項の検討結果から推算した熱電変換素子の抵抗値(23kΩ)を比較すると実際の素子の方が、20 倍程度高いことを確認した(表 2)。

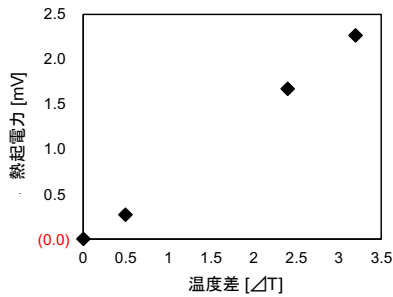


図 6 SiNWs-SiGe 熱電素子の熱起電力の温度依存性

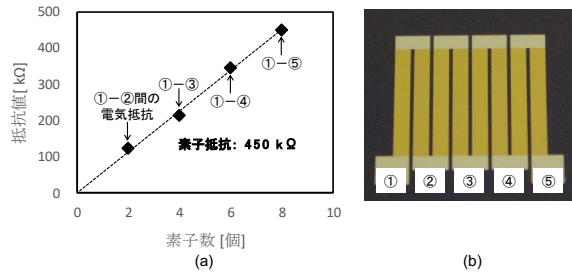


図 7 SiNWs-SiGe_{0.3} 熱電素子の素子抵抗の材料数依存性 (a) デバイス抵抗の素子数依存性評価結果、(b) 測定位置概略

表 2. p, n 型-SiNWs-SiGe_{0.3} 複合膜の評価結果

		熱起電力		電気抵抗 (電気伝導率)	
		p-SiNWs-SiGe	n-SiNWs-SiGe	p-SiNWs-SiGe	n-SiNWs-SiGe
デバイス実測値 (p, n 4 対)		733 μV/K		0.45 MΩ	
材料単体	材料実測値	87 μV/K	-94 μV/K	2.5 kΩ (3×10 ⁻⁴ S/m)	3.2 kΩ (2.8×10 ⁻⁴ S/m)
	デバイス推算値*	724 μV/K		23 kΩ	

今回作製した熱電変換素子の素子抵抗が推算値と大きく乖離した原因は以下が考えられる。

- ① p(n)-SiNWs-SiGe を繋げている Al 電極の抵抗が高い。
- ② p(n)-SiNWs-SiGe と Al 電極の界面電気抵抗が高い

今回、使用している Al 電極の抵抗を測定した結果、全ての電極で数～数 10 Ω であることから、素子抵抗が増加した原因として②の材料と Al 電極界面の電気抵抗が高いことが推定される。

そこで、p(n)-SiNWs-SiGe における Al-p(n)-SiNWs-SiGe 素子の界面電気抵抗への影響を評価するため、2 端子法と 4 端子法による評価結果を比較することで、Al 電極と素子の界面抵抗の影響を評価した。その結果、n-SiNWs-SiGe_{0.3} において 2 端子法と 4 端子法で測定した電気抵抗が 100 倍以上高く、n-SiNWs-SiGe_{0.3} と Al 界面の電気抵抗が高いことが予測される (表 3)。

表 3. p(n) -SiNWs-SiGe_{0.3} 複合膜の評価結果

電気伝導率 [S/m]		p-SiNWs-SiGe _{0.3} 複合膜	n-SiNWs-SiGe _{0.3} 複合膜
		4 端子法測定	3.5×10 ⁴
	2 端子法測定	1.4×10 ⁴	1.6×10 ³

また今回、n-SiNWs-SiGe_{0.3} 複合膜と Al 電極の界面電気抵抗が高かった原因として材料内部の不純物濃度に分布が生じていると考え、素子内部の不純物の深さ分布を SIMS で分析した。その結果、n-SiNWs-SiGe_{0.3} 複合膜では表面の不純物濃度が低く、接触抵抗が高かった原因の一つではないかと考えた。以上、今後、Al 電極と素子間の界面電気抵抗の低減には注入する不純物量及び、p(n)-SiNWs-SiGe_{0.3} 複合膜と Al 電極界面の清浄化手法の最適化が必要と考えられる。

今回の検討で得られた素子の抵抗 (R_{dev})、熱起電力の温度依存性 (V_{oc}) の結果から、素子の最大出力 (P_{Max}) の温度依存性を推算する。素子出力は外部抵抗値と素子抵抗値が一致した際に最大となる。その結果、素子内部の温度差が 3.2 °C だった際の素子の最大出力は 3.3 pW であり、発電特性の評価結果と一致していることを確認した (図 8)。また今回のデバイスの問題である界面電気抵抗が改善されると素子の内部抵抗が 450kΩ から 23kΩ まで低減するため、最大出力も 17 倍以上向上することが期待できる。

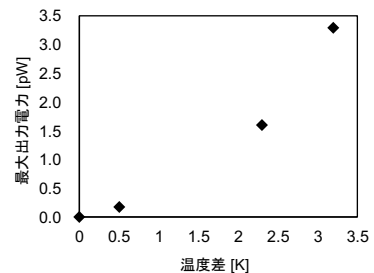


図 8 作製した熱電素子の最大出力の温度差依存性評価結果

5. 主な発表論文等

[雑誌論文] (計 3 件)

1. A. Kikuchi, A. Yao, I. Mori, T. Ono, and S. Samukawa, "Extremely low thermal conductivity of high density and ordered 10 nm-diameter silicon nanowires array," APPLIED PHYSICS LETTERS, 110, p. 091908 (2017), 査読有.
2. A. Kikuchi, A. Yao, I. Mori, T. Ono, and S. Samukawa, "Composite films of highly ordered Si nanowires embedded in SiGe_{0.3} for thermoelectric applications," APPLIED PHYSICS LETTERS, 122, p. 165302 (2017), 査読有.
3. A. Kikuchi, A. Yao, I. Mori, T. Ono, S. Samukawa, "Highly ordered 10nm-diameter Si_n-nanowire and SiGe_{0.3} composite for thermoelectric applications by combination of bio-template and neutral beam etching", JOURNAL OF APPLIED PHYSICS, 査読有, 投稿中.
4. A. Kikuchi, A. Yao, T. Ono, S. Samukawa, "Thermoelectric device based on 10nm-diameter Silicon nanowire array-SiGe composite prepared with neutral beam etching and bio-template", JOURNAL OF PHYSICS D: Applied physics, 投稿中
5. A. Kikuchi, A. Yao, I. Mori, T. Ono, S. Samukawa, "Thermal conductivity of 10nm-diameter silicon nanowire array fabricated by bio-template and neutral beam etching", IEEE NANO 2016, 110, 091908 (2017), 査読有.

[学会発表] (計 23 件)

1. 菊池 亜紀応、八尾 章史、毛利 勇、小野 崇人、寒川 誠二, 中性粒子ビーム技術を用いた SiNP-SiGe_{0.3} 複合膜の作製と熱伝導率の評価, 第 77 回 応用物理学会秋季学術大会.
2. A. Kikuchi, A. Yao, I. Mori, T. Ono, S. Samukawa, Thermal conductivity of 10nm-silicon nanowire array fabricated by bio-template and neutral beam etching., IEEE International Conference on Nanotechnology 2016.
3. 菊池 亜紀応、八尾 章史、毛利 勇、山本 淳、小野 崇人、寒川 誠二, バイオテンプレート極限加工を用いた Si ナノ構造熱電モジュールの作製と特性評価, 第 64 回 応用物理学会春季学術大会.
4. Seiji Samukawa, Neutral Beam Technology for Future Nano-devices, China Semiconductor Technology International Conference.
5. Seiji Samukawa, Neutral Beam Technology for Future Nano-materials and Nano-devices, Collaborative Conference on Materials Research (CCMR).
6. Seiji Samukawa, Neutral Beam Technology for Future Nano-materials and Nano-devices, 1st Asia-Pacific Conference on Plasma Physics.
7. Seiji Samukawa, High Efficiency Nano Energy Devices Using Bio-template Ultimate Top-down Process, High Efficiency Nano The 3rd International Conference on Nanoenergy and Nanosystems.
8. Seiji Samukawa, Neutral Beam technology for Future Nano-materials and Nano-devices, Neutral Beam 18th International Union of Materials Research Societies International Conference in Asia.
9. 菊池 亜紀応、八尾 章史、山本 淳、小野 崇人、寒川 誠二, バイオテンプレート極限加工技術を用いた Si/SiGe ナノワイヤーの作製と熱伝導率の評価, 第 78 回 応用物理学会 秋季学術講演会.
10. 大堀 大介、遠藤 和彦、寒川 誠二, 中性粒子ビームとバイオテンプレートを用いた高アスペクト比 Si ナノピラー構造の作製, 第 65 回 応用物理学会 春季学術講演会.
11. 大堀 大介、久保山 瑛哲、山本 淳、村田 正行、遠藤 和彦、寒川 誠二, 無欠陥 Si ナノピラー構造によるフォノン場制御と高移動度キャリア輸送, 第 79 回 応用物理学会秋季学術講演会.
12. 寒川 誠二, 無欠陥周期ナノ構造による半導体チャネルのフォノン場制御, 応用物理学会 シリコンナノテクノロジー分科会 第 212 回研究集会「半導体素子におけるフォノンのダイナミクスとエンジニアリング」.
13. 大堀 大介、久保山 英哲、村田 正行、山本 淳、野村 政宏、遠藤 和彦、寒川 誠二, Si ナノピラー構造の間隔制御することによる フォノン場制御とキャリア輸送特性に与える影響, 第 66 回 応用物理学会春季学術講演会.
14. Seiji Samukawa, Neutral Beam Technology for Damage-free Etching Process, Digest of 2018 International Conference on Compound Semiconductor Manufacturing Technology.
15. Seiji Samukawa, Low-Temperature atomic layer defect-free etching, modification and deposition process, Collaborative Conference on Materials Research (CCMR) 2018.
16. Seiji Samukawa, Atomic Layer Defect-free Top-down Processes for Future Nano-devices, The 7th International Conference on Microelectronics and Plasma Technology (ICMAP).
17. Seiji Samukawa, Atomic Layer Defect-free Top-down Process for Future Nano-devices, 14th IEEE International Conference on Solid-State and Integrated Circuit Technology.
18. Seiji Samukawa, Atomic Layer Defect-free Etching and Deposition Processes for future

- sub-10-nm devices, 71st Annual Gaseous Electronics Conference.
19. Seiji Samukawa, Atomic Layer Defect-free Top-down Process for Future Nano-devices, 2nd Asia-Pacific Conference on Plasma Physics, International Workshop on Plasma and Bio-nano Devices.
 20. 久保山瑛哲、山本淳、村田正行、遠藤和彦、大堀大介、寒川誠二, 3 ω 法によるナノスケール熱伝導率の測定とフォノン輸送の制御, 応用物理学会 シリコンナノテクノロジー分科会 第 212 回研究集会「半導体素子におけるフォノンのダイナミクスとエンジニアリング」.
 21. 寒川誠二, バイオテンプレート極限加工による量子ナノ構造の作製と高効率エネルギーデバイスへの展開, 日本化学会 第 7 回 E-colloid:先端エレクトロニクスのためのコロイド・界面化学・ナノ界面制御が担う次世代エレクトロニクス材料.
 22. 寒川誠二, 中性粒子ビームによる原子層レベル超低損傷加工・表面改質=2次元材料グラフェンへの展開, 酸化グラフェン研究会 第 11 回酸化グラフェンシンポジウム.
 23. X. Huang, R. Yanagisawa, D. Ohori, S. Samukawa, and Masahiro Nomura, EFFECTIVE THERMAL CONDUCTION TUNING IN Si THIN FILM BY NANOPILLARS, The 2nd Pacific Rim Thermal Engineering Conference (PRTEC2019).

[図書] (計 0 件)

なし

[産業財産権]

○出願状況 (計 00 件)

なし

○取得状況 (計 02 件)

名称: 熱電変換材料及びその製造方法

発明者: 菊池亜紀応、八尾章史、毛利勇、寒川誠二、小野崇人

権利者: セントラル硝子株式会社、株式会社 東北テクノアーチ

種類: 特許

番号: 6470422

取得年: 2019. 02. 13.

国内外の別: 国内

名称: Thermoelectric conversion material and method for producing same

発明者: Akiou KikuchiAkifumi YAOSeiji SamukawaTakahito Ono

権利者: CENTRALGLASSCOMPANY, LIMITED, ; Tohoku TechnoArch Co., Ltd.

種類: 特許

番号: US2018/0212131A1

取得年: 2018. 07. 26.

国内外の別: 国外

[その他]

ホームページ: <http://www.ifs.tohoku.ac.jp/samukawa/japanese/>

6. 研究組織

(1) 研究分担者

研究分担者氏名: 中村 雅一

ローマ字氏名: Nakamura Masakazu

所属研究機関名: 奈良先端科学技術大学院大学

部局名: 先端科学技術研究科

職名: 教授

研究者番号 (8 桁): 80332568

(2) 研究協力者

研究協力者氏名: 菊池 亜紀応

ローマ字氏名: Akiou Kikuchi

※科研費による研究は、研究者の自覚と責任において実施するものです。そのため、研究の実施や研究成果の公表等については、国の要請等に基づくものではなく、その研究成果に関する見解や責任は、研究者個人に帰属されます。