

令和元年8月26日現在

機関番号：24506

研究種目：基盤研究(B) (一般)

研究期間：2016～2018

課題番号：16H04354

研究課題名(和文) 超高集積強誘電体メモリ実現へ向けたブレークスルー技術の開発

研究課題名(英文) A breakthrough in ultra-high integration of ferroelectric memories

研究代表者

藤澤 浩訓 (Fujisawa, Hironori)

兵庫県立大学・工学研究科・教授

研究者番号：30285340

交付決定額(研究期間全体)：(直接経費) 12,600,000円

研究成果の概要(和文)：各種電子機器では電源を切っても記憶が消えない不揮発性メモリとして、フラッシュメモリが用いられていますが、消費電力が大きく、読み書きが遅いという欠点があります。本研究では、低消費電力かつ高速動作が可能な不揮発性メモリの一つである強誘電体メモリを大容量化するために、情報を記憶する素子の形状を非常に細い(髪の毛の1/1,000)ナノワイヤとすることを提案し、実際にナノワイヤ素子の作製に成功しました。

研究成果の学術的意義や社会的意義

低消費電力かつ高速動作が可能な不揮発性メモリの一つである強誘電体メモリを大容量化するために、情報を記憶する素子の形状を非常に細い(髪の毛の1/1,000)ナノワイヤとすることを提案し、ナノワイヤ素子の作製に成功しました。本技術に基づき、素子の性能が向上し、超低消費電力かつ超高集積強誘電体メモリが実現すれば、IoTデバイスやクラウド社会を支えるデータセンター等の省電力化が実現できる可能性があります。

研究成果の概要(英文)：In various electronic devices, flash memories are widely used as a nonvolatile memory which has drawbacks of high energy consumption and low operation speed. In this study, in order to realize ultrahigh density ferroelectric nonvolatile random access memories with much lower power consumption and higher operation speed, we propose a use of nanowires including ferroelectrics as a memory element, which are as thin as one-thousandth of a hair. We have successfully fabricated ferroelectric nanowire capacitor and transistor structures and demonstrated potential for ultrahigh density ferroelectric memory applications.

研究分野：電子材料・電子デバイス

キーワード：強誘電体 ナノワイヤトランジスタ ナノワイヤキャパシタ

## 様式 C-19、F-19-1、Z-19、CK-19 (共通)

### 1. 研究開始当初の背景

近年、強誘電体の自発分極と外部電場による反転を利用した不揮発性強誘電体メモリ (FeRAM) が他の新規不揮発性メモリ (MRAM, PCRAM, RRAM など) に先駆けて実用化され、超低消費電力という特長を活かして非接触 IC カードなどに搭載されている。現在、実用化されている不揮発性強誘電体メモリは、DRAM に類似の構造を持ち、強誘電体キャパシタと選択トランジスタから構成される。このキャパシタ型 FeRAM では情報の読み出しを外部電場による分極反転に伴う電荷移動を検出することによって行うため、読み出し後の再書き込みが必要なこと (破壊読み出し)、電荷読み出し方式であるため、スケーリング則が適用できず、高集積化には DRAM と同様に強誘電体キャパシタの立体化が必要である。これに対し、申請者は、世界に先駆けて、三次元強誘電体キャパシタ (Ir/Pb(Zr,Ti)O<sub>3</sub> (PZT)/Ir) やナノワイヤ (NW) 型キャパシタ (ZnO/(Hf,Zr)O<sub>2</sub>/ZnO) の作製に成功し、超高集積 FeRAM の実現に向けた立体構造化に取り組んできた。

一方、異なるタイプの FeRAM として、MOS トランジスタのゲート絶縁膜を強誘電体で置き換えた強誘電体ゲートトランジスタ (FGT: Ferroelectric Gate Transistor) がある。超低消費電力 (他の新規不揮発性メモリに比しても 1/1000 以下) という特徴に加え、非破壊読み出しとスケーリング可能という特徴を持ち、究極の記憶素子となり得る可能性を秘めている。近年、ZnO や ITO などの酸化物 (半) 導体をチャネルとする薄膜トランジスタ (TFT) 型 FGT において記憶素子として十分な特性 (10<sup>4</sup> を超える on/off 比, 10 年を超える記憶保持特性など) が実現された。FGT の今後の課題は微細化・高集積化であるが、酸化物チャネルを用いた FGT はゲート長、ゲート幅ともに μm サイズに限られ、サブミクロンサイズの FGT としては、金子らによるゲート長 60 nm (ゲート幅 1.2 μm) の FGT が唯一である。すなわち、FGT はスケーリング則が適用可能であるにも関わらず、その微細化・高集積化に関する検討は、国内外を見てもほとんど行われていないのが現状である。Si-CMOS デバイスと同様に、FGT においても二次元平面チャネルを用いる限り、CMOS デバイスと同じスケーリングの壁に直面するため、NW 形状の一次元チャネルの採用は超高集積化に向けたブレークスルーとなり得る。NW-Tr ではゲート電極を複数に分割することで、NAND 構造を容易に実現できるため、高集積化に有利なことも特筆すべき特長である。

### 2. 研究の目的

上記を踏まえ、本研究では、キャパシタ型及びトランジスタ型 FeRAM の高集積化に向けた新規構造として、ナノワイヤベースの強誘電体キャパシタ (NW-C) 及びトランジスタ (NW-Tr) を、超高集積強誘電体メモリ実現へ向けたブレークスルーとして提案する。

### 3. 研究の方法

NW-C/Tr の骨格となる ZnO NW は、MOCVD 法を用いた気相-固相 (Vapor-Solid: VS) 成長を用いて、成長温度 650-750 °C、成長圧力 1-5 Torr で作製した。ZnO NW の選択成長は、Pt/SiO<sub>2</sub>/Si 基板上的 SiO<sub>2</sub> 薄膜に 50-500 nm (設計寸法) のホールを形成することで、ホール底部に露出した Pt と SiO<sub>2</sub> 上での成長条件の違いを利用して行った。SiO<sub>2</sub> 薄膜は電子ビーム (EB) 蒸着法を用いて成膜し、フッ酸緩衝溶液 (BHF) を用いたウエットエッチング及びフッ素系ガスによるドライエッチングによりホールを形成した。強誘電体層として用いる HfO<sub>2</sub> 及び BiFeO<sub>3</sub> 薄膜については、その MOCVD 成長技術の確立をはかった。HfO<sub>2</sub> 系薄膜は成長温度 200-600 °C、成長圧力 5 Torr で成膜した後、急速熱処理 (RTA) による結晶化 (600-900 °C、1-5 分、大気もしくは N<sub>2</sub> 雰囲気) を行った。また、ZnO NW 上での結晶化挙動を調べるため、Al 添加 ZnO (AZO) 薄膜上へのスパッタ法による HfO<sub>2</sub> 薄膜の作製も行った。BiFeO<sub>3</sub> 薄膜の MOCVD 成長では、良好な絶縁性を得るために必要な精密な組成制御について、プロセスウインドウとシード層の効果について詳しく調べた。ゲート電極や絶縁膜は EB 蒸着法もしくはスパッタ法により形成した。

微細構造や組成、結晶相の評価には、走査型電子顕微鏡 (FE-SEM)、エネルギー分散型 X 線分析器 (EDXA)、原子間力顕微鏡 (AFM)、X 線回折装置 (XRD) などを用いた。NW-C/Tr の電気的特性の評価には、原子間力顕微鏡 (AFM) を用いた。

### 4. 研究成果

#### (1) ZnO ナノワイヤの選択成長

ZnO ナノワイヤの MOCVD 成長には、下地層が大きな影響を及ぼす。Pt 上ではその触媒作用により Pt 表面には酸素の活性種が存在するため、飛来した原料分子は容易に分解・酸化され、ZnO ナノワイヤの核形成が生じる。一方、SiO<sub>2</sub> は高温酸化雰囲気でも安定であり、酸化ガスや原料分子の付着確率も低く、Pt 上に比べ核形成が生じにくい。したがって、特定の成長条件下では Pt 上のみ ZnO NW を選択的に成長させることができる。既に、SiO<sub>2</sub> 上の直径 400 nm 程度の Pt ナノドットを用いた選択成長が可能であることを示してきたが、Pt ナノドットの剥離や一つの Pt ナノドットからの複数の ZnO NW の成長、あるいは Pt ナノドットの側面からの ZnO NW の成長などの問題があった。そこで、Pt 薄膜上に SiO<sub>2</sub> 薄膜を積層し、ZnO NW の直径に近い開口部 (ホール) を設けた構造を検討した。

SiO<sub>2</sub> (20nm)/Pt/SiO<sub>2</sub>/Si 基板に、EB レジストにより直径 50-500 nm のホールからなるポジ型パターンを作製し、BHF を用いたウエットエッチングによるホール形成を行った。ウエットエッチング後に形成された SiO<sub>2</sub> ホール径は、EB レジストのポジ型パターンの寸法よりも約 100 nm 大きく、等方性エッチングによるホール径の増大が不可避であった。そこで、ネガ型パターンを用いた SiO<sub>2</sub> のリフトオフとポジ型パターンを用いたドライエッチングによる SiO<sub>2</sub> ホー

ルの形成について検討した。ネガ型パターンを用いたリフトオフでは、ほぼ設計寸法通りの SiO<sub>2</sub> ホールを作製することができた。しかし、直径が小さい場合、EB レジストの膜厚 (100-200nm)の方が大きく、円柱状の EB レジストが残されるため、その倒壊や剥離が生じやすく、再現性を得ることが困難であった。一方、ポジ型パターンを用いてドライエッチングを行った場合、EB レジストとほぼ同じ直径の SiO<sub>2</sub> ホールを作製することに成功した。

次に、ポジ型パターンとドライエッチングにより作製した SiO<sub>2</sub> ホールを用いて、ZnO NW の選択成長について検討した。既に、Pt 及び SiO<sub>2</sub> 上に成長させた ZnO NW では、その直径と長さは、それぞれ主に成長温度と成長圧力で制御でき、高温低圧下においてアスペクト比が 50~100 の ZnO NW が得られることを見いだしている。一方、選択成長させた場合には、同一成長条件下で Pt あるいは SiO<sub>2</sub> 上に成長させた場合とは成長の様子や ZnO NW のサイズが異なった。直径 150 nm 以上の SiO<sub>2</sub> ホールでは、直接 ZnO NW が成長するのでは無く、不定形の ZnO ナノ結晶が成長した後に、直径 100 nm 以下の ZnO NW が複数成長した。また、基板表面に垂直では無く、ナノワイヤキャパシタやトランジスタの作製には不適当なものであった。一方、直径 100 nm の SiO<sub>2</sub> ホールでは、ほぼホール径と同じ直径の ZnO NW が基板に垂直に成長した。同一条件下で Pt 薄膜上に成長させた場合には直径数 10 nm の ZnO NW が成長することを考えると、SiO<sub>2</sub> ホールパターン上では、長さ方向の成長よりも径方向の成長が優先的であり、成長の様子が異なることがわかる。これは、選択成長では基板上に形成される ZnO NW が少なく、基板表面付近での原料ガス濃度が高く保たれ、長さ方向と径方向の成長速度の異方性が低下するためと考えられる。これは、Pt 連続膜上では圧力が高いほど ZnO NW の直径が大きくなることも矛盾しない。

そこで、上記の考察の妥当性を検証するため、SiO<sub>2</sub> ホール間隔の異なる基板に選択成長させた場合の ZnO NW の体積について検討した。図 1 には、直径 100 nm、SiO<sub>2</sub> ホール間隔 1-20 μm のホールパターンを用いて選択成長させた ZnO NW の体積の SiO<sub>2</sub> ホール間隔依存性を示す。ホール間隔の増大に伴い、ZnO NW の体積は増大する。これは、ホール間隔が、成長圧力 1 Torr での原料分子の平均自由行程 (約 100 μm と見積もられる) よりも小さく、ホール周辺の原料分子が SiO<sub>2</sub> ホール底部の Pt から成長した NW に気相から取り込まれたものとして理解できる。すなわち、選択成長の場合には、連続膜上に成長させる場合に比べ、同一圧力での基板表面付近の原料ガス濃度が高く、成長する ZnO NW の密度も低いために、1 本の ZnO NW の体積が増大したと考えられる。さらに、SiO<sub>2</sub> ホールパターンの近くに Pt 薄膜が存在する場合には、形成される ZnO NW の体積が増加することも見いだした。これは、Pt 表面上の活性酸素種が脱離・拡散し、SiO<sub>2</sub> ホールに成長した ZnO NW への気相からの原料分子の取り込みを促進したためと考えられる。

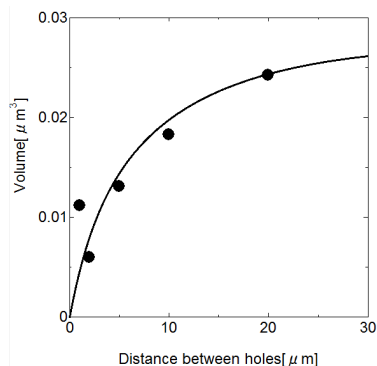


図 1 ZnO ナノワイヤの体積と SiO<sub>2</sub> ホール間隔の関係

Pt と SiO<sub>2</sub> 表面での成長の違いを利用した選択成長において、連続膜上での成長との違いを明らかにするとともに Pt/SiO<sub>2</sub>/Si 基板上に形成した SiO<sub>2</sub> ホールパターンを用いた ZnO NW の選択的成長を実現した。

このようにして選択成長させた ZnO NW (図 2) をテンプレートとして ZnO/(Hf,Zr)O<sub>2</sub>/ZnO ナノワイヤキャパシタを作製した ZnO NW のアスペクト比は約 10、(Hf,Zr)O<sub>2</sub> 層の膜厚は 10 nm、ZnO 外周電極の厚みが 250 nm と設計よりも大幅に大きくなったが、ZnO NW の選択成長を利用することで、このようなナノワイヤキャパシタを選択的に形成できることを実証できた。

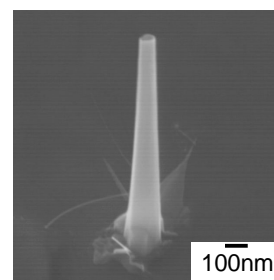


図 2 選択成長させた ZnO ナノワイヤ

## (2) HfO<sub>2</sub> 薄膜の作製

ZnO NW 上に直方晶 HfO<sub>2</sub> を得るために、ZnO NW 及び ZnO NW 側面と同じ *m* 面 ZnO 薄膜上での結晶化について検討した。HfO<sub>2</sub> 系薄膜の強誘電性の発現には、元素添加が有効であるため、HfO<sub>2</sub> に加え、(Hf,Zr)O<sub>2</sub>、Y 添加 HfO<sub>2</sub> についても検討した。*m* 面 ZnO 薄膜は *m* 面サファイア上にエピタキシャル成長させた。これらの ZnO 及び HfO<sub>2</sub> 薄膜は MOCVD 法もしくはスパッタ法により作製した。

MOCVD 法による (Hf,Zr)O<sub>2</sub> 薄膜の作製には、アルコキシド原料を用い、200 °C で前駆体薄膜を形成した後に窒素ガス中での結晶化アニールを行った。様々なアニール条件を検討したが、直方晶単相は得られず、900 °C、30 分のアニールによってのみ、直方晶と単斜晶の混在した (Hf,Zr)O<sub>2</sub> 薄膜が得られた。作製した (Hf,Zr)O<sub>2</sub> 薄膜の電気的特性を測定したが、リーク電流が大きく、強誘電性を確認するには至らなかった。200 °C という低温での成膜のため、前駆体薄膜中に有機物が残留していることが、大きなリーク電流と長時間のアニールを必要とする原因と考えられたため、高温での薄膜形成についても検討した。しかし、500 °C 以上の成膜温度では安定

相の単斜晶に結晶化し直方晶は得られず、500 以下では 200 で成膜した場合と大きな違いは見られなかった。

次に、Hf 金属ターゲットと Zr 金属ペレットもしくは  $Y_2O_3$  ペレットを用いた反応性スパッタ法により作製した  $(Hf,Zr)O_2$  及び Y 添加  $HfO_2$  薄膜の結晶化について検討した。電気的特性の測定を容易にするため、サファイア基板の上にエピタキシャル成長させた Al 添加 ZnO 薄膜を下地層に用いた。MOCVD 膜と同様に様々なアニール条件について検討を行った結果、 $(Hf,Zr)O_2$  薄膜と YHO 薄膜ともに、窒素ガス中で 900、5 分のアニールにより直方晶を含む薄膜を得た。電気的特性の測定では、不十分ながらも強誘電性に起因する飽和を示す分極ヒステリシスが観察されたが、分極値は 2-3  $\mu C/cm^2$  と期待される値 (10-20  $\mu C/cm^2$ ) よりも小さいものであった。

このように、TiN や Pt などの金属系電極上では 600 前後の結晶化アニールで直方晶  $HfO_2$  系薄膜が得られるのに対し、*m* 面 ZnO 上では高い結晶化温度を必要とすることがわかった。これらを踏まえ、ZnO NW 上へ作製した  $(Hf,Zr)O_2$  薄膜の結晶化では、窒素中 600-1200 でのアニールについて検討した。図 3 に ZnO NW 上に作製した  $(Hf,Zr)O_2$  薄膜の結晶相を成膜時間に対して示す。テンプレートに用いた ZnO NW のサイズのばらつきに伴い、同一の成膜時間であっても  $(Hf,Zr)O_2$  膜厚の結晶相にもばらつきが見られるが、膜厚が概ね 10-20 nm の  $(Hf,Zr)O_2$  薄膜では 600-900 のアニールによって直方晶単相を得ることに成功した。

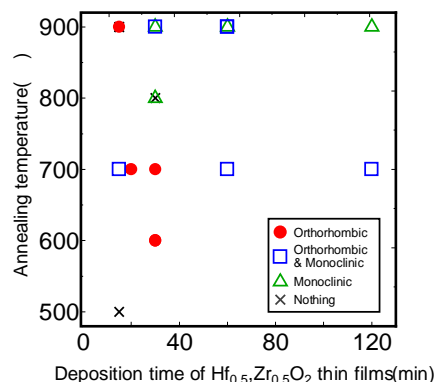


図 3 ZnO NW 状での  $(Hf,Zr)O_2$  の結晶相と膜厚及びアニール温度との関係

### (3) $BiFeO_3$ 薄膜の作製

$BiFeO_3$  薄膜は大きな分極を持つことから強誘電体メモリに適した非鉛強誘電体であるが、高い絶縁性を得ることが難しい。そこで、組成制御の容易な MOCVD 法を用いて、組成の精密制御とシード層の導入による高絶縁性  $BiFeO_3$  薄膜の実現を目指した。

精密な組成制御と高い組成安定性を実現するには、成膜条件の変動によらず薄膜組成が一定となり得る、いわゆる“プロセスウィンドウ”内での成長が有効であると考え、 $BiFeO_3$  薄膜の MOCVD 成長機構を明らかにするために  $Bi_2O_3$   $Fe_2O_3$  薄膜の MOCVD 成長について検討した。 $BiFeO_3$  薄膜の結晶化に必要な 600 前後の高い成長温度では、 $Fe_2O_3$  薄膜は容易に得られたのに対し、 $Bi_2O_3$  はその高い揮発性のために堆積物は全く得られなかった。また、成長温度を変化させて  $BiFeO_3$  薄膜を作製したところ、600 以下では Bi/Fe 比は成長温度の増加に伴い増加し、600 以上では一定となった。これは  $BiFeO_3$  薄膜の成長が、 $Fe_2O_3$  への  $Bi_2O_3$  の固溶によって進行し、600 以下ではその固溶速度によって成長が律速される一方で、固溶速度が十分に大きな 600 以上では過剰な  $Bi_2O_3$  の再蒸発によって薄膜中の Bi/Fe 比が一定に保たれるとして説明できる。このような成長機構の理解に基づき、十分に高い成長温度では、原料ガス組成や成長圧力などの成長条件の変化によらず薄膜組成が正規組成に保たれる“プロセスウィンドウ”が発現しようと考え、その存在を実験的に実証した。その一方で、わずか 1% の薄膜組成の変動が 2-3 桁のリーク電流の変化をもたらすことも見いだした。このようなプロセスウィンドウ内でのわずかな組成変動は薄膜成長初期の不均一性に起因すると考えられたため、次に極薄  $Fe_2O_3$  シード層の導入による均一性向上を検討した。上述した通り  $BiFeO_3$  薄膜の成長は  $Fe_2O_3$  への  $Bi_2O_3$  の固溶により進行するため、 $Fe_2O_3$  シード層の導入は基板表面上での均一な薄膜成長の開始に有効であり、プロセスウィンドウ内でのわずかな組成変動をも抑制することに成功した。図 4 に精密な組成制御を行った  $BiFeO_3$  薄膜の電流-電圧特性を示す。200 kV/cm の電界下でのリーク電流は最小で  $10^{-7}$  A/cm<sup>2</sup> まで減少することができ、現行の FeRAM で使用されている  $Pb(Zr,Ti)O_3$  薄膜に匹敵する絶縁性を実現することができた。

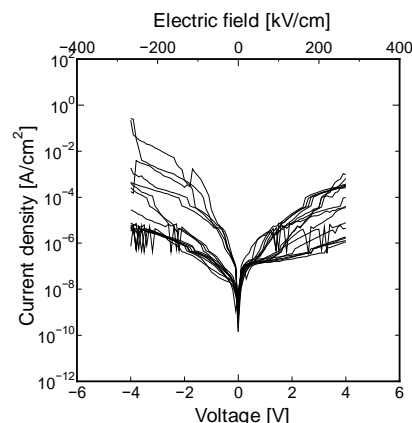


図 4 正規組成  $BiFeO_3$  薄膜の電流-電圧特性

### (4) ナノワイヤキャパシタ/ナノワイヤトランジスタの作製と評価

(2)で述べた ZnO NW 上に形成した  $(Hf,Zr)O_2$  薄膜を用いてナノワイヤキャパシタとナノワイヤトランジスタを作製した。図 5 に外周電極として ZnO を用いたナノワイヤキャパシタの SEM 写真を示す。外周 ZnO 電極は過剰に堆積させることで、その上部が結合するため、複数のナノ

ワイヤキャパシタが電氣的に並列接続された構造としている。また、ZnO 電極は直径 50-500 $\mu\text{m}$  のメタルマスクを介して堆積し、これを上部電極として電氣的特性が測定可能である。上部電極の直径が 50 $\mu\text{m}$  の場合、約  $10^5$  本のナノワイヤキャパシタの並列接続に相当し、表面積は投影面積の約  $10^2$  倍と見積られる。実際にこのようなキャパシタ構造を用いて測定した D-E 特性を図 6 に示す。ヒステリシスは観測されたものの、分極は予想される値よりも小さく、飽和も見られなかった。(Hf,Zr)O<sub>2</sub> 薄膜は強誘電性を示す直方晶に結晶化しており、絶縁性も比較的良好であったことから ZnO 電極の導電性が不十分であった可能性がある。

次に、(Hf,Zr)O<sub>2</sub> 薄膜と ZnO ナノワイヤをそれぞれゲート絶縁膜とチャネルとするナノワイヤトランジスタを作製した。ゲート電極として、NW 間に Ti を EB 蒸着法により充填後、Ti 電極からとびだした NW を除去することで、Ti/(Hf,Zr)O<sub>2</sub>/ZnO NW の断面を露出させ、ZnO NW に導電性 AFM 探針を接触させてドレイン電極とした。また、ZnO NW 下部の Pt をソース電極として、トランジスタ特性を測定した。ゲート電圧 +2V のとき、トランジスタは on 状態となり、ドレイン電圧 0.5V で約 50 pA のドレイン電流が観測された。一方、ゲート電圧がゼロもしくは負のときはドレイン電流はほとんど流れなかったことから、ゲート電圧によって ZnO NW のチャネルコンダクタンスが制御でき、n 型チャネルとして動作していることがわかる。しかし、強誘電体メモリとしての動作に必要な(Hf,Zr)O<sub>2</sub> 層の強誘電性分極によるチャネルコンダクタンスの保持は観測できず、(Hf,Zr)O<sub>2</sub> 層の分極が小さいことによるものと考えられる。

このように、ナノワイヤキャパシタおよびトランジスタ構造の作製には成功したものの、強誘電性に起因するメモリ特性の発現には至らなかったため、引き続き、(Hf,Zr)O<sub>2</sub> 層の配向性の調査と強誘電性向上に向けた組成や膜厚、作製プロセスの見直しを進めていく。また、NAND 構造形成のために、EB 蒸着法及びスパッタ法による NW 間への絶縁体層/導電体層の作製を行った。蒸着粒子の直進性を確保し、NW 側面への堆積を防ぐために、入射角度の調整やマスクを利用した堆積などを行ったが、NW 側面への薄膜堆積が避けられなかったため、気相法ではなく溶液法などによる充填手法について検討を進めていく。

#### (5) まとめ

本研究では、超高集積強誘電体メモリ実現へ向けたブレークスルーとして、ナノワイヤベースの強誘電体キャパシタ及びトランジスタを提案した。ZnO NW の選択成長の機構を明らかにするとともに、それらをテンプレートとしたナノワイヤキャパシタおよびトランジスタ構造の作製技術を確立した。また、ZnO 薄膜上での強誘電体(Hf,Zr)O<sub>2</sub> 薄膜の結晶化を明らかにするとともに、BiFeO<sub>3</sub> 薄膜の MOCVD 成長では成長機構の理解に基づき、Pb(Zr,Ti)O<sub>3</sub> に匹敵する絶縁性を実現した。強誘電体ナノワイヤキャパシタやナノワイヤトランジスタでは不十分ながら分極ヒステリシスやゲート電圧によるチャネルコンダクタンス変調は観察されたものの記憶動作に十分な強誘電性を得るには至らなかった。強誘電体ナノワイヤキャパシタおよびトランジスタを用いた超高集積強誘電体メモリの可能性を原理的には実証できたが、強誘電特性向上と NAND 構造形成に向けて引き続き研究を進める。

#### 5. 主な発表論文等

〔雑誌論文〕(計 4 件)

1. N. Yoshimura, H. Fujisawa, S. Nakashima and M. Shimizu, Composition control and introduction of an Fe<sub>2</sub>O<sub>3</sub> seed layer in metalorganic chemical vapor deposition of epitaxial BiFeO<sub>3</sub> thin films, Jpn. J. Appl. Phys. 58, 041003 (2019). (査読有) DOI: 10.7567/1347-4065/ab045f
2. H. Fujisawa, N. Yoshimura, S. Nakashima and M. Shimizu, Self-regulation of Bi/(Bi+Fe) ratio in metalorganic chemical vapor deposition of BiFeO<sub>3</sub> thin films, Jpn. J. Appl. Phys. 56 10PF05 (2017). (査読有) DOI: 10.7567/JJAP.56.10PF05
3. 藤沢浩訓・清水 勝・中嶋誠二, 「強誘電体ナノワイヤキャパシタの作製 ~ 高集積強誘電体メモリへの応用を目指して ~ 」, 信学技報, Vol. 116, No. 118, pp.15-20 (2016). (査読無) <https://www.ieice.org/ken/paper/20160629NbJk/>

4.

〔学会発表〕(計 24 件)

1. H. Fujisawa, M. Shimizu and S. Nakashima, Fabrication of (Hf,Zr)O<sub>2</sub> capacitors using ZnO

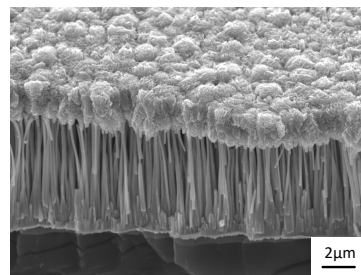


図 5 ZnO/(Hf,Zr)O<sub>2</sub>/ZnO ナノワイヤキャパシタの FE-SEM 写真

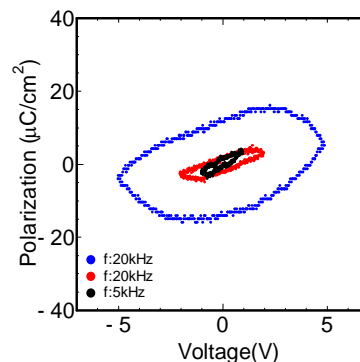


図 6 ZnO/(Hf,Zr)O<sub>2</sub>/ZnO ナノワイヤキャパシタの D-E 特性

- nanowires as a template, 2016 Joint IEEE International Symposium on the Applications of Ferroelectrics, European Conference on Applications of Polar Dielectrics & Workshop on Piezoresponse Force Microscopy (Technische Universität Darmstadt, ISAF/ECAPD/PFM) (Darmstadt, Germany, Aug. 21-25, 2016).
2. 竹内 洋平, 仲村 菜美, 藤沢 浩訓, 中嶋 誠二, 清水 勝, ZnO ナノワイヤ上への(Hf,Zr)O<sub>2</sub> 薄膜の作製, 平成 29 年(2017 年)第 64 回応用物理学会春季学術講演会講演予稿集, No. 17p-304-5 (2017)
  3. Y. Takeuchi, H. Fujisawa, M. Shimizu, and S. Nakashima, Fabrication of Ferroelectric Nanowire Capacitors by MOCVD, Abs. of The 6th International Symposium on Organic and Inorganic Electronic Materials and Related Nanotechnologies (EM-NANO 2017), PO<sub>3</sub>-14 (Fukui Prefectural Hall, Fukui, Jun. 18-21, 2017).
  4. Y. Takeuchi, H. Fujisawa, M. Shimizu and S. Nakashima, Fabrication of ZnO/HfO<sub>2</sub>/ZnO nanowire capacitors by MOCVD, Abs. of 6th International Conference on Informatics, Electronics & Vision (ICIEV) & 7th International Symposium in Computational Medical and Health Technology (ISCMHT), (University of Hyogo, Hyogo, Sep. 2-3, 2017).
  5. M. Shimizu, N. Yoshimura, H. Fujisawa, and S. Nakashima, Preparation of BiFeO<sub>3</sub> thin films by MOCVD, Abs. of The 14th International Meeting on Ferroelectricity (IMF2017), Tu-S-P-25, (San Antonio, Texas, USA, Sep. 4-8, 2017).
  6. H. Fujisawa, Y. Takeuchi, M. Shimizu, and S. Nakashima, Multi-shell nanowires including ferroelectrics, Abs. of The 14th International Meeting on Ferroelectricity (IMF2017), Tu-S-P-34, (San Antonio, Texas, USA, Sep. 4-8, 2017).
  7. H. Fujisawa, Y. Takeuchi, S. Nakashima, M. Shimizu, Fabrication of Ferroelectric HfO<sub>2</sub> Nanowire Capacitors by MOCVD, NM03.14.18, 2017 MRS Fall Meeting (Nov.26-Dec.1, 2017, Boston, MA, USA).
  8. M. Shimizu, Y. Takeuchi, H. Fujisawa, S. Nakashima, Fabrication of (Hf,Zr)O<sub>2</sub> Nanowire Capacitors with a Multilayered Core-Shell Structure, NM03.14.47, 2017 MRS Fall Meeting (Nov.26-Dec.1, 2017, Boston, MA, USA).
  9. 竹内 洋平, 兼松 宏行, 小高 雄哉, 福島 宏昌, 藤沢 浩訓, 中嶋 誠二, 清水 勝, ZnO ナノワイヤ上での Hf<sub>1-x</sub>Zr<sub>x</sub>O<sub>2</sub> 薄膜の結晶化, 平成 30 年(2018 年)第 65 回応用物理学会春季学術講演会講演予稿集, N19p-C104-5 (2018).
  10. 吉村 奈緒, 田中 拓人, 藤沢 浩訓, 中嶋 誠二, 清水 勝, BiFeO<sub>3</sub> 薄膜の MOCVD 成長における成膜圧力の影響, 平成 30 年(2018 年)第 65 回応用物理学会春季学術講演会講演予稿集, N19p-C104-10 (2018).
  11. N. Yoshimura, T. Tanaka, H. Fujisawa, S. Nakashima and M. Shimizu, "Growth Window in Metalorganic Chemical Vapor Deposition of BiFeO<sub>3</sub> Thin Film", Abs. 2018 ISAF-FMA-AMF-AMEC-PFM Joint Conference (IFAAP2018), No.28pm-D03 (Hiroshima Japan, May 27 - June 1, 2018).
  12. Y. Takeuchi, Y. Kotaka, H. Kanematsu, H. Fukushima, H. Fujisawa, M. Shimizu and S. Nakashima, Fabrication of Nanowire Capacitors Including Ferroelectric (Hf,Zr)O<sub>2</sub>, Abs. 2018 ISAF-FMA-AMF-AMEC-PFM Joint Conference (IFAAP2018), No.29pm-B04 (Hiroshima Japan, May 27 - June 1, 2018).
  13. N. Yoshimura, T. Tanaka, H. Fujisawa, S. Nakashima and M. Shimizu, "Metalorganic chemical vapor deposition of BiFeO<sub>3</sub> thin films using FeO<sub>x</sub> seed layer", Abs. 12th Japan-Korea Conference on Ferroelectricity (JKC-FE12) P-51 (Aug. 5-8, 2018, Nara).
  14. 吉村 奈緒, 藤沢 浩訓, 中嶋 誠二, 清水 勝, Fe<sub>2</sub>O<sub>3</sub> シード層が BiFeO<sub>3</sub> 薄膜の MOCVD 成長に及ぼす影響, 平成 30 年第 79 回応用物理学会秋季学術講演会講演予集, 論文 No. 19a-133-5 (2018).
  15. 福島 宏昌, 藤沢 浩訓, 中嶋 誠二, 清水 勝, Al-doped ZnO(10-10)/sapphire(10-10)上での (Hf,Zr)O<sub>2</sub> 薄膜の結晶化, 第 28 回日本 MRS 年次大会, A3-P19-003 (2018)
  16. 竹内 洋平, 藤沢 浩訓, 中嶋 誠二, 清水 勝, 選択成長させた強誘電体ナノワイヤキャパシタの電気的特性の評価, 第 28 回日本 MRS 年次大会, A3-P19-004 (2018)
  17. 藤沢 浩訓, 吉村 奈緒, 清水 勝, 中嶋 誠二, Fe<sub>2</sub>O<sub>3</sub> シード層を用いた MOCVD 法によるエピタキシャル BiFeO<sub>3</sub> 薄膜の作製, 第 34 回強誘電体応用会議講演予稿集, pp. 17-18, 01-T-01 (2019).

## 6. 研究組織

### (1) 連携研究者

連携研究者氏名：清水 勝, 中嶋 誠二

ローマ字氏名：(SHIMIZU masaru), (NAKASHIMA, sei ji)

科研費による研究は、研究者の自覚と責任において実施するものです。そのため、研究の実施や研究成果の公表等については、国の要請等に基づくものではなく、その研究成果に関する見解や責任は、研究者個人に帰属されます。