

科学研究費助成事業（基盤研究（S））公表用資料
〔平成31年度（2019年度）研究進捗評価用〕

平成28年度採択分
平成31年3月5日現在

脳型コンピューティング向けダーク・シリコンロジック LSI の基盤技術開発

Basic Research of a Dark-Silicon-Based Logic-LSI

Technology for Brainware Computing

課題番号：16H06300

羽生 貴弘 (HANYU, TAKAHIRO)

東北大学・電気通信研究所・教授



研究の概要

脳情報処理機能を模写して、動作に関与しない部分を自動的に待機状態とするダーク・シリコン LSI を実現する。非同期式回路にパワーゲーティング機能を効率良く搭載するため、Magnetic Tunnel Junction 素子を利用した不揮発性ロジック回路方式を考案し、実チップ試作&動作実証を通じて、実用的脳情報処理用 LSI 実現へ向けた基盤技術を示す。

研究分野：情報学

キーワード：計算機システム, 脳型コンピューティング, AI ハードウェア

1. 研究開始当初の背景

脳型コンピューティングは、人間の脳情報処理方式を真似ることで、実時間物体認識等に必要となる電力消費の大幅低減を実現する可能性を秘めている。しかしながら、その長所を十分に生かすためには、実際に処理を実行している局所部分のみで電力を消費する、極細粒度パワーゲーティングの実現が不可欠である。

2. 研究の目的

本申請研究では、実際に処理を実行している局所部分のみで電力を消費する極細粒度パワーゲーティング機能を、非同期式回路構造に持たせるために、その動作原理を明らかにすると共に、MTJ(Magnetic Tunnel Junction)素子に基づく回路実現と、試作チップによる実証を行うことで、脳型コンピューティング向けダーク・シリコンロジック LSI の基盤技術を開発する。また、脳型コンピューティングへの応用例として、開発した試作チップによる視覚情報処理システムの構成と評価を行う。

3. 研究の方法

ゲート単位電源瞬断可能なダーク・シリコン非同期ロジック LSI 基盤技術 (図1) を構築し、原理実証するため、以下の項目について研究開発する：

- 1)ダーク・シリコン非同期基本論理ゲートの構成とその小規模演算回路の設計、並びに CMOS 等価集積回路による原理動作検証 (H28年度～H29年度)。
- 2)不揮発デバイスを実装したダーク・シリコ

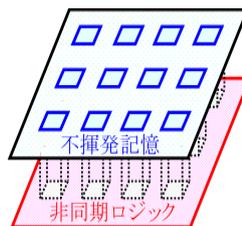


図1 提案のダーク・シリコンロジック LSI 実現のイメージ。

ン非同期基本論理ゲート集積回路の設計・試作とその原理動作実証 (H29年度～H30年度)。

- 3)ダーク・シリコン非同期論理ゲートを用いた低次視覚情報処理システムの構成とその性能評価 (H30年度～H32年度)。

4. これまでの成果

ゲート単位電源瞬断可能なダーク・シリコン非同期ロジック LSI 基盤技術を構築し原理実証するため、ダーク・シリコン非同期基本論理ゲートの構成、並びに CMOS 等価集積回路による原理動作検証を行った。ダーク・シリコン非同期基本論理ゲートを実現するにあたり、ハードウェアコストが少なく、かつ遅延変動耐性を有する Single Track 回路方式の不揮発化を行った。Single-Track 回路方式は nMOS ロジック部を変更すれば任意の論理演算機能がプログラムでき、非同期制御を実行するため、演算機能に加え状態記憶 (トークン) 機能が内蔵されている。この内

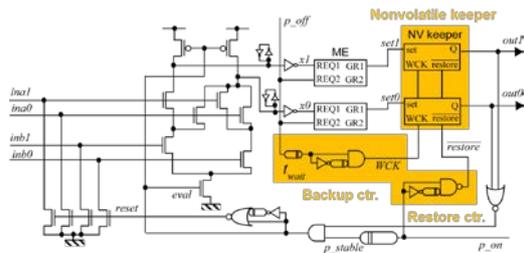


図2 CMOS/MTJ ダーク・シリコン非同期基本論理ゲート。

部状態と出力側の状態（出力クリア検出部）により、入力信号をリセット（次の入力信号の取り込み準備）し、自律的に演算を実行する仕組みである。これにより、各ゲート内蔵の小型記憶素子を不揮発記憶素子に置き換え、適切に制御して、動作中の回路を任意の時点でパワーオン・オフできることとなる。

不揮発記憶素子としては、書込み遅延・電力、書込み回数、CMOS 親和性を考慮し、磁気トンネル接合 (MTJ) 素子を使用することで、不揮発記憶素子は CMOS 直上に形成できるので、記憶機能を分散化配置しても回路オーバーヘッドは極めて少ない形で実装できる(図2)。ゲート単位電源瞬断可能な構造により、その省電力性をシミュレーションにより評価を行った研究結果は、非同期式回路とシステムに関する世界最高峰の国際学会 ASYNC2017 に採択となった[4]。

また、CMOS 等価集積回路のチップ試作にも同時に取り組んだ。不揮発デバイスである MTJ 素子を、CMOS 等価回路で近似動作を実現するために、揮発動作を行う組み合わせ回路部分と不揮発動作を行う記憶部分の電源を分離した回路構造の提案を行った。回路がアイドル時に組み合わせ回路部分を電源遮断する際、不揮発動作を行う記憶部分の電源のみを ON 状態にすることで、CMOS 等価回路で不揮発回路の近似動作に成功した。この研究成果は SASIMI2018 において発表を行い[3]、CMOS/MTJ ダーク・シリコン不揮発回路のチップ試作に向けた問題点等の検証を行った。

5. 今後の計画

上記の研究成果の一方で、LSI 製造ラインのトラブル発生に伴い、AI ハードウェアの基本ゲートとして考案した、非同期式制御に基づく不揮発ロジック回路の LSI チップ試作が当初計画から約 1 年半の遅れを生じてしまった。そのため、当初の計画では、試作した LSI チップを動作実証を通じて、その問題点等を解析し解決策等を検討した上で、再度、改良した LSI チップ（ただし、民間等の CMOS 製造ラインを利用した、オール CMOS 型 LSI にて試作する LSI チップ試作）を再設計 & LSI 製造チップ試作し、その動作実証を行う

計画だった。まず、設計した不揮発ロジック LSI が本年（2019 年）3 月に納品予定。ただし、計画の遅れを少しでも取り戻すため、動作実証 & 問題点抽出を加速して実施する必要がある。そこで、計画では 2 回目の改良型 LSI チップ試作を H31 年度から実施する予定でしたが、研究員を追加で雇用し、その研究員の補助の下で、試作した不揮発ロジック LSI チップの問題点抽出しと、その解決策を加速させることとする。

加えて、応用展開を検討する上で重要なポイントが非同期式制御するロジック回路ブロックの粒度（基本ゲートの規模）である点に着目。この観点より、不揮発ロジック回路に基づく AI ハードウェアのシステム実現へ向け取り組む。既に、システム実現へ向けた基本構造に関する下調べは済ませており、H31 年度より、その本格的なシステム構成に取り組むと共に、著名国際会議を念頭とした学会発表を積極的に進める予定である。

6. これまでの発表論文等（受賞等も含む）

- [1] N. Onizawa, M. Imai, T. Yoneda, and T. Hanyu, “MTJ-Based Asynchronous Circuits for Re-Initialization Free Computing against Power Failures,” *Microelectronics Journal*, vol.28, pp. 46-61, Dec. 2018.
- [2] J.-P. Diguët, N. Onizawa, M. Rizk, M. J. Sepulveda, A. Baghdadi, and T. Hanyu, “Networked Power-Gated MRAMs for Memory-Based Computing,” *IEEE Trans. on VLSI Systems*, vol.26, no.12, pp. 2696-2708, Dec. 2018.
- [3] M. Imai, N. Onizawa, T. Hanyu, and T. Yoneda, “Minimum Power Supply Asynchronous Circuits for Re-initialization Free Computing,” *21st Workshop on Synthesis And System Integration of Mixed Information Technologies*, pp. 283-288, Mar. 2018.
- [4] N. Onizawa, M. Imai, T. Hanyu, and T. Yoneda, “MTJ-Based Asynchronous Circuits for Re-initialization Free Computing against Power Failures,” *23rd IEEE International Symposium on Asynchronous Circuits and Systems (ASYNC)*, pp. 118-125, May 2017.
- [5] T. Hanyu, D. Suzuki, N. Onizawa, and M. Natsui, “Three-Terminal MTJ-Based Nonvolatile Logic Circuits with Self-Terminated Writing Mechanism for Ultra-Low-Power VLSI Processor,” *Design, Automation & Test in Europe (DATE)*, pp. 548-553, Mar. 2017.

7. ホームページ等

<http://www.ngc.riec.tohoku.ac.jp>
hanyu@riec.tohoku.ac.jp