

令和 5 年 6 月 9 日現在

機関番号：11301

研究種目：基盤研究(S)

研究期間：2016～2020

課題番号：16H06300

研究課題名(和文)脳型コンピューティング向けダーク・シリコンロジックLSIの基盤技術開発

研究課題名(英文)Fundamental Technology Development of Dark-Silicon Logic LSI for Brain-Inspired Computing

研究代表者

羽生 貴弘 (Hanyu, Takahiro)

東北大学・電気通信研究所・教授

研究者番号：40192702

交付決定額(研究期間全体)：(直接経費) 127,100,000円

研究成果の概要(和文)：本研究課題では、実際に処理を実行している局所部分のみで電力を消費する極細粒度パワーゲーティング機能(この結果、シリコンLSI内に無駄な電力消費を引き起こさない「ダークな」シリコンLSIの動作が実現される機能)を、非同期式回路の動作原理を活用して実現できることをします。また、この動作原理を、MTJ(Magnetic Tunnel Junction)素子に基づく回路実現と、試作チップにより実証した。さらに、脳型コンピューティングへの応用例として、深層学習を利用した音声コマンド認識処理システムでの評価を行い、提案方式の省電力性を評価した。

研究成果の学術的意義や社会的意義

近年、人工知能(AI)の有用性が認知され、応用展開を加速する視点から、AIハードウェアの研究開発が盛んである。2016年以降、ISSCCなど著名な国際会議でもAIハードウェアが注目を浴びている。AIハードウェアでは処理の高速化と省電力化が要求される。高速化の常套手段が、メモリと演算器間を隣接配置した構造(in-memory構造)であり、省電力化の最有力な方法はパワーゲーティング(PG)技術である。本研究代表者らは、1990年代より、上記「in-memory」構造と「不揮発メモリ」活用のPG制御方法を示しており(1998年2月ISSCC等)、この成果が世界の集積回路分野に広く認知されたと言える。

研究成果の概要(英文)：In this research project, an ultra-fine grained power gating function that consumes power only in the local part where processing is actually executed (as a result, a "dark" silicon LSI operation that does not cause wasteful power consumption in the silicon LSI). function to be realized) can be realized by utilizing the operating principle of the asynchronous circuit. In addition, this operating principle was verified by circuit realization based on MTJ (Magnetic Tunnel Junction) element and prototype chip. Furthermore, as an application example to brain computing, we evaluated the power saving performance of the proposed method by evaluating a voice command recognition processing system using deep learning.

研究分野：計算機システム工学

キーワード：脳型情報処理 非同期式回路 不揮発ロジック

様式 C-19、F-19-1、Z-19（共通）

1. 研究開始当初の背景

近年、人間の脳並み、もしくは一部機能は人間を凌駕する高度な認識・学習を実現する新型コンピューティング（つまり、脳型コンピューティング）に関する研究開発が盛んになっている。その典型例が2014年8月、米国IBM社が発表した脳型コンピューティング LSI「True North」である。人間の脳と従来型コンピュータ（例えば、スーパーコンピュータ；略して、スパコン）の決定的な違いはその電力消費効率である。人間の脳で実行しているような認識や学習は、スパコンでも実行可能であるが、スパコンによる同等の処理では電力消費が百万倍以上（106~107倍程度以上）必要となってしまう。True Northの貢献は、人間の脳情報処理方式を真似ることで、実時間物体認識等に必要となる電力消費の大幅低減に成功した点である。脳内情報処理では本質的に非同期式制御が利用されていることが知られており、True Northではこの非同期式制御を駆使している。

一方、ナノスケールレベルに至る材料・デバイスの微細加工技術の進展に伴い、VLSIチップの高性能化が達成された反面、電力消費は増大の一途を辿っている。特に、待機時電力（静的消費電力）の増大は著しく、2007年には、動的消費電力と同程度まで達している。非同期式制御に基づく脳型コンピューティングにおいても、実用規模のシステムを構築するためには、この問題を非同期式制御の長所を生かした形で解決する必要がある。

この消費電力増大問題に対して、材料・デバイス技術に依存しない低消費電力化手法として「パワーゲーティング」技術が知られている。パワーゲーティングでは、非稼働部の電源電圧を遮断するため電源電圧からグラウンドに至る電流リークパスが無くなり、本質的な待機時電力の低減が可能となる。そのため、現在の半導体集積回路・システムでは、パワーゲーティング手法を積極的に利用する試みがなされている。その典型例として、ダーク・シリコン（Dark Silicon; M. B. Taylor, DAC 2012）がある。ダーク・シリコンでは、VLSIチップ内の稼働部位を動的に変更し、エネルギー消費最小化を図っている。そこで、実用規模の脳型コンピューティングシステムを実現するためには、実際に処理を実行している局所部分のみで電力を消費する、極細粒度パワーゲーティングの実現が不可欠であると考えに至った。

2. 研究の目的

本研究では、実際に処理を実行している局所部分のみで電力を消費する極細粒度パワーゲーティング機能を、非同期式回路構造に持たせるために、その動作原理を明らかにすると共に、MTJ(Magnetic Tunnel Junction)素子に基づく回路実現と、試作チップによる実証を行う。また、脳型コンピューティングへの応用例として、開発した試作チップによる視覚情報処理システムの構成と評価を行う。これを実現するために、下記のような基本的アイデアを具体化する：

- 1)非同期式論理回路の一方式として、シングルトラック非同期回路方式(M. Ferretti, PhD thesis at Univ. of Southern California, USA, 2004年8月)が知られている。この方式は、一本の信号線の両端に接続されたゲートの入力側と出力側から、当該信号線をドライブすることで、要求・応答信号を双方向に伝搬させるというアナログ的な動作をするという特徴を持つ。そのため、人間の脳内のニューロンのモデル化に、より適している回路方式と考えられる。この方式では、原理的に各ゲートに超小型記憶素子を持つ。これを不揮発記憶素子に置き換え、適切に制御することで、動作中の回路を任意の時点でパワーオン・オフすることが可能となる。不揮発記憶素子としては、書込み遅延・電力、書込み回数、CMOS親和性を考慮し、磁気トンネル接合(MTJ)素子を使用する予定である。この場合、不揮発記憶素子はCMOS直上に形成できるので、記憶機能を分散化配置しても回路オーバーヘッドは極めて少ない形で実装できる。このようなアプローチにより、パワーゲーティング機能を付与した新しい非同期式基本ゲートを考案し、集積回路上で実証する。
- 2)脳型コンピュータの具体的事例として、視覚情報処理の例を取り上げ、その基本回路実現を行い、原理動作を実証する。ストカスティック演算では、基本論理演算子のみで脳型視覚処理に必要な複雑な算術演算が記述できる(IEEE Signal Proc. Letters, 2015掲載済)ため、上記提案手法の実証に適している。

3. 研究の方法

ゲート単位電源瞬断可能なダーク・シリコン非同期ロジックLSI基盤技術を構築し、原理実証するため、以下の項目について研究開発した：

- 1)ダーク・シリコン非同期基本論理ゲートの構成とその小規模演算回路の設計、並びにCMOS等価集積回路による原理動作検証(H28年度~H29年度)。
- 2)不揮発デバイスを実装したダーク・シリコン非同期基本論理ゲート集積回路の設計・試作とその原理動作実証(H29年度~H30年度)。
- 3)ダーク・シリコン非同期論理ゲートを用いた低次視覚情報処理システムの構成とその性能評価(H30年度~R2年度)。

4. 研究成果

[H28 年度] ゲート単位電源瞬断可能なダーク・シリコン非同期ロジック LSI 基盤技術を構築し原理実証するため、ダーク・シリコン非同期基本論理ゲートの構成、並びに CMOS 等価集積回路による原理動作検証を行った。ダーク・シリコン非同期基本論理ゲートを実現するにあたり、ハードウェアコストが少なく、かつ遅延変動耐性を有する Single Track 回路方式の不揮発化を行った。Single-Track 回路方式は nMOS ロジック部を変更すれば任意の論理演算機能がプログラムでき、非同期制御を実行するため、演算機能に加え状態記憶（トークン）機能が内蔵されている。この内部状態と出力側の状態（出力クリア検出部）により、入力信号をリセット（次の入力信号の取り込み準備）し、自律的（かつ非同期的）に演算を実行する仕組みである。この方式では、原理的に各ゲートに超小型記憶素子を持ち、これを不揮発記憶素子に置き換え、適切に制御することで、動作中の回路を任意の時点でパワーオン・オフすることが可能となる。不揮発記憶素子としては、書込み遅延・電力、書込み回数、CMOS 親和性を考慮し、磁気トンネル接合（MTJ）素子を使用することで、不揮発記憶素子は CMOS 直上に形成できるので、記憶機能を分散化配置しても回路オーバーヘッドは極めて少ない形で実装できる。提案回路の原理動作シミュレーションを行った研究成果等は、設計自動化に関する世界最高峰の国際会議である DATE2017 の招待講演において、研究成果発表を行った（学会発表 1）。

一方で、H29 年度に実施予定 CMOS/MTJ 回路のチップ試作に先駆けて、本年度は CMOS 等価回路のチップ試作を行うことで、CMOS/MTJ 回路のチップ試作における問題点等を洗い出す予定であった。しかしながら、回路シミュレーションに用いている MTJ 素子のモデルが、当初の予想に反し実際の物理特性とのマッチングが取れない条件が発見されたため、MTJ 素子モデルの CMOS 等価回路の再設計が必要となった。そのため、CMOS 等価集積回路のチップ試作費用（720 万円）を H29 年度に 8 ヶ月繰り越した。また、CMOS/MTJ 回路のチップ試作を行う本学国際集積エレクトロニクス研究開発センターとの連携を密に行うために、2016 年 11 月に池田正二教授と村口正和准教授を研究分担者として追加を行った。

[H29 年度] 前年度に提案を行った CMOS/MTJ ダーク・シリコン非同期基本論理ゲートを、算術演算回路などの大規模回路に適用することで、その有効性の検証を行った。ゲート単位電源瞬断可能な構造により、その省電力性をシミュレーションにより評価を行った研究結果は、非同期式回路とシステムに関する世界最高峰の国際会議である ASYNC2017 の oral session に採択となった（学会発表 2）。

また、前年度繰越しを行った CMOS 等価集積回路のチップ試作にも同時に取り組んだ。不揮発デバイスである MTJ 素子を、CMOS 等価回路上にて近似動作させるために、揮発動作する組合せ回路部分と不揮発動作する記憶部分の電源とを分離した回路構造を提案した。回路がアイドル（待機状態）時に組合せ回路部分の電源を遮断する際、不揮発動作を行う記憶部分の電源のみを ON 状態にすることで、CMOS 等価回路上でも不揮発回路の近似動作を模擬することに成功した。この研究成果は LSI 回路設計技術で著名な国際会議 SASIMI2018 にて発表を行い（学会発表 3）、CMOS/MTJ ダーク・シリコン不揮発回路のチップ試作に向けた問題点等の検証を行った。

一方、本年度実施予定であった CMOS/MTJ 回路のチップ試作では、MTJ 部分の試作が本学国際集積エレクトロニクス研究開発センター、CMOS 部分の試作が外部（国内半導体企業）の試作サービスで行う予定であった。しかしながら、外部の CMOS 試作サービスとの NDA 締結・契約後に取得した CMOS デバイスパラメータが、当初の予想に反して、現状の MTJ デバイスパラメータとのすり合わせが困難であることが判明した。そのため、CMOS/MTJ 回路のチップ試作費用（6,880 万円）を H30 年度へと 11 ヶ月繰り越した。また、研究分担者の村口正和准教授が他大学で異動となり、本学で行っている MTJ 試作業務への参画が困難となったため、研究分担者から外れた。

[H30 年度] 本年度は、前年度に試作した CMOS/MTJ 回路のチップ測定を通して、本提案回路であるダーク・シリコン非同期ロジックの有用性を示す予定であったが、前述の通り 11 ヶ月繰越しとしたため、現状では測定には至っていない状況である。そのため、チップ測定用ボードの試作費用（100 万円）を H31 年度に 6 ヶ月繰り越した。一方、元々 H30 年度～H32 年度（R2 年度）に計画していた、提案回路の脳型の低次視覚処理システムへの適用・評価を、試作チップ評価に先立って進めた。提案回路のシステム応用に向けて、大規模な算術演算回路における性能評価を行った研究成果は、Microelectronics Journal に採録となった（雑誌論文 1）。また、システムレベルでの CMOS/MTJ 回路の省電力性の評価に向けて、共同研究者である J.-P. Diguët 主任研究員（フランス・CNRS）のグループと共同で、SystemC によるソフトウェアプラットフォームの構築に取り組んだ。この研究成果は国際的な学術雑誌 IEEE TVLSI に採録された（雑誌論文 2）。

[H31 年度/R1 年度] 一昨年度試作完了予定であった CMOS/MTJ ロジック LSI だが、地震などの自然災害を含めた様々なトラブルにより、昨年度末に 11 ヶ月遅れてチップ試作が終了した。そのため、チップ測定結果から得られた知見を元に、本来の計画であれば本年度実施予定であった CMOS 等価回路の LSI チップの試作予定を変更し、シミュレーションによる提案回路の応用展開を加速させた。具体的には、共同研究者であるフランス CNRS の J.-P. Diguët 主任研究員のグループと共同で、脳型情報処理の一種である深層学習の推論処理の低消費電力を試みた。一般的に画像認識アプリケーションにおいては、深層学習ハードウェアの量子化がわずかな認識精度の低下で大幅な省電力化が実現されるに対して、音声認識等の他のアプリケーションにおいては、量子化により大幅な認識精度低下してしまう問題を見出した。そこで、提案の CMOS/MTJ 回路に基づく Multi-Context Ternary Content-Addressable Memory (MC-TCAM) を考案し、高い認識精度を保ちつつ大幅な省電力化が可能な Selective Computing Architecture を提案した。この研究

成果は、学術論文誌 Journal of Applied Physics 誌に採録されただけでなく（雑誌論文 3）、IEEE CAS Society Region 8 のフラグシップカンファレンスである 26th ICECS において Best Young Professionals Paper Award を受賞するに至った（学会発表 4）。

[R2 年度とそれ以降] 提案の CMOS/MTJ ロジック LSI の試作・測定が完了し、脳型情報処理システムの基本論理ゲート回路としての原理動作を確認した。また、大幅な低消費電力化が達成できると期待される極細粒度パワーゲーティング機能を、試作した実チップ上で動作を確認した。さらに、提案 CMOS/MTJ ロジック LSI の演算動作を模擬し、より大規模な演算システムを構築した際の提案手法の優位性を確認するため、通常の CMOS ロジック集積回路技術のみで CMOS/MTJ ロジックを模擬する方法を実施した。これは、MTJ を組み込んだ不揮発記憶部と CMOS 回路部との電源ラインを分割して電力消費を計測できる構造にて回路設計・回路構成を行えば、MTJ 記憶機能利用に起因した電力削減効果（つまり CMOS/MTJ ロジック LSI では原理的に CMOS 部だけの電力消費となるため）を模擬できるとの観点から取り組んだ。ただ、R2 年度に取り組んだ CMOS 製造ライン（65nm CMOS）での回路設計では、上述した電源ラインの分離がうまく出来ない（設計ツール側で電源ラインを共有化してしまう）ことが判明し、R3 年度から R4 年度に渡って CMOS チップ（ローム社製 1.8um CMOS 技術）の再設計・チップ試作に取り組んだ。このような CMOS 集積回路による CMOS/MTJ ロジック LSI の模擬 LSI チップについても、その基本動作を上記と同様に測定することで、提案 CMOS/MTJ ロジック LSI の省電力化性能について評価・実証を引き続き実施している段階である。また、脳型情報処理システムへの応用展開として、シミュレーションレベルで提案の CMOS/MTJ ロジック LSI の省電力性について評価を行う。具体的には提案回路の性能（速度・電力など）をモデル化し、適用する AI アプリケーションにおける電力削減効果について評価を行った。その結果、音声認識応用における深層学習ハードウェアにおいて従来手法と比較して 87% の電力削減を達成した（雑誌論文 4）。

主な発表論文等

〔雑誌論文〕（計 15 件）

1. N. Onizawa, M. Imai, T. Yoneda, and T. Hanyu, “MTJ-Based Asynchronous Circuits for Re-Initialization Free Computing against Power Failures,” *Microelectronics Journal*, vol. 28, pp. 46-61, Dec. 2018 (査読有)
2. J.-P. Diguët, N. Onizawa, M. Rizk, M. J. Sepulveda, A. Baghdadi, and T. Hanyu, “Networked Power-Gated MRAMs for Memory-Based Computing,” *IEEE Trans. on Very Large Scale Integration (VLSI) Systems*, vol. 26, no. 12, pp. 2696-2708, Dec. 2018 (査読有)
3. N. Onizawa, M. Imai, T. Yoneda, and T. Hanyu, “Design of an MTJ-based Nonvolatile Multi-Context Ternary Content-Addressable Memory,” *Journal of Applied Logics*, vol. 7, no. 1, pp. 89-105, Jan. 2020 (査読有)
4. R. Arakawa, N. Onizawa, J.-P. Diguët, and T. Hanyu, “Multi-Context TCAM-Based Selective Computing: Design Space Exploration for a Low-Power NN,” *IEEE Trans. on Circuits and Syst. I Reg. Papers*, vol. 68, no. 1, pp. 67-76, Jan. 2021 (査読有).
5. T. Hanyu, T. Endoh, D. Suzuki, H. Koike, Y. Ma, N. Onizawa, M. Natsui, S. Ikeda, and H. Ohno, “Standby-Power-Free Integrated Circuits Using MTJ-Based VLSI Computing,” *Proceedings of the IEEE*, vol. 104, no. 10, pp. 1844-1863, Oct. 2016. (査読有)

他、10 編。

〔学会発表〕（計 28 編）

1. T. Hanyu, D. Suzuki, N. Onizawa, and M. Natsui, “Three-Terminal MTJ-Based Nonvolatile Logic Circuits with Self-Terminated Writing Mechanism for Ultra-Low-Power VLSI Processor,” *Design, Automation & Test in Europe (DATE)*, pp. 548-553, March 2017. (査読有)
2. N. Onizawa, M. Imai, T. Hanyu, and T. Yoneda, “MTJ-Based Asynchronous Circuits for Re-initialization Free Computing against Power Failures,” *23rd IEEE International Symposium on Asynchronous Circuits and Systems (ASYNC)*, pp. 118-125, May 2017. (査読有)
3. M. Imai, N. Onizawa, T. Hanyu, and T. Yoneda, “Minimum Power Supply Asynchronous Circuits for

Re-initialization Free Computing,” 21st Workshop on Synthesis and System Integration of Mixed Information Technologies (SASIMI), pp. 283-288, Mar. 2018. (査読有)

4. R. Arakawa, N. Onizawa, and T. Hanyu, “Multi-Context TCAM-Based Selective Computing Architecture for a Low-Power NN,” Proc. 26th IEEE International Conference on Electronics, Circuits & Systems (ICECS) 2019, pp. 117-118, Nov. 2019. (査読有) (Ren Arawaka 氏 (指導教員: 羽生貴弘教授) が “Best Paper Award on Young Professionals” を受賞)

他、24 編。

以上

5. 主な発表論文等

〔雑誌論文〕 計15件（うち査読付論文 13件 / うち国際共著 8件 / うちオープンアクセス 1件）

1. 著者名 N. Onizawa, R. Arakawa, and T. Hanyu	4. 巻 7
2. 論文標題 Design of an MTJ-based Nonvolatile Multi-context Ternary Content-Addressable Memory	5. 発行年 2020年
3. 雑誌名 Journal of Applied Logics	6. 最初と最後の頁 89-105
掲載論文のDOI（デジタルオブジェクト識別子） なし	査読の有無 有
オープンアクセス オープンアクセスとしている（また、その予定である）	国際共著 -
1. 著者名 J.-P. Diguët, N. Onizawa, M. Rizk, M. J. Sepulveda, A. Baghdadi, and T. Hanyu	4. 巻 26
2. 論文標題 Networked Power-Gated MRAMs for Memory-Based Computing	5. 発行年 2018年
3. 雑誌名 IEEE Transactions on Very Large Scale Integration (VLSI) Systems	6. 最初と最後の頁 2696 - 2708
掲載論文のDOI（デジタルオブジェクト識別子） 10.1109/TVLSI.2018.2856458	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 該当する
1. 著者名 N. Onizawa, M. Imai, T. Yoneda, and T. Hanyu	4. 巻 82
2. 論文標題 MTJ-Based Asynchronous Circuits for Re-Initialization Free Computing against Power Failures	5. 発行年 2018年
3. 雑誌名 Microelectronics Journal	6. 最初と最後の頁 46 - 61
掲載論文のDOI（デジタルオブジェクト識別子） 10.1016/j.mejo.2018.10.012	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -
1. 著者名 D. Suzuki, M. Natsui, S. Ikeda, T. Endoh, H. Ohno, and T. Hanyu	4. 巻 53, 7
2. 論文標題 Design of a Variation-Resilient Single-Ended Nonvolatile 6-Input Lookup Table Circuit with a Redundant-MTJ-Based Active Load for Smart IoT Applications	5. 発行年 2017年
3. 雑誌名 Institute of Engineering Technology (IET), Electronics Letters	6. 最初と最後の頁 456-458
掲載論文のDOI（デジタルオブジェクト識別子） なし	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 該当する

1. 著者名 Naoya Onizawa and Takahiro Hanyu	4. 巻 56, 4S
2. 論文標題 Soft/Write-Error Resilient CMOS/MTJ Nonvolatile Flip-Flop Based on Majority-Decision Shared Writing	5. 発行年 2017年
3. 雑誌名 Japanese Journal of Applied Physics	6. 最初と最後の頁 04CF12-1-6
掲載論文のDOI (デジタルオブジェクト識別子) なし	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 該当する

1. 著者名 Masanori Natsui, Akira Tamakoshi, Tetsuo Endoh, Hideo Ohno, and Takahiro Hanyu	4. 巻 56, 4S
2. 論文標題 Fabrication of an MTJ-Based Nonvolatile Logic-in-Memory LSI with Content-Aware Write Error Masking Scheme Achieving 92% Storage Capacity and 79% Power Reduction	5. 発行年 2017年
3. 雑誌名 Japanese Journal of Applied Physics	6. 最初と最後の頁 04CN01~-1-5
掲載論文のDOI (デジタルオブジェクト識別子) なし	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 該当する

1. 著者名 Daisuke Suzuki and Takahiro Hanyu	4. 巻 56, 4S
2. 論文標題 Design of a Low-Power Nonvolatile Flip-Flop Using 3-Terminal Magnetic-Tunnel-Junction-Based Self-Terminated Mechanism	5. 発行年 2017年
3. 雑誌名 Japanese Journal of Applied Physics	6. 最初と最後の頁 04CN06-1-5
掲載論文のDOI (デジタルオブジェクト識別子) なし	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 該当する

1. 著者名 Takahiro Hanyu, Tetsuo Endoh, Daisuke Suzuki, Hiroki Koike, Yitao Ma, Naoya Onizawa, Masanori Natsui, Shoji Ikeda, and Hideo Ohno	4. 巻 104, 10
2. 論文標題 Standby-Power-Free Integrated Circuits Using MTJ-Based VLSI Computing	5. 発行年 2016年
3. 雑誌名 Proc. IEEE	6. 最初と最後の頁 1844-1863
掲載論文のDOI (デジタルオブジェクト識別子) 10.1109/JPROC.2016.2574939	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 該当する

1. 著者名 N. Onizawa, D. Katagiri, W. J. Gross, and T. Hanyu	4. 巻 15, 5
2. 論文標題 Analog-to-Stochastic Converter Using Magnetic Tunnel Junction Devices for Vision Chips	5. 発行年 2016年
3. 雑誌名 IEEE Trans. on Nanotechnology	6. 最初と最後の頁 705-714
掲載論文のDOI (デジタルオブジェクト識別子) 10.1109/TNANO.2015.2511151	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 該当する

1. 著者名 Ren Arakawa, Naoya Onizawa, Jean-Philippe Diguët, and Takahiro Hanyu	4. 巻 68
2. 論文標題 Multi-Context TCAM-Based Selective Computing: Design Space Exploration for a Low-Power NN	5. 発行年 2021年
3. 雑誌名 IEEE Transactions on Circuits and Systems I: Regular Papers	6. 最初と最後の頁 67 ~ 76
掲載論文のDOI (デジタルオブジェクト識別子) 10.1109/TCSI.2020.3030104	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 該当する

1. 著者名 Takahiro Hanyu	4. 巻 13
2. 論文標題 Prospects of Edge AI Hardware Using Nonvolatile Logic	5. 発行年 2020年
3. 雑誌名 IEICE ESS Fundamentals Review	6. 最初と最後の頁 269 ~ 276
掲載論文のDOI (デジタルオブジェクト識別子) 10.1587/essfr.13.4_269	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

1. 著者名 Daisuke Suzuki, Takahiro Oka, and Takahiro Hanyu	4. 巻 60
2. 論文標題 Design of an energy-efficient binarized convolutional neural network accelerator using a nonvolatile field-programmable gate array with only-once-write shifting	5. 発行年 2021年
3. 雑誌名 Japanese Journal of Applied Physics	6. 最初と最後の頁 SBBB07 ~ SBBB07
掲載論文のDOI (デジタルオブジェクト識別子) 10.35848/1347-4065/abe682	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

1. 著者名 夏井 雅典、羽生 貴弘	4. 巻 J104-C
2. 論文標題 不揮発記憶機能が拓く新概念ロジックLSI設計技術とその将来展望	5. 発行年 2021年
3. 雑誌名 電子情報通信学会論文誌C	6. 最初と最後の頁 185 ~ 192
掲載論文のDOI (デジタルオブジェクト識別子) 10.14923/transelej.2020JC10011	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

1. 著者名 Daisuke Suzuki, Takahiro Oka, Akira Tamakoshi, Yasuhiro Takako, and Takahiro Hanyu	4. 巻 12
2. 論文標題 Design framework for an energy-efficient binary convolutional neural network accelerator based on nonvolatile logic	5. 発行年 2021年
3. 雑誌名 Nonlinear Theory and Its Applications, IEICE	6. 最初と最後の頁 695 ~ 710
掲載論文のDOI (デジタルオブジェクト識別子) 10.1587/nolta.12.695	査読の有無 無
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

1. 著者名 Daisuke Suzuki, Takahiro Oka, and Takahiro Hanyu	4. 巻 61
2. 論文標題 Design of an active-load-localized single-ended nonvolatile lookup-table circuit for energy-efficient binary-convolutional-neural-network accelerator	5. 発行年 2022年
3. 雑誌名 Japanese Journal of Applied Physics	6. 最初と最後の頁 SC1083 ~ SC1083
掲載論文のDOI (デジタルオブジェクト識別子) 10.35848/1347-4065/ac51bf	査読の有無 無
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

〔学会発表〕 計28件（うち招待講演 15件 / うち国際学会 21件）

1. 発表者名 羽生貴弘
2. 発表標題 ポストCMOS回路技術が拓く脳型LSIの挑戦
3. 学会等名 日本磁気学会・第6回岩崎コンファランス（招待講演）
4. 発表年 2019年

1. 発表者名 N. Onizawa, W. J. Gross, and T. Hanyu
2. 発表標題 Stochastic computing for brainware LSI
3. 学会等名 IEEE ASYNC'19 Special Session (招待講演) (国際学会)
4. 発表年 2019年

1. 発表者名 荒川怜、鬼沢直哉、羽生貴弘
2. 発表標題 Approximate Computing応用高性能マルチコンテキスト(MC-)TCAMの構成
3. 学会等名 2019年度 電気関係学会東北支部連合大会
4. 発表年 2019年

1. 発表者名 Ren Arakawa, Naoya Onizawa, Jean-Philippe Diguët, and Takahiro Hanyu
2. 発表標題 Multi-Context TCAM Based Selective Computing Architecture for a Low-Paper NN
3. 学会等名 26th IEEE International Conference on Electrocnis, Circuits & Systems (ICECS) (国際学会)
4. 発表年 2019年

1. 発表者名 S. Mukaida, N. Onizawa, T. Hanyu
2. 発表標題 Design of a Low-Power MTJ-Based True Random Number Generator Using a Multi Voltage/Current Converter
3. 学会等名 ISMVL2018 (国際学会)
4. 発表年 2018年

1. 発表者名 T. Hanyu
2. 発表標題 Prospects of Nonvolatile Logic LSI Using MTJ/MOS-Hybrid Circuitry and Its Application
3. 学会等名 2018 International Conference on Solid State Devices and Materials (SSDM2018) (招待講演) (国際学会)
4. 発表年 2018年

1. 発表者名 T. Hanyu
2. 発表標題 Challenge of an MTJ-Based Non-Volatile Logic LSI for Internet-of-Things Application
3. 学会等名 Workshop on Next Generation Computing System (招待講演) (国際学会)
4. 発表年 2018年

1. 発表者名 羽生貴弘
2. 発表標題 ポストCMOS回路技術が拓くAIハードウェアの挑戦
3. 学会等名 デザインガイア2018 (招待講演)
4. 発表年 2018年

1. 発表者名 N. Onizawa, M. Imai, T. Hanyu, and T. Yoneda
2. 発表標題 MTJ-Based Asynchronous Circuits for Re-initialization Free Computing against Power Failures
3. 学会等名 23rd IEEE International Symposium on Asynchronous Circuits and Systems (ASYNC) (国際学会)
4. 発表年 2017年

1. 発表者名 M. Imai, N. Onizawa, T. Hanyu, and T. Yoneda
2. 発表標題 Minimum Power Supply Asynchronous Circuits for Re-initialization Free Computing
3. 学会等名 21st Workshop on Synthesis And System Integration of Mixed Information Technologies (SASIMI) (国際学会)
4. 発表年 2018年

1. 発表者名 T. Hanyu
2. 発表標題 Challenge of Spintronics-Based Nonvolatile Logic LSI and Its Possibility
3. 学会等名 Tohoku/SG-Spin workshop on Spintronics (招待講演) (国際学会)
4. 発表年 2018年

1. 発表者名 T. Hanyu
2. 発表標題 Challenge of Spintronic-Device-Based Nonvolatile Logic-in-Memory Architecture for Internet-of-Things Applications
3. 学会等名 世界トップレベル研究拠点 (材料科学・スピントロニクス) 合同キックオフシンポジウム (招待講演)
4. 発表年 2018年

1. 発表者名 羽生貴弘, 鈴木大輔, 鬼沢直哉, 夏井雅典, 遠藤哲郎, 大野英男
2. 発表標題 スピントロニクスが拓く新しいロジックLSIの展望
3. 学会等名 CSR年年度末シンポジウム (招待講演)
4. 発表年 2018年

1. 発表者名 T. Hanyu, D. Suzuki, N. Onizawa, and M. Natsui
2. 発表標題 Three-Terminal MTJ-Based Nonvolatile Logic Circuits with Self-Terminated Writing Mechanism for Ultra-Low-Power VLSI Processor
3. 学会等名 Design, Automation & Test in Europe (DATE) (招待講演) (国際学会)
4. 発表年 2017年

1. 発表者名 Masanori Natsui, Akira Tamakoshi, Tetsuo Endoh, Hideo Ohno, and Takahiro Hanyu
2. 発表標題 Highly Reliable MTJ-Based Motion-Vector Prediction Unit with Dynamic Write Error Masking Scheme
3. 学会等名 2016 International Conference on Solid State Devices and Materials (SSDM2016) (国際学会)
4. 発表年 2016年

1. 発表者名 Naoya Onizawa and Takahiro Hanyu
2. 発表標題 A Soft/Write-Error Resilient CMOS/MTJ Nonvolatile Flip-Flop Based on Majority-Decision Shared Writing
3. 学会等名 2016 International Conference on Solid State Devices and Materials (SSDM2016) (国際学会)
4. 発表年 2016年

1. 発表者名 Daisuke Suzuki and Takahiro Hanyu
2. 発表標題 A Self-Terminated Energy-Efficient Nonvolatile Flip-Flop Using 3-terminal Magnetic Tunnel Junction Device
3. 学会等名 2016 International Conference on Solid State Devices and Materials (SSDM2016) (国際学会)
4. 発表年 2016年

1. 発表者名 Tomohiro Yoneda, Naoya Onizawa, Masashi Imai, Takahiro Hanyu,
2. 発表標題 Power-Gated Single-Track Asynchronous Circuits Using Three-Terminal MTJ-Based Nonvolatile Devices for Energy Harvesting Systems
3. 学会等名 Async2016 Fresh ideas track (国際学会)
4. 発表年 2016年

1. 発表者名 Takahiro Hanyu
2. 発表標題 Impact of a nonvolatile multiple-valued circuit technique for energy-efficient binarized neural-network hardware
3. 学会等名 The 6th International Conference on Electronic Materials and Nanotechnology for Green Environment (ENGE2022) (招待講演) (国際学会)
4. 発表年 2020年

1. 発表者名 Takahiro Hanyu
2. 発表標題 Challenge of Nonvolatile Logic LSI for Edge AI Applications
3. 学会等名 U. of A. Research Cluster Forum (招待講演)
4. 発表年 2020年

1. 発表者名 羽生貴弘
2. 発表標題 不揮発性ロジックが拓く脳型コンピューティングの挑戦
3. 学会等名 第7回電子デバイスフォーラム京都 (招待講演)
4. 発表年 2020年

1. 発表者名 Takahiro Hanyu
2. 発表標題 Challenge of MTJ-Based Nonvolatile Logic-in-Memory Circuits and Their Applications
3. 学会等名 16th IEEE/ACM International Symposium on Nanoscale Architectures (招待講演) (国際学会)
4. 発表年 2021年

1. 発表者名 Takahiro Hanyu
2. 発表標題 Challenge of MTJ-Based Nonvolatile Logic-in-Memory Circuits and Their Applications
3. 学会等名 Joint Seminar of BRAIN INSPIRED COMPUTING, PHYSICS, ARCHITECTURES, MATERIALS AND APPLICATIONS (BICPAMA) (招待講演) (国際学会)
4. 発表年 2021年

1. 発表者名 Takahiro Hanyu
2. 発表標題 Prospects of MTJ-Based Nonvolatile Logic-in-Memory Circuits and Their Applications to AI Hardware
3. 学会等名 The 3rd International Symposium on AI and Electronics (招待講演) (国際学会)
4. 発表年 2022年

1. 発表者名 Daisuke Suzuki and Takahiro Hanyu
2. 発表標題 A Spintronics-Based Nonvolatile FPGA and Its Application to Edge-AI Accelerator
3. 学会等名 2022 IEEE 15th Int. Symposium on Embedded Multicore/Many-core Systems-on-Chip (MCSoc 2022) (国際学会)
4. 発表年 2022年

1. 発表者名 Daisuke Suzuki and Takahiro Hanyu
2. 発表標題 Design of an Energy-Efficient Nonvolatile Lookup Table Circuit Using Active-Load-Localized Circuitry with Self-Terminated Writing/Reading
3. 学会等名 2022 International Conference on Solid State Devices and Materials (SSDM 2022) (国際学会)
4. 発表年 2022年

1. 発表者名 Daisuke Suzuki, Takahiro Oka, and Takahiro Hanyu
2. 発表標題 A Memory-Access-Minimized BCNN Accelerator Using Nonvolatile FPGA with Only-Once-Write Shifting
3. 学会等名 IEEE 14th International Symposium on Embedded Multicore/Many-core Systems-on-Chip (MCSoc 2021) (国際学会)
4. 発表年 2021年

1. 発表者名 Daisuke Suzuki, Takahiro Oka, and Takahiro Hanyu
2. 発表標題 Design of an Energy-Efficient Nonvolatile-FPGA-Based BCNN Accelerator Using an Active-Load-Localized Single-Ended Circuit Style
3. 学会等名 2021 International Conference on Solid State Devices and Materials (SSDM 2021) (国際学会)
4. 発表年 2021年

〔図書〕 計1件

1. 著者名 Takahiro Hanyu, Tetsuo Endoh, Shoji Ikeda, Tadahiko Sugibayashi, Naoki Kasai, Daisuke Suzuki, Masanori Natsui, Hiroki Koike, and Hideo Ohno	4. 発行年 2016年
2. 出版社 Wiley-IEEE Press	5. 総ページ数 264
3. 書名 Beyond MRAM: Nonvolatile Logic-in-Memory VLSI, Chapter 7 in Book: Introduction to Magnetic Random-Access Memory	

〔出願〕 計2件

産業財産権の名称 不揮発性ラッチ装置及び不揮発性フリップフロップ装置	発明者 羽生貴弘, 鬼沢直哉, 大野英男	権利者 同左
産業財産権の種類、番号 特許、特開2018-107626	出願年 2018年	国内・外国の別 国内

産業財産権の名称 半導体装置	発明者 羽生貴弘, 望月明, 鬼沢直哉, 玉越晃, 大野英男	権利者 同左
産業財産権の種類、番号 特許、特開2017-123134(P2017-123134A)	出願年 2017年	国内・外国の別 国内

〔取得〕 計0件

〔その他〕

2019年5月に開催された非同期式回路技術に関する世界的に著名な国際会議（ASYNC 2019）にて、当該研究課題に関する「Special session」を提案&企画が採択。当該国際会議の集客数の増大へ貢献した。
詳細は以下のURLに記載：
<http://www.ngc.riec.tohoku.ac.jp/ASYNC2019WS/index.html>

6. 研究組織

	氏名 (ローマ字氏名) (研究者番号)	所属研究機関・部局・職 (機関番号)	備考
研究分担者	夏井 雅典 (Natsui Masanori) (10402661)	東北大学・電気通信研究所・准教授 (11301)	
研究分担者	米田 友洋 (Yoneda Tomohiro) (30182851)	国立情報学研究所・アーキテクチャ科学研究系・教授 (62615)	
研究分担者	今井 雅 (Imai Masashi) (70323665)	弘前大学・理工学研究科・教授 (11101)	
研究分担者	池田 正二 (Ikeda Shoji) (90281865)	東北大学・国際集積エレクトロニクス研究開発センター・教授 (11301)	

6. 研究組織（つづき）

	氏名 (ローマ字氏名) (研究者番号)	所属研究機関・部局・職 (機関番号)	備考
研究分担者	鬼沢 直哉 (Onizawa Naoya) (90551557)	東北大学・電気通信研究所・准教授 (11301)	
研究分担者	村口 正和 (Muraguchi Masakazu) (90386623)	北海道科学大学・工学部・准教授 (30108)	削除：2018年7月25日

7. 科研費を使用して開催した国際研究集会

〔国際研究集会〕 計1件

国際研究集会 25th IEEE International Symposium on Asynchronous Circuits and Systems: Special Session	開催年 2019年～2019年
---	--------------------

8. 本研究に関連して実施した国際共同研究の実施状況

共同研究相手国	相手方研究機関		
フランス	CNRS	IMT Atlantique	University of Southern Brittany