

令和元年5月21日現在

機関番号：16301

研究種目：基盤研究(C) (一般)

研究期間：2016～2018

課題番号：16K00074

研究課題名(和文)機能安全技術のための組込み自己診断法の開発

研究課題名(英文) Built-In Self Diagnosis for Functional Safety Assurance

研究代表者

高橋 寛 (Takahashi, Hiroshi)

愛媛大学・理工学研究科(工学系)・教授

研究者番号：80226878

交付決定額(研究期間全体)：(直接経費) 3,000,000円

研究成果の概要(和文)：本研究では、先進運転支援システムにおける機能安全規格準拠したシステムの信頼性を確保するために、パワーオン時や待機時の組込み自己テストに適用するマルチサイクルテストの故障検出率向上化法、および組込み自己診断機構(BISD)を提案する。具体的には、故障検出強化フリップフロップによる中間観測を導入したマルチサイクルテスト法を提案した。また、フィールドでの劣化による遅延故障箇所の特定を指向したBISDを開発した。提案機構は事前に生成した期待署名をメモリに持つことなく、動的に期待署名を生成しながら遅延故障診断テストを行う。

研究成果の学術的意義や社会的意義

本研究の成果は、先進運転支援システムなどの次世代システムの機能安全レベルの向上に対して意義がある。具体的には、車載集積回路におけるテスト時間の制約および組込み自己診断機構の付加回路面積の制約を満たして、故障検出率並びに故障診断分解能を向上できる仕組みを提案したことである。この研究の社会的な意義は、次世代システムの機能安全技術のための基盤を確立できたことである。また、研究成果の学術的な意義は、世界的にも競争的な研究領域であるが、提案手法の新規性並び有効性が高く評価されたので、本研究の成果が当該分野で最も権威のある論文誌に採録されたことである。

研究成果の概要(英文)：In order to ensure the reliability of the functional safety standard compliant system (ISO26262 standard) in the advanced driver assistance system (ADAS), we propose a new technique named Fault-Detection-Strengthened method that is applied to the multi-cycle test under the built-in self-test at the time of power on and standby. We also propose the Built-In for Self Diagnosis (BISD). Specifically, we propose the multi-cycle test method that introduces intermediate observation with the Fault-Detection-Strengthened flip-flops. We also developed a mechanism for BISD that is directed to the identification of delay failures due to field degradation. The proposed mechanism performs the delay fault diagnostic test while generating the expected signature dynamically without having the expected signature generated in advance in the memory.

研究分野：計算機システム

キーワード：故障検査 組込み自己診断 組込み自己テスト 機能安全

1. 研究開始当初の背景

次世代 Society5.0 のもとでの安全な道路交通社会の実現を目指すために、ドライバーの安全運転を助けるための「先進運転支援システム」の開発が進んでいる。先進運転支援システムの故障が原因となり発生する危険を低減し、機能安全規格を達成するためには、その構成要素である車載集積回路の高信頼化が必要不可欠である。しかしながら、車載集積回路の組み込み自己診断における次の課題の解決法ははまだ確立していない。

課題1: パワーオン時および待機時間内の組み込み自己テストにおいては、制限されたテスト時間内で所望の故障検出率を達成しなければならない。

課題2: 組み込み自己診断においては、テストパターン毎に被検査回路の個々の出力側フリップフロップの誤りの非検出または検出の情報(パス/フェイル情報)を利用することができない。また、故障診断に必要な情報を記憶するために回路に追加する記憶回路の容量には制限がある。

2. 研究の目的

パワーオン時の組み込み自己テストに適用するマルチサイクルテストにおける故障検出率を向上するために、中間観測のためのフリップフロップの構成を提案し、その中間観測フリップフロップの選択法を提案する。

疑似期待値に基づいて故障診断署名を求める組み込み自己診断機構を提案する。

提案する組み込み自己診断機構における故障診断署名を利用した組み込み自己診断法とその高精度化法を提案する。

3. 研究の方法

本研究では、以下のサブテーマにおいて研究を進めた。

パワーオン時の組み込み自己テスト(POST)に適用するマルチサイクルテストにおける故障検出率を向上するためのテスト容易化設計を開発する。具体的には、故障検出強化 FF を提案し、その置換法を提案する。評価実験では産業界から提供された大規模評価回路に対して提案法を適用し、テスト時間の削減を評価する。

フィールドでの劣化による遅延故障箇所の特定向向した組み込み自己故障診断(BISD)機構を開発する。具体的には、事前に生成した期待署名をメモリに持つことなく、動的に期待署名を生成しながら遅延故障診断テストを行うことができる BISD 機構を提案する。評価実験ではベンチマーク回路に対して提案 BISD 機構を適用し、面積オーバーヘッドを評価する。

パワーオンセルフテストの実行時間短縮のためのテスト集合分割法を提案する。また、組み込み自己診断の高精度化のために組み込み自己診断向けの診断用テストパターンの生成法を提案する。

半断線故障の検出能力の向上化のために、電磁界シミュレーションによって得られたデータに基づく機械学習の手法(マハラノビクス距離, サポートベクターマシン(SVM))を利用した半断線故障の識別法を提案する。

車載システム用の次世代のメモリコンピューティングデバイスのテスト法を提案する。

4. 研究成果

サブテーマ1)に対する成果: POST 機構を車載用マイクロコントローラ(MCU)に実装するために、製造テスト用に実装されるテスト容易化設計法を活用するために解決しなければならない課題について整理した。POST では、故障検出率、テスト時間、および消費電力の全てに制約が設定されており、それらの制約の下で MCU をテストしなければならない。しかしながら、故障検出率、テスト時間、およびテスト時の消費電力はそれぞれの間トレードオフ関係がある。そのため、次の制約と最適化を考慮したテスト法が必要である。

制約: 故障検出率および消費電力の要件を満たすこと、最適化: テスト時間(テストパターン数)を削減すること、最適化: テスト容易化設計期間を短縮すること

最近の大規模 MCU に対しても適用可能な POST を実現できるテスト法を提案するために、これらの制約と最適化を考慮しなければならない。

そこで本研究では、POST におけるマルチサイクルテストの問題を整理した。マルチサイクルテストにおける多数回のキャプチャ動作時に故障検出率向上の効果が得られない問題を解決する。具体的には、図1に示すようなマルチサイクルテストの中間観測機構を提案し、その高精度化のために次の二つの事項を提案した。

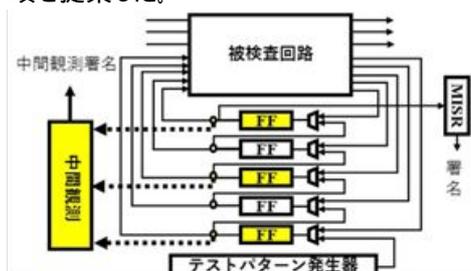


図1 マルチサイクルテストの中間観測機構

- 1) 中間観測のためのフリップフロップとして故障検出強化フリップフロップ, および
- 2) 故障検出強化フリップフロップに変換するフリップフロップの選択法

ここでは, 故障検出強化フリップフロップに変換するフリップフロップの選択法を述べる。
 基本的な戦略: 様々な回路構造を指標化し, その総合評価によって FF の順位付けを行う。

- 手法 1: ゲートと FF の接続の複雑性を評価する手法
 手法 2: 時間展開回路における故障の伝搬経路に基づく評価法
 手法 3: 分岐・再収斂構造に基づく評価法

さらに, これらの評価法によって計算された順位に対して, 多基準評価技法(TOPSIS)を適用する。

基本的な考え方は, 提案指標が高い FF において検出可能な故障が多いと推測されることである。

提案法を車載向け MCU (ゲート数が 270K ゲートであり, 15.1K 個のフリップフロップ) に対して適用し, その性能評価を行った。評価実験では, 20% の FF を故障検出強化 FF に変換した。提案法を用いて 90% の故障検出率を達成するために, 通常スキャンテストと比較して 6.8 倍のテストパターンの圧縮が可能であった。

サブテーマ 2) に対する成果: 提案組込み自己診断 (BISD) 機構は, スキャン挿入済み被診断回路 (CUD), 診断コントローラ (FTDC), TPG, RA, メモリ, 署名比較器により構成される。図 2 にその構成を示す。診断コントローラは外部からのシステムクロック (SCK) により動作し, Diag 信号によって診断モードとなった時にテスト設定の読み込みや回路全体の診断動作と, CUD, TPG, RA のクロック制御, スキャンイネーブル (SE) によるテストモード制御, メモリへのアクセスを行う。CUD のスキャン FF (SFF) は SE と, 実速度モード, 低速度モード, スキャンテストモードの 3 つのモードに切り替わる CK により制御される。CUD の外部入出力 (PI, PO) には境界スキャン設計が施され, 境界スキャン FF (BSFF) は SE, CK に加え外部入出力のバイパス制御を行う Bypass 信号により, バイパスモード, スキャン FF モードの 2 つのモードで制御される。

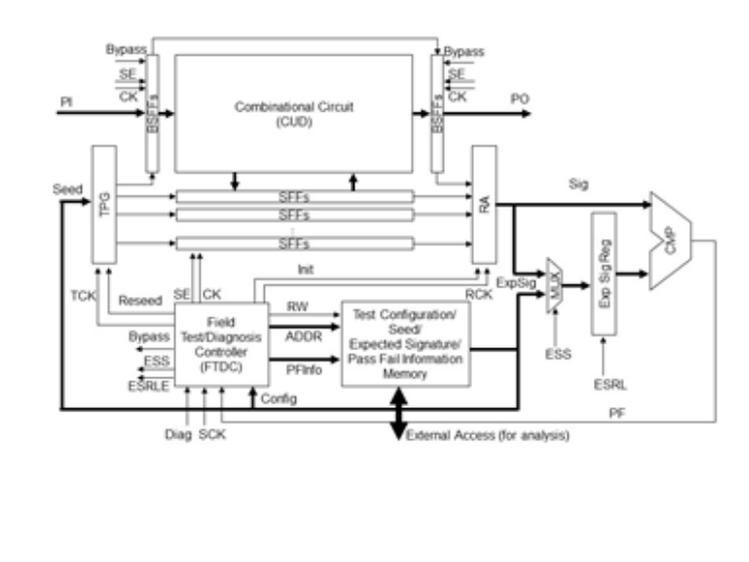


図 2 組込み自己診断機構の概要

提案 BISD 機構の診断コントローラ (FTDC) は始めにメモリからテスト設定を読み出す。次に通常の遅延故障検出テストを行い, 被診断回路に遅延故障が存在するか否かを判定する。遅延故障が存在しなければ診断の必要がないため動作を終了する。遅延故障が存在した場合, 低速度クロックで遅延故障診断テストを実行し, 署名と遅延故障診断テストの期待署名を比較することにより期待署名生成保証を行う。期待署名と署名が一致し, 期待署名の生成が保証された場合, 遅延故障診断テストを行う。遅延故障診断テストは指定された粒度で実施し, 各パスフェール情報をメモリに保存する。メモリの内容は外部から読みだしてパスフェール情報の解析を行う。

サブテーマ 3) に対する成果: 車載システムにおけるテスト実行時間の制約が強いフィールドテストに対するテスト集合分割法を提案した。図 3 にフィールドテストにおけるテスト分割法の概念を示す。テスト集合分割法において, 遺伝的アルゴリズム (GA), 焼きなまし法 (SA), サポートベクタマシン (SVM) を用いた手法を提案した。テスト集合分割法は, フィールドテストのために, テスト集合を分割し, 複数回のテストでテスト集合全体を印可するテストである。複数回に分けることで一回当たりのテスト時間を短くすることができ, システムが動作していない時間を利用したテストが可能である。しかしながら, 一つのテストパターンで検出できる故障は限られているため, テストパターンの組合せによって, 一組のテスト集合で検出できる故障箇所は異なるので, 提案する手法が必要である。表 1 には, GA, SA, および SVM に基づく方法によって分割されたテスト集合によって得られた故障が発生してから検出されるまでの時間 (故障検出時間) MTFD の評価結果を示している。

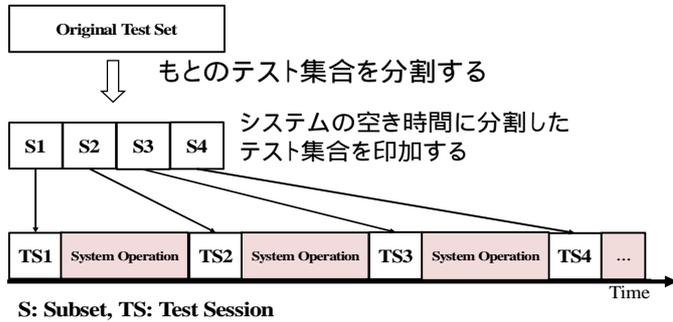


図3 フィールドテストにおけるテスト分割法のご概念

表1 GA, SA, SVMに基づくテスト集合分割法におけるMTFDの評価

回路	パターン数	4 分割			8 分割			16 分割		
		GA	SA	SVM	GA	SA	SVM	GA	SA	SVM
cs9234	174	0.211	0.206	0.208	0.162	0.171	0.176	0.162	0.169	0.165
cs38584	203	0.170	0.169	0.169	0.123	0.122	0.123	0.103	0.102	0.104

サブテーマ4) に対する成果: 外部出力だけでなくオンチップセンサーから得られた計測データに関して機械学習を適用して、故障の判別精度を向上化する方法を提案した。具体的には、機械学習(マハラノビス距離(MD)およびサポートベクターマシン(SVM))を適用した判別法を提案した。

提案法では、隣接3配線を対象に7パターンの入力信号を印加して得られる遅延量の特徴量としている。遅延量の解析には電磁界および回路シミュレータを用いて隣接線の信号遷移パターンを変化させた際の正常回路と故障回路における遅延量を故障箇所からの配線長、抵抗値を変化させて計算した。データ数は訓練データ, 正常データ, 故障データ, いずれも100として実験を行った。評価実験結果から図では、分解能ごとの判別率を示している(配線長 200, 抵抗値 1k)。図4から高い分解能ではMD, SVM共に高い判別率が得られたが、分解能が低くなると判別率も低下していることがわかった。

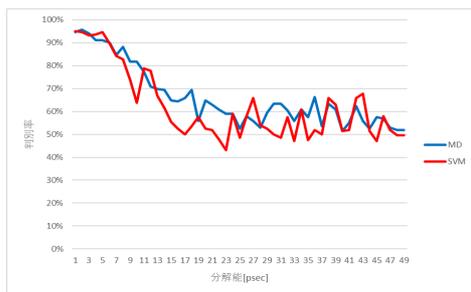


図4 オンチップセンサーの遅延分解能ごとの判別結果

サブテーマ5) に対する成果: 汎用メモリスルの相互接続で構成される再構成可能なデバイス(MRLD: Memory-based Reconfigurable Logic Device)が開発されている。MRLDは、従来の再構成可能デバイスであるFPGAとは構造が異なるメモリ機能と再構成機能によって構成されている。

MRLDでは、複数のMLUTがAD対(アドレス入力線とデータ出力線で相互接続)で相互接続されているため、製造不良によってAD対で接続欠陥が存在する可能性がある。そこで、本研究では、MRLDの基本構成要素であるSRAMセルで構成されたMLUT(Multi-output Look Up Table)間の相互接続配線(アドレス/データ線:AD対)における接続欠陥に対するテスト生成法を提案した。

ここでは、テストの基本的な考え方を述べる。MLUTは相互AD接続によってそれぞれ接続され、アドレス入力は隣接したMLUTの出力論理値からなる。AD対での接続故障が存在するならば、MLUTの異なる内容(論理データ)にアクセスし、アドレスの変化が生じる。そこでMLUTのSRAMにテストデータを記録し、MRLDの論理出力の変化を観測することで接続故障を検出する。縮退故障に対するテスト法の例を示す。例えば、MLUTが[A7:A0]と[D7:D0]AD対で構成され、アドレス入力A0に1縮退故障が生じている場合を考える。1縮退故障をテストするために、パターン[00000000]を[A7:A0]へ印加するとき、アドレス[00000001]の内容がデータ出力される。all-0のアドレスの内容が他のアドレスと異なるデータをMLUTのSRAMに書き込むことによって、故障を検出できる。

5 . 主な発表論文等

[雑誌論文](計 6 件)

Senling Wang, Tomoki Aono, Yoshinobu Higami, Hiroshi Takahashi, Hiroyuki Iwata, Yoichi Maeda, Jun Matsushima, "Capture-Pattern-Control to Address the Fault Detection Degradation Problem of Multi-cycle Test in Logic BIST", Proc. 27th IEEE Asian Test Symposium, 2018, 155-160
DOI: 10.1109/ATS.2018.00038

Senling Wang, Yoshinobu Higami, Hiroshi Takahashi, Hiroyuki Iwata, Yoichi Maeda, Jun Matsushima, "Fault-detection-strengthened method to enable the POST for very-large automotive MCU in compliance with ISO26262", Proc. 23rd IEEE European Test Symposium, 2018, 1-2
DOI: 10.1109/ETS.2018.8400707

Senling Wang, Yoshinobu Higami, Hiroshi Takahashi, Hiroyuki Iwata, Jun Matsushima, "Automotive Functional Safety Assurance by POST with Sequential Observation", IEEE Design & Test 35(3) 2018, 39-45
DOI: 10.1109/MDAT.2018.2799801

Wang Senling, Higami Yoshinobu, Takahashi Hiroshi, Sato Masayuki, Katsu Mitsunori, Sekiguchi Shoichi, "Testing of Interconnect Defects in Memory Based Reconfigurable Logic Device (MRLD)", Proc. 26th IEEE Asian Test Symposium, 2017, 13-18
DOI: 10.1109/ATS.2017.16

Hanan T. Al-Awadhi, Wang Senling, Higami Yoshinobu, Takahashi Hiroshi, "Pattern Partitioning based Field Testing for Improving the Detection Latency of Aging-induced Delay Faults", Proc. International Technical Conference on Circuits/Systems, Computers and Communications, 2017, 1-4
DOI:なし

Senling Wang, Hanan T. Al-Awadhi, Soh Hamada, Yoshinobu Higami, Hiroshi Takahashi, Hiroyuki Iwata, Jun Matsushima, "Structure-Based Methods for Selecting Fault-Detection-Strengthened FF under Multi-cycle Test with Sequential Observation", Proc. 25th IEEE Asian Test Symposium, 2016, pp. 209-214
DOI: 10.1109/ATS.2016.40

[学会発表](計 14 件)

高橋 寛,機能安全要求のためのテスト容易化設計法,情報処理学会 DA シンポジウム, 2018 (招待講演)

増成紳介,青萩正俊,王森レイ,樋上喜信,高橋寛,四柳浩之,橋爪正樹,機械学習を適用した半断線故障判別法の評価,電気関係学会四国支部連合大会,2018

青野智己,矢野良典,王森レイ,樋上喜信,高橋寛,マルチサイクルテストの故障検出率の低下を改善するためのキャプチャパターン制御法,電気関係学会四国支部連合大会,2018

矢野良典,青野智己,王森レイ,樋上喜信,高橋 寛,キャプチャパターン制御機構を付加したフリップフロップの選択法,電気関係学会四国支部連合大会,2018

平本悠翔郎,大竹哲史,高橋 寛,期待署名自己生成に基づく組込み自己診断機構,電子情報通信学会技術報告,2018

小川達也,王森レイ,高橋 寛,佐藤正幸,再構成可能デバイス MRLD のための接続欠陥テスト,情報科学技術フォーラム,2017

矢野 良典,王森レイ,樋上喜信,高橋 寛,可変サイクルテストのテスト圧縮効果,電気関係学会四国支部大会,2017

高原 圭太,王森レイ,樋上喜信,高橋 寛,マルチサイクルテストにおける故障検出率最大化のための電力制御法,電気関係学会四国支部大会,2017

青萩 正俊,増成 紳介,王森レイ,樋上喜信,高橋 寛,フィールドテストにおけるテスト集合分割法,電気関係学会四国支部大会,2017

松田 優太,王森レイ,樋上喜信,高橋 寛,組込み自己診断向けのテストパターン生成法,電気関係学会四国支部大会,2017

香川敬祐,矢野郁也,王 森レイ,樋上喜信,高橋 寛,大竹哲史,論理回路の組込み

自己診断に関する提案，電子情報通信学会技術報告，2016

高原 圭太，王 森レイ，樋上 喜信，高橋 寛，マルチサイクテストにおける FF の接続情報をういた中間観測 FF の選択法，電気関係学会四国支部大会，2016

濱田 宗，王 森レイ，樋上 喜信，高橋 寛，岩田 浩幸，松嶋 潤，中間観測 FF 選択法の大规模ベンチマーク回路に対する評価，電気関係学会四国支部大会，2016

矢野郁也，王 森レイ，樋上 喜信，高橋 寛，組込み自己診断におけるハードウェア制約の改善法，電気関係学会四国支部大会，2016

〔図書〕(計 0 件)

〔産業財産権〕

出願状況(計1件)

名称：回路診断テスト装置、及び回路診断テスト方法

発明者：大竹哲史，平本悠翔郎

権利者：国立大学法人大分大学

種類：特許(出願)

番号：特願 2019 - 027786

出願年：2019

国内外の別：国内

取得状況(計 0 件)

〔その他〕

ホームページ等：<http://larissa.cs.ehime-u.ac.jp/>

6 . 研究組織

(1) 研究分担者

研究分担者氏名：大竹 哲史

ローマ字氏名：Ohtake Satoshi

所属研究機関名：大分大学

部局名：理工学部

職名：教授

研究者番号(8桁)：20314528

研究分担者氏名：樋上 喜信

ローマ字氏名：Higami Yoshinobu

所属研究機関名：愛媛大学

部局名：理工学研究科(工学系)

職名：教授

研究者番号(8桁)：40304654

研究分担者氏名：王 森レイ

ローマ字氏名：Wang Senling

所属研究機関名：愛媛大学

部局名：理工学研究科(工学系)

職名：講師

研究者番号(8桁)：90735581

科研費による研究は、研究者の自覚と責任において実施するものです。そのため、研究の実施や研究成果の公表等については、国の要請等に基づくものではなく、その研究成果に関する見解や責任は、研究者個人に帰属されます。