

令和元年6月17日現在

機関番号：17301

研究種目：基盤研究(C) (一般)

研究期間：2016～2018

課題番号：16K00076

研究課題名(和文) FPGAコンピューティングにおける機能安全を考慮した設計基盤の構築

研究課題名(英文) Design Framework for Functional Safety on FPGA Computing

研究代表者

柴田 裕一郎 (SHIBATA, Yuichiro)

長崎大学・工学研究科・教授

研究者番号：10336183

交付決定額(研究期間全体)：(直接経費) 3,400,000円

研究成果の概要(和文)：プログラム可能なハードウェアであるFPGA(Field Programmable Gate Array)は、従来のコンピュータによるソフトウェア処理に比べて電力当たりの性能に優れており、発電所の制御システムの自動運転制御など、機能安全性が重要な分野への応用も期待されている。本研究では、FPGAの機能安全性を高めるため、多様性を導入した冗長設計手法を提案し、シミュレーションおよび実機実験でその効果を明らかにした。

研究成果の学術的意義や社会的意義

FPGAは電力効率の良い計算加速器としてすでにデータセンターなどで導入が進んでいるが、機能安全を考慮した設計手法に関する知見が乏しく、産業用インフラシステムや自動運転制御など高い信頼性が要求される分野での応用はあまり進んでいなかった。本研究で提案した手法では、設計者の負担を抑えつつ、従来の単純な同種冗長設計に比べてエラー検出率が向上することが可能であり、機能安全性の担保と設計生産性の向上を両立させる手法の基盤を与えたといえる。

研究成果の概要(英文)：Field programmable gate arrays (FPGAs), which are programmable hardware, are advantageous in terms of performance per power compared to software processing on traditional computer, and thus promising also in application fields requiring a high degree of functional safety such as control systems for power plants and self driving vehicles. In this work, aiming at increase in functional safety of FPGAs, redundant design approaches with diversity are proposed and the effectivenesses are revealed through simulations and real hardware experiments.

研究分野：コンピュータ工学

キーワード：FPGA 機能安全 冗長設計

様式 C - 19 , F - 19 - 1 , Z - 19 , CK - 19 (共通)

1 . 研究開始当初の背景

(1) 研究開始当初は , ターゲットアルゴリズムをハードウェア化し , FPGA (Field Programmable Gate Array) で高速に実行するリコンフィギャラブルコンピューティング技術の産業応用がまさに具体的に注目され始めた時期であった . Microsoft 社がデータセンター処理に FPGA を導入した他 , Intel 社は 2020 年までにはデータセンターのサーバの 3 分の 1 が FPGA を利用すると予想し , CPU と FPGA の混載チップの製造に着手していた . FPGA によるコンピューティングの利点は , その電力性能比の高さにあり , 研究代表者も当時既に , コンピュータビジョン , 電磁界解析 , バイオインフォマティクス , 海洋シミュレーションなどの分野において , FPGA コンピューティングの研究を行い , その有効性を示してきた . また , データセンターの省エネ化を目指したプロジェクトにも携わっていた .

(2) FPGA コンピューティングは , その電力性能比の高さを活かし , プラント制御などの産業インフラ分野やロボティクス分野など , 高い機能安全性が求められる分野への応用がますます進むものと予想された . 一般に , FPGA 上の回路の信頼性を向上させるには , 同じ機能モジュールの複製を併置する冗長設計が行われる . この場合 , 両モジュールの出力を比較することによって , 障害が発生した場合の異常を検出することが可能となる . しかし , この方法では共通要因 (例えば電源異常やクロック信号異常など) に対して両モジュールが同じ異常値を出力し , 異常を検出することができない . 機能安全規格 IEC-61508 では , このような共通要因故障に対応するために , 同一機能を実現する異なる構造を持った複数のモジュールの併置を求めている . 異なる構造を持つことで , 共通要因に対して , それぞれが異なる異常値を発生することによって検出が可能となる . このような手法は , 多様性を備えた異種冗長設計と呼ばれる . しかし , FPGA 上でどのように多様性を備えた異種冗長性を実現するべきか , それらがどのような効果をもたらすかについては , それまでほとんど顧みられないことがなく , 十分な知見が得られていなかった .

2 . 研究の目的

(1) 論理機能とハードウェア資源の対応には様々な多様性導入の可能性が考えられる . どのような手法がもっとも効果が高いのか , シミュレーションおよび実機実験を通して定量的に明らかにする .

(2) 冗長設計に多様性を導入することにより , 同一機能に対して異なる構造のモジュールが併置されることから , 全体の性能はもっとも遅いモジュールに制約される . この性能上のオーバーヘッドと多様性導入手法による効果のトレードオフ関係を明らかにする .

(3) 冗長設計は , 単一の論理機能の実現に複数のモジュールを設計する必要があることから , 設計者の負担が大きくなる . これは FPGA コンピューティングの課題の一つでもある開発生産性の低下にも繋がる . そこで , ユーザの負担を軽減しつつ機能安全性を意識した冗長設計が行える設計環境を構築する .

(4) 冗長設計の効果を実験的に評価するだけでなく , 多様性導入の効果を理論的に議論する基盤を構築することは , 産業応用の観点から意義深いと考えられる . 機能安全の観点から冗長設計の効果を理論的に考察する手法を検討し , その効果と課題を明らかにする .

3 . 研究の方法

(1) FPGA における論理機能とハードウェア資源の対応には様々な選択肢があるため , 多様性の導入手法にもさまざまな手法が考えられる . どのような手法がもっとも効果的かをシミュレーションおよび実機実験を通して明らかにするため , オーバークロックを共通要因障害とし異常検出率や遅延オーバーヘッドについて遅延モデルに基づくネットリストシミュレーションにより評価し , その得失を明らかにする . また , 多様性導入手法によってハードウェア資源の増加がどのように変化するかについても評価する .

(2) シミュレーションでは詳細なデータを評価することができるが , 手法の有効性を示すためには実機による検証も不可欠である . FPGA 実験ボードに外部から高周波波形発生装置を用いて定格以上のクロック信号を与え , 異常値を記録することのできる実験システムを構築することで , 実機によって冗長設計における多様性導入の効果を評価する .

(3) 冗長設計に係る設計者の負担軽減のアプローチとして , 論理合成ツールへのディレクティブを用いることで , ソースコードの修正量を最小限に抑える手法を評価する . また , ハードウェア機能を直接 FPGA に実現するのではなく , FPGA の論理構造と物理構造の間にオーバーレイアーキテクチャの層を設けることにより , 多様性導入の設計詳細をアプリケーション開発者から隠蔽するアプローチについて検討する . 高い機能安全が要求される産業用インフラ等においては , FBD (Function Block Diagram) を用いた設計が一般的であることを考慮し , FBD 記述を FPGA 回路に対応させるオーバーレイアーキテクチャを提案し , その得失を評価する .

4. 研究成果

(1) FPGA においては、同一の論理機能についても異なるハードウェア資源を対応させることができる点に着目し、この部分に多様性を導入することで機能安全性を高める異種冗長設計手法を提案し、その評価を行った。具体的には、加算や乗算などの演算機能を LUT を中心とした汎用論理ブロックで実現する構造と、専用演算器を備えた DSP ブロックで実現する構造を組み合わせることにより、多様性を備えた 2 重冗長設計を提案した。また、この設計手法がどの程度の効果を持つかを明らかにするために、共通要因障害としてシステムの温度異常による遅延変動を模擬する意味から、設計値以上の周波数を持つクロック信号の入力（オーバクロック）をもって評価した。動的タイミングシミュレーションによって単純な同種冗長設計とエラー検出率を比較したところ、47%の向上が得られることが明らかになった。また、提案手法の効果について、実際の FPGA チップをオーバクロックする実機実験による評価も行った。この結果、シミュレーションと同様に単純な同種冗長設計と比較して、エラー発生時における冗長モジュール間の出力差が 1.67 倍になり、エラー検出の容易性が向上することが示された。一方で、提案手法では LUT などの汎用論理素子を用いて演算器機能を実現するために、DSP ブロックのみで実現した設計と比較すると性能が低下した。そこで、粗粒度の乗算では複数の DSP ブロックが結合して乗算回路を構成することに着目し、DSP ブロック間の結合方法に多様性を導入する別の手法を提案した。シミュレーション結果より、一般的な同種冗長設計と同等の演算性能を維持したまま、エラー検出率を 29%向上できることが分かった。さらに、多様性を導入した冗長設計の手法が、FPGA に並列演算を実装する際のリソース使用バランスを改善するという副次的な効果を持つことも明らかにした。

(2) 冗長設計に論理関数単位の多様性を導入する効果が、システム全体に対してどのように影響するのかを平均故障間隔の理論解析により明らかにした。この結果、論理関数の連結数が大きくなるほど多様化の効果も大きくなり、共通故障割合の値が小さくなることが導かれ、一般的な制御回路の規模では提案手法の導入により平均故障間隔が 10 倍以上改善することを示した。これらの成果の一部は国際論文誌に発表した。また、とりわけ機能安全が重視される産業用制御機器への応用にあたっては、既存の設計環境による設計資産をどのように FPGA 設計に生かすかが課題となることから、産業用制御機器で広く用いられているファンクションブロックダイアグラム (FBD) 記述から高位合成を用いて FPGA 回路へ変換する手法に関する検討も行った。この結果、単純な高位合成ではハードウェア規模の面で大きな制約が生じることが分かった。そこで、FBD 記述をそのまま FPGA ハードウェアに変換するのではなく、中間的なアーキテクチャ構造を FPGA 上に設け、そのアーキテクチャ上へ FBD 記述をマッピングする手法を提案し、性能低下を抑制しつつハードウェア規模を削減する効果があることを明らかにした。

(3) 上記の異種冗長設計手法は、多様性導入の対象が組み合わせ回路に限定されていた。そこで、新たな順序回路向け異種冗長設計手法についても検討を行った。具体的には、順序回路を構成する一般的な枠組みであるステートマシン設計フローのうち、状態符号化のステップに着目し、同じ機能のステートマシンであっても異なる状態符号化を行うことで異なる回路が構成できることを利用した異種冗長設計手法を提案した。実験では異なる 4 種の符号化手法について、同一の状態符号化のステートマシンを多重化する従来型の同種冗長設計回路と、異なる状態符号化のステートマシンを組み合わせる提案手法による冗長設計回路を比較した。設計定格以上の周波数で動作させることで意図的なタイミングエラーを生じさせた場合に、冗長化によって誤動作を検出できる割合を評価したところ、従来の同種冗長設計では平均検出率が 48.78%であったのに対し、提案手法では 57.68%と向上し、状態符号化への多様性導入の効果が高いことが示された。また、ステートマシンの状態符号化は設計記述に指示句を 1 行挿入するだけで変更することができ、冗長設計における設計者の負担軽減が可能であることを示した。さらに、冗長構成を柔軟に変更するための効率的な動的部分再構成手法についても検討した。本研究期間全体では、上記のものを含めて FPGA の構造上の特性を活かした簡便かつ効果的な異種冗長設計手法を複数提案し、これらの効果を定量的に明らかにした。いずれも従来の同種冗長設計に比べてエラー検出率が向上することや冗長設計に係る設計者の負担を軽減できることを示した。

5. 主な発表論文等

[雑誌論文](計 11 件)

Takanori Itagawa, Ryo Kamasaka, Yuichiro Shibata, A simple heterogeneous redundant design method for finite state machines on FPGAs, *Advances in Intelligent Systems and Computing*, 査読有, vol.993, 2019 (掲載決定済)
https://doi.org/10.1007/978-3-030-22354-0_40

Shota Fukui, Yuichi Kawamata, Yuichiro Shibata, A Self-Partial Reconfiguration Framework with Configuration Data Compression for Intel FPGAs, *Advances in Intelligent Systems and Computing*, 査読有, Vol.993, 2019 (掲載決定済)
https://doi.org/10.1007/978-3-030-22354-0_39

福井 頌太, 川俣 裕一, 柴田 裕一郎, メモリ利用効率の良い自己動的再構成機構の検討,

電子情報通信学会技術研究報告, 査読なし, Vol.119, No.18, RECONF2019-5, 2019, pp.23-27
<https://www.ieice.org/ken/paper/20190509M1mW/>
川俣 裕一, 木田 智大, 柴田 裕一郎, 佐野 健太郎, FPGA 上での部分再構成を使用したストリーム向けクロスバの実装と検証, 電子情報通信学会技術研究報告, 査読なし, Vol.118, No.432, RECONF2018-64, 2019, pp.113-118
<https://www.ieice.org/ken/paper/20190131g1Ju/>
Kunihiro Ueda, Keisuke Dohi, Yuichiro Shibata, Light-Weight Fine-Grain Dynamic Partial Reconfiguration on Xilinx FPGAs, Advances in Intelligent Systems and Computing, 査読有, Vol.772, 2018, pp.518-526
https://doi.org/10.1007/978-3-319-93659-8_46
瀬川 泰誠, 柴田 裕一郎, 田中 雅晴, 森本 賢一, 丸田 英徳, 黒川 不二雄, FBD で記述された産業用制御演算向け FPGA オーバーレイアーキテクチャ, 電子情報通信学会技術研究報告, 査読なし, Vol.117, No.279, RECONF2017-44, 2017, pp.43-48
<https://www.ieice.org/ken/paper/201711070by9/>
Kenichi Morimoto, Yuichiro Shibata, Yudai Shirakura, Hidenori Maruta, Masaharu Tanaka, Fujio Kurokawa, Diversity Diagnostic for New FPGA Based Controller of Renewable Energy Power Plant, International Journal of Renewable Energy Research, 査読有, Vol.7, No.3, 2017, pp.1403-1412
<https://www.ijrer.org/ijrer/index.php/ijrer/article/view/6973/pdf>
Yuichiro Shibata, Yoshiki Hayashida, Ryo Fujita, Kiyoshi Oguri, Kiyoshi Oguri, Improving resource efficiency in an FPGA-based real-time image detection system with the FIND algorithm, 査読なし, Proc. International Conference on Science and Engineering, 2016
Taisei Segawa, Yuichiro Shibata, Yudai Shirakura, Kenichi Morimoto, Hidenori Maruta, Fujio Kurokawa, Masaharu Tanaka, Masanori Nobe, An Overlay Architecture for FPGA-Based Industrial Control Systems Designed with Functional Block Diagrams, Proc. the 20th Workshop on Synthesis And System Integration of Mixed Information Technologies, 査読有, 2016, pp.164-169
http://sasimi.jp/new/sasimi2016/files/archive/pdf/p164_R2-17.pdf
Yoshiki Hayashida, Masahito Oishi, Ryo Fujita, Yuichiro Shibata, Kiyoshi Oguri, An efficient FPGA implementation of co-occurrence feature calculation in FIND features, Proc. IEEE Symposium on Low-Power and High-Speed Chips, 査読有, 2016
Kenichi Morimoto, Yuichiro Shibata, Yudai Shirakura, Hidenori Maruta, Fujio Kurokawa, Masanori Nobe, Masaharu Tanaka, A new FPGA based green controller using modeling language, International Journal of Renewable Energy Research, 査読有, Vol.6, No.2, 2016, pp.715-722
https://www.ijrer.com/index.php/ijrer/article/view/4430/pdf_1

[学会発表](計10件)

Takanori Itagawa, Ryo Kamasaka, Yuichiro Shibata, A simple heterogeneous redundant design method for finite state machines on FPGAs, International Conference on International Conference on Complex, Intelligent, and Software Intensive Systems, 2019年(発表決定済)

Shota Fukui, Yuichi Kawamata, Yuichiro Shibata, A Self-Partial Reconfiguration Framework with Configuration Data Compression for Intel FPGAs, International Conference on International Conference on Complex, Intelligent, and Software Intensive Systems, 2019年(発表決定済)

福井 頌太, 川俣 裕一, 柴田 裕一郎, メモリ利用効率の良い自己動的再構成機構の検討, 電子情報通信学会リコンフィギャラブルシステム研究会, 2019年5月9日, 東京都目黒区
川俣 裕一, 木田 智大, 柴田 裕一郎, 佐野 健太郎, FPGA 上での部分再構成を使用したストリーム向けクロスバの実装と検証, 電子情報通信学会リコンフィギャラブルシステム研究会, 2019年

Yuichiro Shibata, Near-I/O reconfigurable computing for medical engineering, International Symposium on Computing and Networking CANREXI Workshop, 2018年(招待講演)

Kunihiro Ueda, Keisuke Dohi, Yuichiro Shibata, Light-Weight Fine-Grain Dynamic Partial Reconfiguration on Xilinx FPGAs, International Conference on International Conference on Complex, Intelligent, and Software Intensive Systems, 2018年

瀬川 泰誠, 柴田 裕一郎, 田中 雅晴, 森本 賢一, 丸田 英徳, 黒川 不二雄, FBD で記述された産業用制御演算向け FPGA オーバーレイアーキテクチャ, 電子情報通信学会リコンフィギャラブルシステム研究会, 2017年(優秀講演賞受賞)

Yuichiro Shibata, Yoshiki Hayashida, Ryo Fujita, Kiyoshi Oguri, Kiyoshi Oguri, Improving resource efficiency in an FPGA-based real-time image detection system with

the FIND algorithm, International Conference on Science and Engineering, 2016年(招待講演)

Taisei Segawa, Yuichiro Shibata, Yudai Shirakura, Kenichi Morimoto, Hidenori Maruta, Fujio Kurokawa, Masaharu Tanaka, Masanori Nobe, An Overlay Architecture for FPGA-Based Industrial Control Systems Designed with Functional Block Diagrams, The 20th Workshop on Synthesis And System Integration of Mixed Information Technologies, 2016年

Yoshiki Hayashida, Masahito Oishi, Ryo Fujita, Yuichiro Shibata, Kiyoshi Oguri, An efficient FPGA implementation of co-occurrence feature calculation in FIND features, IEEE Symposium on Low-Power and High-Speed Chips, 2016年

[図書](計3件)

三嶋 道弘, 藤田 和弘, 佐藤 寿倫, 小畑 正貴, 尼崎 太樹, 柴田 裕一郎, 林 豊洋, 西田 健, 田中 正行, 奥富 正敏, 栗田 裕二, 久保 信明, 山下 隆義, 金 天海, 米陀 佳祐, 椋田 悠介, 長井 隆行, 大川一也, 笠原 亮介, 磯川 悌次郎, 寺田 賢治 他, 技術情報協会, センサフュージョン技術の開発と応用事例, 2019, 262-269

Hideharu Amano, Motoki Amagasaki, Masahiro Iida, Tomonori Izumi, Yasunori Osana, Kentaro Sano, Yuichiro Shibata, Toshinori Sueyoshi, Hiroki Nakahara, Masanori Hariyama, Tsutomu Maruyama, Yukio Mitsuyama, Masato Motomura, Yoshiki Yamaguchi, Minoru Watanabe, Springer, Principles and Structures of FPGAs, 2018, 47-86

天野 英晴, 尼崎 太樹, 飯田 全広, 泉 知論, 長名 保範, 佐野 健太郎, 柴田 裕一郎, 末吉 敏則, 中原 啓貴, 張山 昌論, 丸山 勉, 密山 幸男, 本村 真人, 山口 佳樹, 渡邊 実, オーム社, FPGAの原理と構成, 2016, 61-107

6. 研究組織

(1)研究分担者
なし

(2)研究協力者
なし

科研費による研究は、研究者の自覚と責任において実施するものです。そのため、研究の実施や研究成果の公表等については、国の要請等に基づくものではなく、その研究成果に関する見解や責任は、研究者個人に帰属されます。