

令和元年6月7日現在

機関番号：34315

研究種目：基盤研究(C) (一般)

研究期間：2016～2018

課題番号：16K00085

研究課題名(和文) オンチップ太陽電池との混載に適した高効率昇圧回路

研究課題名(英文) Highly efficient voltage booster for embedded on-chip solar cells

研究代表者

越智 裕之(Ochi, Hiroyuki)

立命館大学・情報理工学部・教授

研究者番号：40264957

交付決定額(研究期間全体)：(直接経費) 3,500,000円

研究成果の概要(和文)：本研究では、動作に必要な電源を自給自足する超小型センサデバイスを極限的な低コストで実現するため、センサデバイスに必要な全ての構成要素を旧世代の廉価な標準的製造技術のみを使用した単一の集積回路チップ上に搭載するための要素技術を研究開発した。成果として、太陽電池の面積を圧迫しない小型で高効率な昇圧回路、不安定かつ低電圧な電源で動作可能な温度センサ、および超低消費電力な不揮発性メモリ素子といった有望な新しい要素回路を見出した。

研究成果の学術的意義や社会的意義

従来の昇圧回路はもっぱら変換効率を重視して大きな面積のキャパシタを使用するものが多かったが、我々は効率を損なわずに小面積化を達成する新たな昇圧回路を提案した。また、電源電圧変動に頑強な温度センサや一般の集積回路に容易に混載できる不揮発性メモリ素子など、ユニークな要素回路を提案した。これらにより、電源供給が不要で安価なセンサデバイスを大量に設置して情報を収集するIoT技術の発展に寄与することが期待される。

研究成果の概要(英文)：To realize an ultra-compact ultra-low-cost sensor device that operates without an external power supply, we conducted research and development of key technologies to implement all necessary components of a sensor device on a single integrated circuit chip that can be fabricated using a low-cost legacy process technology. As a result, we found promising new circuit components, including highly-efficient small-area boost circuit to leave space for on-chip solar cell, a temperature sensor that can operate with an unstable low-voltage power supply, and an ultra-low-power non-volatile memory element.

研究分野：情報学

キーワード：センサデバイス エナジーハーベスティング オンチップ太陽電池 超低電圧・超低消費電力回路 チャージポンプ型昇圧回路 不揮発性メモリ

## 様式 C - 19、F - 19 - 1、Z - 19、CK - 19 (共通)

### 1. 研究開始当初の背景

近年、センサネットワーク用の小型センサノードや体内埋め込み型の小型医療機器などの電源として、環境から得られるエネルギーを利用するマイクロエナジーハーベスティングが注目されている。これにより、バッテリーの充電や交換などをせずに半永久的に動作させることが可能になる。エネルギー源として、電磁波、振動、熱、光などが挙げられるが、特に光を利用する太陽電池は構造が単純であり、小出力のものであれば小型化が可能であるといった長所がある。例えば[a]は眼球埋込型の眼圧センサを開発しており、2枚のLSIチップやLi蓄電池を1mm<sup>3</sup>の樹脂で封止したハイブリッド構造となっている。上層のチップ上の0.07mm<sup>2</sup>の太陽電池で目から入る光エネルギーを電力として取り込み、眼圧測定および測定データの無線送信を行っている。文献[b]では皮下埋込型のセンサを試作しており、太陽電池とリングオシレータ等を同一のLSIチップ上に混載している(センサと送信用電極対は外付けする必要がある)。

このような超小型センサの電源として、通常のCMOSプロセスのPN接合が太陽電池として機能することは報告されてきたが、ダイオード単体では0.5~0.6V程度の起電力しか得られず[c]、例えばCMOSプロセス互換な不揮発性メモリ[d,e]の書き込み等に必要となる4.0V程度の電圧が得られない。バルクCMOSプロセスの単一のLSI基板上に同種の太陽電池を複数形成して直列接続しても、P基板を介して短絡してしまい、高電圧は得られない。文献[f,g]は異種の太陽電池を直列接続することを提案しているが、PNP型寄生バイポーラトランジスタによる漏れ電流のため著しく効率が損なわれる。

#### <参考文献>

- [a] G. Chen et al., "A Cubic-Millimeter Energy-Autonomous Wireless Intraocular Pressure Monitor," ISSCC 2011, pp.310-311, Feb. 2011.
- [b] S. Ayazian et al., "A Photovoltaic-Driven and Energy-Autonomous CMOS Implantable Sensor," IEEE T-BIOCAS, vol.6, no.4, pp.336-343, Aug. 2012.
- [c] N. Guilar, et al., "Integrated solar energy harvesting and storage," ISLPED'06, pp.20-24, 2006.
- [d] J.-G. Lee et al., "A 32-bit 16-program-cycle Nonvolatile Memory for Analog Circuit Calibration in a Standard 0.18 $\mu$ m CMOS," IEICE ELEX, vol.9, no.6, pp.477-483, Mar. 2012.
- [e] K. Tatsumura et al., "A pure-CMOS Nonvolatile Multi-context Configuration Memory for Dynamically Reconfigurable FPGAs," FPT 2014, pp.215-222, Dec. 2014.
- [f] J. Armer et al., "Method and Apparatus for Powering Circuitry with On-chip Solar Cells within a Common Substrate," US Patent US 7,098,394 B2, Aug. 29, 2006.
- [g] Y. Arima et al., "On-chip Solar Battery Structure for CMOS LSI," IEICE ELEX, vol.3, no.13, pp.287-291, July 2006.

### 2. 研究の目的

本研究では、マイクロエナジーハーベスティングで動作する超小型センサデバイスを極限的な低コストで実現することを目標とし、(1) 0.18 $\mu$ m世代の比較的廉価な標準CMOSプロセステクノロジーを使用し、(2) 組み立て(ワイヤボンディング)のコストも削減するためセンサノードに必要な全ての構成要素を単一のLSIチップ上に混載した外付け部品一切不要な無端子自給自足LSIの実現を目指す。図1はその例(データログ型センサデバイス)であり、チップ上のセンサで収集した情報をチップ上の不揮発性メモリに蓄積し、あとで非接触通信によりホストに送信する。電源はチップ上の太陽電池で生成する。このため各種センサは0.5V程度の不安定な電源での動作を前提としなければならない。またオンチップ太陽電池に必要なチップ面積を勘案し、面積単価が比較的低廉な0.18 $\mu$ m世代のプロセスを採用することから、低電圧、低消費エネルギーな回路の実現は容易ではない。また日没による電源供給停止に備えてデータを不揮発性メモリに蓄積する機構が必要であり、この書き込みに必要な高電圧を供給する昇圧回路も必要となる。この不揮発性メモリもポリシリコン層を1層しか持たない低廉な標準CMOSプロセスでの実現を目指す。

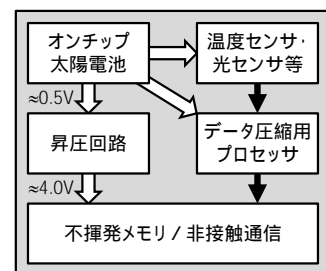


図1: 無端子自給自足LSIによるセンサデバイス

### 3. 研究の方法

(1) 0.5V程度の電圧から4.0V程度の高電圧を生成する高効率な昇圧回路として、研究代表者らが考案した2段階昇圧型チャージポンプ回路について、回路シミュレーションによる検討と試作チップの実測による評価を行った。チップ試作は東京大学大規模集積システム設計教育研究センター(VDEC)を通じ、ローム株式会社の0.18 $\mu$ mプロセスを使用して行った。検討にあたり、昇圧効率を損なわない範囲でチャージポンプ回路に使用されるキャパシタの面積を抑制して太陽電池に必要な面積を圧迫しないようにすることに主眼をおいた。また、チャージポンプ回路で使われる発振回路については、電源電圧や温度変動に頑強なものとする追求した。

(2) 0.5V 程度の不安定な電源電圧で動作可能な温度センサについて、回路シミュレーションによる検討と試作チップの実測による評価を行った。

(3) 標準 CMOS プロセスで製造可能な不揮発性メモリについて、回路シミュレーションやフィールドソルバによる検討と試作チップの実測による評価を行った。提案するメモリセルの閾値電圧を実測するため、閾値電圧測定のための回路を考案して試作チップに搭載した。実測にあたっては環境温度の変動の影響を排除するため、研究室で保有している恒温槽を使用した。

#### 4. 研究成果

(1) 0.5V 程度の電圧から 4.0V 程度の高電圧を高効率に生成する 2 段昇圧型チャージポンプ回路背景

オンチップ太陽電池で得られる 0.5V 程度の電圧を用い、不揮発性メモリの書き込み等に必要となる 4.0V 程度の電圧を生成するためにはチャージポンプ回路等の昇圧回路が必要であるが、従来の Cross-Coupled チャージポンプ回路は、1 段あたり 40pF のキャパシタを用いた場合でも 10 段昇圧しなければ 4V の出力を得ることは出来ず、総容量 800pF のキャパシタはチップ上の多大な面積を占有してしまい、オンチップ太陽電池と同一チップ上に載せることは困難であった。

##### 2 段昇圧型チャージポンプ回路

ここでは、図 2 のような 2 段昇圧型チャージポンプ回路を提案する。この回路は 2 つの Cross-Coupled チャージポンプ回路（前段 CC および後段 CC）を有し、前段 CC で昇圧された出力電圧を用いて振幅の大きいクロックを生成し、後段 CC を駆動する。これによりサブスレッショルド電圧で動作するチャージポンプ回路の段数を極力少なくし、高効率化を図る。

図 2 の RO は、0.5V の電源で動作するリングオシレータであり、電源電圧依存性を抑えるため、カレントスターブドインバータおよび 2R1T 型のバイアス回路 [h] で構成されている。前段 CC は Cross-Coupled チャージポンプ 1 段からなる昇圧回路である。前段 CC の出力をスレッショルド電圧（約 0.6V）以上にするために 1 段あれば十分である。図 2 のレベルシフタは、前段 CC で昇圧された電圧を利用し、

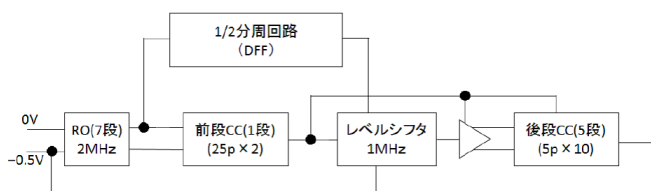


図 2: 2 段昇圧型チャージポンプ回路

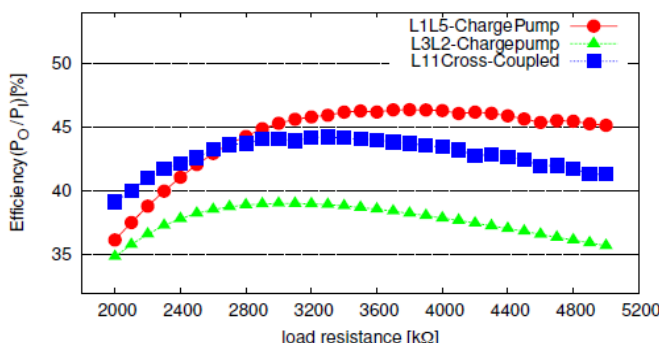


図 3: 提案する L1L5 型チャージポンプ回路の変換効率

振幅の大きいクロックを生成するためのものである。レベルシフタは低電圧で動作可能なものが必要であり、ここでは [i] のレベルシフタを採用した。後段 CC も、Cross-Coupled チャージポンプを採用した。クロック振幅が大きくスーパーサブスレッショルド領域で動作するため効率が良く、5 段あれば 4.0V 以上の電圧を出力することが可能である。

前段 CC から取り出せる電流は比較的小さいため、後段 CC のキャパシタやクロック周波数は前段より小さくする方が無駄が少ない。この観点から、キャパシタは前段 CC を 25pF としたのに対し後段 CC は 5pF とし、後段 CC に印加するクロックは 1/2 分周回路を用いて 1MHz とした。またサブスレッショルド領域で動作する前段 CC のトランジスタサイズは NMOS 12 $\mu$ m、PMOS 45 $\mu$ m とした。これに対し、スーパーサブスレッショルド領域で動作する後段 CC のトランジスタサイズは NMOS 3 $\mu$ m、PMOS 5 $\mu$ m とした。

##### 評価

ここでは、従来の Cross-Coupled チャージポンプ 11 段の昇圧回路（L11 型）、2 段昇圧型チャージポンプ回路で前段を 3 段、後段を 2 段としたもの（L3L2 型）、および 2 段昇圧型チャージポンプ回路で前段を 1 段、後段を 5 段とした提案手法（L1L5 型）を評価する。チャージポンプの効率はキャパシタの容量に左右されると同時に回路面積はキャパシタの総容量でほぼ決まるため、上の 3 つの回路を比較するにあたり、ここでは総容量を 100pF に制限した。予備実験を行い、L11 型は 22 個のキャパシタを各 4.55pF とし、L3L2 型は前段の 6 個のキャパシタを各 13.6pF、後段の 4 個のキャパシタを各 4.5pF とし、L1L5 型は前段の 2 個のキャパシタを各 25pF、後段の 10 個のキャパシタを各 5pF とした。

図 3 に上の 3 つの昇圧回路それぞれの負荷抵抗と電力効率の関係を示す。L1L5 型は負荷抵抗 3.8M $\Omega$  の時に電力効率が 46.4% で最大となり、このとき出力電圧は 4.11V が得られた。一方 L3L2 型は負荷抵抗 3.0M $\Omega$  の時に電力効率が 39.0% で最大となったが電圧は 3.66V であった。4V 以上の出力電圧が得られたのは負荷抵抗を 4.2M $\Omega$  以上にした時であり、この時の電力効率

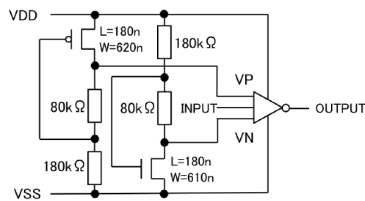


図 4: 基準 RO のバイアス回路

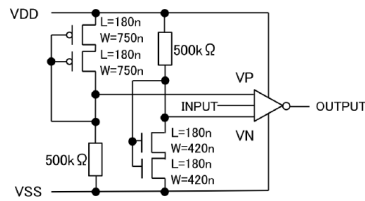


図 5: 電源電圧センサ用 RO のバイアス回路

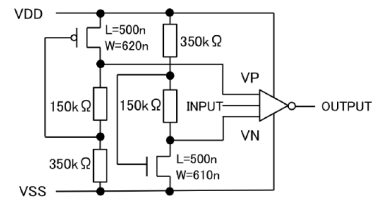


図 6: 温度センサ用 RO のバイアス回路

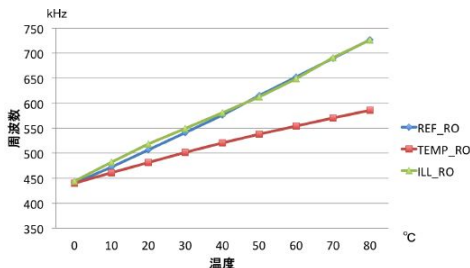


図 7: 3つの RO の温度特性

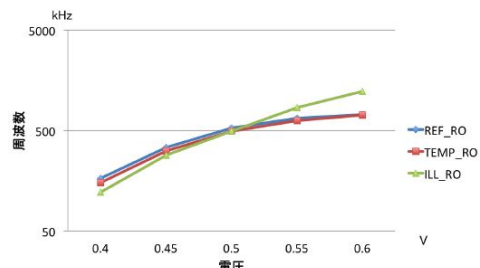


図 8: 3つの RO の電源電圧特性

は 37.5%であった。また、L11 型は負荷抵抗 3.3MΩ の時に電力効率が 44.2%で最大となったが出力電圧は 3.96V であった。4V 以上の出力が得られたのは負荷抵抗を 3.5MΩ 以上にした時であり、このときの電力効率は 44.1%であった。以上より、4V 以上の出力電圧を得た時の電力効率は提案する L1L5 型が最も高く、サブスレッショルド領域で動作する前段の段数をなるべく少なくすることが有効であることを示唆する結果が得られた。

## (2) 0.5V 程度の不安定な電源電圧で動作可能な温度センサ 背景

本研究では、低コストなセンサノードの実現を目指し、バッテリー、水晶振動子、外付けセンサ素子等の外部部品を一切使用せず、オンチップ太陽電池の電源のみによって動作する、標準 CMOS プロセスで実現可能な温度測定回路について考える。太陽電池混載チップではワンチップの太陽電池から最大で 0.55V 程度の電圧しか得られない問題点や、太陽電池に当たる光量によって得られる電力が変動する問題点がある。従って、オンチップ太陽電池を電源とするシステムでは、不安定な超低電圧でも動作する電圧変動補償がされた回路設計が必要となる。

### 提案する温度・電圧センサ

提案するセンサは、以下の 3 つのリングオシレータ(RO)で構成される。これらはいずれもカレントスターブドインバータ(CSINV)を奇数段環状接続したものであり、CSINV のバイアス回路により、所望の温度特性や電源電圧特性を持たせている。

第 1 の RO は、温度や電源電圧変動の影響を受けにくい基準 RO (REF\_RO)である。基準 RO のバイアス回路を図 4 に示す。第 2 の RO は電源電圧センサ用 RO (ILL\_RO)であり、電源電圧変動の影響を受けやすく、かつ温度特性が基準 RO に近いものである。この RO のバイアス回路を図 5 に示す。第 3 の RO は温度センサ用 RO (TEMP\_RO)であり、温度変動の影響を受けやすく、かつ電源電圧特性が基準 RO に近いものである。この RO のバイアス回路を図 6 に示す。

### 評価

図 7 に 3 つの RO の温度特性に関する回路シミュレーションの結果を示す。図 7 より、REF\_RO と ILL\_RO では周波数変化が非常に似た値となっており、また TEMP\_RO は REF\_RO とは異なる温度特性となった。

図 8 に 3 つの RO の電源電圧特性に関する回路シミュレーションの結果を示す。図 8 より、REF\_RO と TEMP\_RO は電圧変化による周波数変化が非常に似た値となっており、また ILL\_RO は REF\_RO とは異なる電源電圧特性を示している。

以上のように、提案する 3 つの RO により温度や電源電圧の変動を推定することができることを示唆する結果が得られた。

## (3) 標準 CMOS プロセスで製造可能な不揮発性メモリ 背景

オンチップ太陽電池を用いたマイクロエナジーハーベスティングにより半永久的に電力を自給自足できるセンサチップの研究が行われているが、このようなセンサチップでは夜間にデータを保持する不揮発性メモリが不可欠である。このとき、太陽光発電素子から得られる電力の絶対量が少ないことや、高コスト化につながる追加プロセスによる特殊な構造を用いないといった制約を満す必要がある。

標準 CMOS プロセスでは作ることができないダブルゲート構造を備えるフラッシュメモリ素



子を、キャパシタ素子とトランジスタ素子に分解し、それぞれを CMOS 互換素子またはそれに準ずるもので実現する既存研究がみられる [j,k]。それぞれの不揮発性メモリ素子で用いられている CMOS 互換キャパシタ素子および書き込み原理、特徴を表 1 に示す。文献 [j] のように高耐圧な MOS キャパシタを採用すると大きな面積が必要になる。また書き込みに CHEI 方式を採用すると、書き込み時の消費電流が数 mA オーダ必要になる。

表 1: 既存の標準 CMOS プロセス互換不揮発性メモリ

	Raszka 2004 [j]	Na 2006 [k]
使用キャパシタ	高耐圧 MOS キャパシタ	MIM キャパシタ
書き込み原理	Fowler-Nordheim (FN) トンネリング	Channel hot electron injection (CHEI)
特徴	高耐圧トランジスタ	書き込み中に数 mA オーダの電流が必要

### メタルフリンジキャパシタ FiCC

CMOS 互換なキャパシタ素子として、メタル配線間容量を積極的に活用したメタルフリンジキャパシタが挙げられるが、高集積な実装を行うと、他の配線や近接して配置された他のキャパシタとの間でクロストーク容量が生じやすい。こうした問題に対し、キャパシタ電極を内側と外側に分けることで、一般的なメタルフリンジキャパシタに比べ、キャパシタ外のメタルとのクロストーク容量を約 1/10 に抑えることができる Fishbone-in-Cage Capacitor (FiCC) というメタルフリンジキャパシタを提案する。FiCC の概略図を図 9 に示す。クロストークノイズの原因となる高周波、高振幅の信号が印加される電極またはクロストークノイズに弱いセンシティブな電極を内側電極とし、電位の安定したインピーダンスの低いネットを外側電極に接続することで、ファラデーケージのように内側端子をシールドするものである。

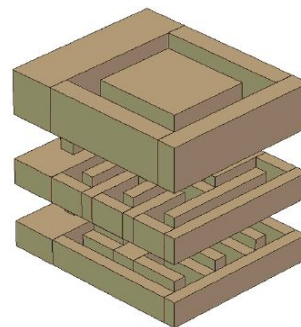


図 9: FiCC の概略図

### 提案するメモリ素子

フラッシュメモリのダブルゲート構造に相当するものを FiCC と NMOS トランジスタを用いて実現し、CMOS 互換な不揮発性メモリとしたものを提案する。提案メモリ素子の概要を図 10 に示す。トランジスタのゲート端子と FiCC の内側端子からなる配線は絶縁体によって外部から隔離されており、フローティングゲートの役割を果たしている。書き込みはフローティングゲートに電子を閉じ込めることで行い、書き込みを行うことで不揮発性メモリの閾値電圧が上昇する。また書き込みや消去には、消費電流が少ない FN トンネリングを採用する。

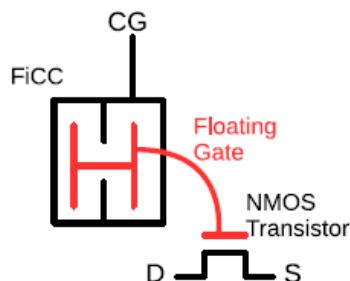


図 10: 提案するメモリ素子

### 閾値電圧測定回路

提案するメモリ素子の書き込み、消去、保持特性や、書き込み・消去の繰り返しに対する耐久性を明らかにするため、提案するメモリ素子の閾値電圧を測定する回路を提案する。この回路は、メモリ素子の閾値電圧によって遅延時間が変化するインバータを用いたリングオシレータであり、この発振周期を実測することでメモリ素子の閾値を求めることが可能である。リングオシレータのインバータ単体の略図を図 11 に示す。ここで SWEEP 回路は定電流源とキャパシタで構成されており、インバータの入力が '1' になったときに SWEEP 回路の出力は 0V から線形に上昇する。SWEEP 回路の出力がメモリ素子の閾値電圧に達すると、インバータの出力が '0' となり SWEEP 回路も停止する。これを奇数段カスケード接続してリングオシレータを構成している。

### 評価

以下の実験において、メモリ素子を構成する NMOS のサイズは  $L=0.18\mu\text{m}$ 、 $W=0.26\mu\text{m}$  であり、使用した FiCC の面積は  $3.32\mu\text{m} \times 2.56\mu\text{m}$ 、容量は  $4.4\text{fF}$  である。また、インキュベータ(恒温器)を用いて環境温度を 40 に設定して実験を行った。

図 12 に、提案メモリ素子の書き込み時間と閾値電圧変化の関係の実測結果を示す。この実験

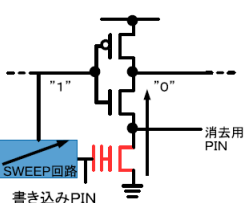


図 11: 閾値電圧測定回路

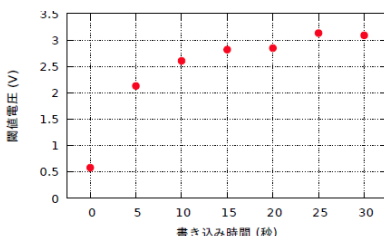


図 12: 書込時間と閾値電圧

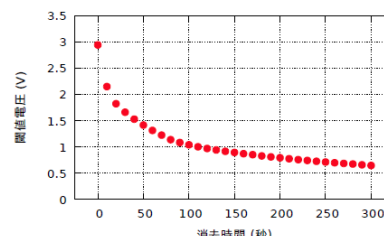


図 13: 消去時間と閾値電圧

で書き込みは CG に 5V を印加することで行った。この図より、CG に 5V を 10 秒印加すると閾値電圧が 2.6V に上昇することが読み取れる。通常のフラッシュメモリに比べて桁違いに長い書き込み時間を要するのは、FN トンネリング方式による書き込みを 5V という比較的低電圧で行ったためと考えられる。

図 13 に、消去時間と閾値電圧変化の関係を示す。この実験は事前に 5V で 20 秒書き込みを行ってからドレインに 3V を印加することで行った。書き込み電圧(5V)より低い 3V という電圧で消去したため、図より、十分な消去には数百秒オーダの時間が必要であることが読み取れるが、閾値電圧を元の 0.6V に戻すことができることが確認できた。

最後に、提案メモリ素子のデータ保持時間を明らかにするため、提案メモリ素子の書き込み後の経過時間と閾値電圧減衰の関係を実測した(図 14)。この図より、十分に書き込みを行った場合、およそ 1 日程度データを保持できることが読み取れる。

以上の結果は、提案メモリ素子が CMOS 互換かつ比較的低電圧で動作する不揮発性メモリとして利用できることを示唆している。

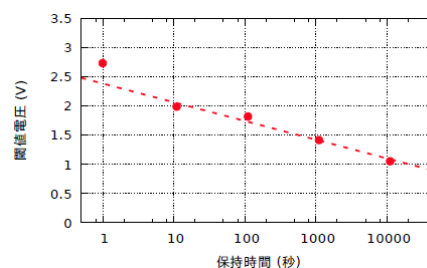


図 14: 経過時間と閾値電圧減衰

#### < 引用文献 >

- [h] T. Kimura and H. Ochi, "A -0.5v-input voltage booster circuit for on-chip solar cells in 0.18 $\mu$ m CMOS technology," IEEE 15th International Symposium on Communications and Information Technologies (ISCIT), pp.193-196, 2015.
- [i] Y. Osaki et al., "A level shifter circuit design by using input/output voltage monitoring technique for ultra-low voltage digital CMOS LSIs," IEEE 9th International New Circuits and Systems Conference (NEWCAS), pp.201-204, 2011.
- [j] J. Raszka et al., "Embedded flash memory for security applications in a 0.13  $\mu$ m CMOS logic process," Proceedings of International Solid-State Circuits Conference (ISSCC), pp.46-512, Vol.1, Feb. 2004.
- [k] K.Y. Na et al., "High-performance single polysilicon EEPROM with stacked MIM capacitor," IEEE Electron Device Letters, vol.27, no.4, pp.294-296, April 2006.

#### 5 . 主な発表論文等

〔雑誌論文〕(計 0 件)

〔学会発表〕(計 4 件)

田中一平, 宮川尚之, 木村知也, 今川隆司, 越智裕之, 「FiCC を用いた CMOS 互換な超低消費電力不揮発性メモリ素子の特性測定回路の設計と試作」, 電子情報通信学会 VLSI 設計技術研究会, 2018 年.

坂野達也, 木村知也, 今川隆司, 越智裕之, 「太陽電池混載チップ向け CMOS 互換温度・照度センサ」, 電子情報通信学会 VLSI 設計技術研究会, 2017 年.

宮川尚之, 木村知也, 越智裕之, 「FiCC:高集積向け耐クロストークノイズメタルフリンジキャパシタ」, 電子情報通信学会 VLSI 設計技術研究会, 2017 年.

木村知也, 越智裕之, 「マイクロエナジーハーベスティングのための 2 段昇圧型チャージポンプ回路」, 電子情報通信学会 VLSI 設計技術研究会, 2016 年.

科研費による研究は、研究者の自覚と責任において実施するものです。そのため、研究の実施や研究成果の公表等については、国の要請等に基づくものではなく、その研究成果に関する見解や責任は、研究者個人に帰属されます。