

令和元年6月23日現在

機関番号：26402

研究種目：基盤研究(C) (一般)

研究期間：2016～2018

課題番号：16K06309

研究課題名(和文)フレキシブル透明回路を実装した三層積層式色分離型イメージセンサの創成

研究課題名(英文)Flexible and transparent circuits for stacked image sensor application

研究代表者

古田 守 (FURUTA, MAMORU)

高知工科大学・環境理工学群・教授

研究者番号：20412439

交付決定額(研究期間全体)：(直接経費) 3,700,000円

研究成果の概要(和文)：本研究では透明回路を有機光電変換膜等の非耐熱材料・基材上に形成する想定のもと、従来300℃以上が必要であった酸化物半導体薄膜トランジスタの作製を150℃以下で実現することを目標とした。本研究の主たる成果は、1) 酸化物半導体スパッタ成膜時の水素添加により欠陥低減に必要な熱処理温度を150℃以下に低減可能であることを見いだした、2) 陽極酸化法による高誘電率絶縁膜材料であるアルミナの室温形成技術と酸化物半導体との界面制御技術を確立した、点にある。これら主たる成果により、駆動電圧±1Vの高性能かつ低電力薄膜トランジスタを作製温度150℃で実証し、今後のフレキシブル素子応用に向けた基盤技術を構築した。

研究成果の学術的意義や社会的意義

研究成果の学術的意義は、酸化物半導体スパッタ成膜時の水素添加を提案し欠陥低減熱処理温度を低減可能であることを見いだしたことに加え、導入した水素が熱処理を通じてキャリア抑制効果をもたらすことをはじめ報告した点にある。これまでは酸化物半導体中の水素はドナーであると報告されてきたが、キャリアの起源である酸素欠損の抑制効果は材料物性制御の可能性を拓く結果であると言える。社会的意義としては、従来転写法や高価な高耐熱基板上で実現されてきたフレキシブルデバイスを透明かつ低コストプラスチック基板上に実現する路を拓いたことで、新たなフレキシブル透明回路の実現に寄与する結果であると言える。

研究成果の概要(英文)：The aim of this research is to achieve transparent circuits on organic photosensitive materials whose temperature should be maintained below 150℃. Main two achievements of this research are 1) proposing an Ar+O₂+H₂ sputtering for oxide semiconductors to reduce defects through low-temperature annealing at around 150℃, 2) high-k alumina dielectric is formed at room temperature by an anodization of aluminum film. By applying the results to the IGZO thin-film transistor, low-power and high performance thin-film transistors were successfully demonstrated at a maximum processing temperature of 150℃. The achievements will open new doors for transparent and flexible electronics applications.

研究分野：電子材料・デバイス

キーワード：酸化物半導体 薄膜トランジスタ イメージセンサ 低温プロセス フレキシブルデバイス

様式 C - 19、F - 19 - 1、Z - 19、CK - 19 (共通)

1. 研究開始当初の背景

(1)研究代表者らは、光の三原色である赤(R)、緑(G)、青(B)それぞれの光に感度を有する光電変換有機膜と画像信号読み出し透明回路を積層し厚み方向で色分離を行うことで光利用効率を大幅に向上可能な積層式色分離型イメージセンサを提案した。

(2)この提案は、画像信号読み出しに可視光透明性を有する“透明回路”を用いることで初めて実現可能となるため、本研究では光電変換膜上に透明回路作製することを想定し、150 以下の作製プロセス温度にて薄膜トランジスタを実現することを目標とした。

2. 研究の目的

(1)高感度積層式色分離型イメージセンサの実現には“透明回路”を光電変換有機膜上に形成する必要がある。光電変換有機膜の耐熱温度はおよそ 150 であり、光電変換効率の劣化防止のためその上に形成する透明トランジスタの作製温度をそれ以下に制限する必要がある。

(2)透明トランジスタの作製最高温度 150 化により、ポリエチレンナフタレート(PEN)に代表される低コストかつ透明フレキシブルフィルム上への高性能トランジスタを実現し、将来のフレキシブルエレクトロニクス発展に寄与する。

3. 研究の方法

最高プロセス温度 150 にて高性能な透明トランジスタを実現するため、以下の2項目を重点テーマとして研究に取り組んだ。

(1)透明酸化半導体 InGaZnO_x(IGZO)薄膜の低温形成技術:透明半導体として酸化半導体 IGZO を選択した。IGZO はスパッタ法により室温で成膜可能であるが膜中に多くの欠陥を含むため、トランジスタ応用には成膜後に 300~350 熱処理による欠陥回復処理が一般的に行われている。欠陥回復熱処理温度を 150 に低減するため、熱処理雰囲気やスパッタ成膜時の添加ガスによる効果を検討した。

(2)ゲート絶縁膜の低温形成技術:薄膜トランジスタ(TFT)のゲート絶縁膜には酸化シリコンが広く用いられるがその作製には 300 程度の成膜温度が必要である。また成膜温度と膜品質はトレードオフの関係にあり成膜温度の低下は膜心室の劣化につながる。ゲート絶縁膜の形成温度低減を目的に、有機(シクロオレフィンポリマー)材料のゲート絶縁膜応用の可能性、陽極酸化法による室温形成酸化アルミニウム(Al₂O₃)のゲート絶縁膜応用を検討した。

4. 研究成果

(1)透明酸化半導体の低温形成技術に関しては IGZO 薄膜の主たる欠陥である酸素欠損を低減する目的で酸化力に優れるオゾンや水蒸気雰囲気でのアニールを検討したが望む結果は得られなかった。これまでは IGZO スパッタ成膜時に取り込まれる残留水分を低減させることが高品質薄膜形成に重要であると報告されてきた。我々はこれら報告とは逆の試みとして、スパッタ成膜雰囲気(Ar と O₂ の混合ガス)に水素(H₂)を意図的に添加する成膜手法を試みた。本手法はスパッタ成膜雰囲気の酸化力を弱め膜中の水素量を増大させ、これまで提唱されてきた高品質 IGZO 成膜指針と逆のアプローチである。

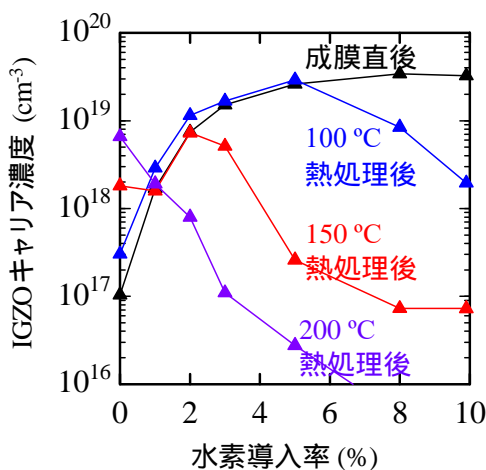


図1 Ar+O₂+H₂成膜IGZO薄膜キャリア濃度の水素導入率および熱処理温度依存性

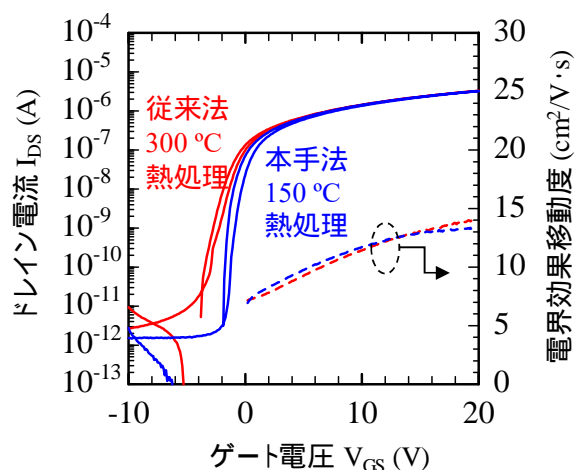


図2 従来法 + 300°Cおよび本手法 + 150°C熱処理にて作製した薄膜トランジスタの伝達特性比較

新たなアプローチを試みた結果、図1に示すように、成膜直後(未熱処理)は添加水素量の増大と

ともに膜中水素量が増大し、キャリア濃度が大幅に増大した。この結果は IGZO 中では水素がドナー準位を形成するというこれまでの報告と一致する。一方で、これらの膜に低温 (200) 熱処理を行うと、水素を 3%以上導入して成膜した IGZO 膜のキャリア濃度が大幅に減少することを始めて見いだした。

図 1 に示した熱処理によるキャリア濃度の減少は成膜時に導入した水素による欠陥回復が低温で生じていることを示唆している。この発見は本研究の最も重要な成果の一つであり、Applied Physics Express 11, 081101 (2018)に成果公表した。本手法の有用性を検証するため、従来法 (Ar+O₂成膜) と本手法 (Ar+O₂+H₂成膜) にて成膜した IGZO 薄膜を活性層に用いる薄膜トランジスタを作製した結果を図 2 に示す。従来法で作製した IGZO 薄膜トランジスタは 150 熱処理後では 10V 近いヒステリシスを有し良好な特性を得るには 300 の熱処理が必要であったが、本手法で作製した IGZO 薄膜トランジスタは 150 熱処理により従来法の 300 熱処理と同等以上の結果が得られ、欠陥回復が低温で実現可能であることを実証した。

(2)絶縁膜の低温形成に関しては有機 (シクロオレフィンポリマー) 材料のゲート絶縁膜応用に取り組み、最高プロセス温度 150 で作製したトップゲート型 IGZO 薄膜トランジスタにて良好な特性を得ることに成功した。しかしながら有機絶縁膜の低誘電率や透湿性および薄膜トランジスタの信頼性課題を総合的に判断した結果、高誘電率材料のアルミナ (酸化アルミニウム) を室温形成可能な陽極酸化法を重点的に検討した。陽極酸化法にて室温形成した酸化アルミニウムは誘電率 7 以上、絶縁破壊耐圧 6MV/cm 以上の優れた特性を有し、薄膜トランジスタのゲート絶縁膜に適用可能な結果を得た。

次に陽極酸化アルミナをゲート絶縁膜に、(1)に示した Ar+O₂+H₂ スパッタ成膜 IGZO を半導体層に用いた薄膜トランジスタを実証した。アルミナと IGZO 界面形成プロセスの最適化等の結果、図 3 に示した IGZO 薄膜トランジスタを最高プロセス温度 150 で実証した。図 2 に示した結果ではトランジスタのスイッチングに必要なゲート電圧が ± 5 V であったものが、アルミナゲート絶縁膜を用いた結果、図 3 に示すように、± 1 V と大幅な低電圧動作を実現した。図 4 に示す出力特性においてもドレイン電圧 1 V 以下で明瞭な飽和領域が観察できている。作製した IGZO 薄膜トランジスタは電界効果移動度 6.5 cm²/Vs かつヒステリシスフリーな良好な特性が得られた。

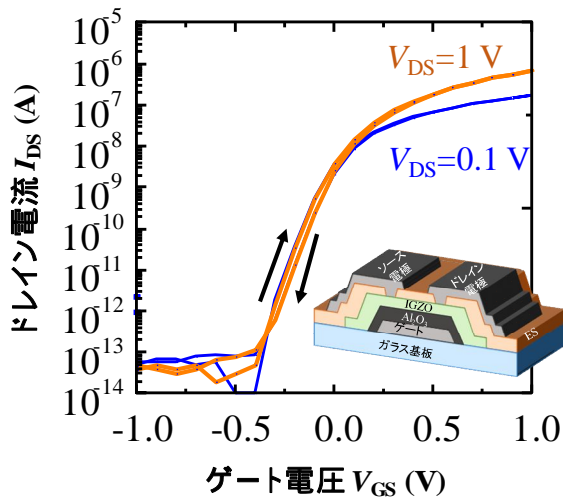


図3 陽極酸化アルミナをゲート絶縁膜に用いた IGZO 薄膜トランジスタの伝達特性

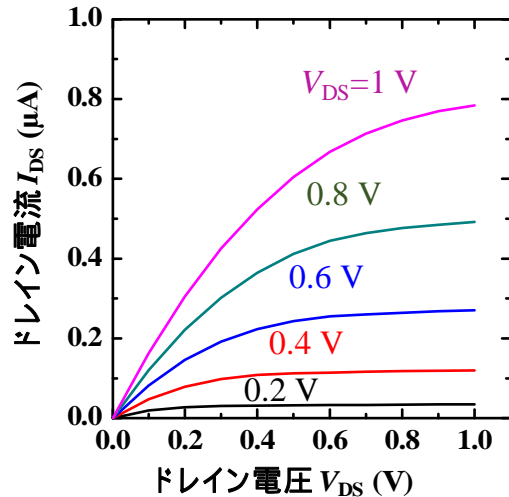


図4 150°CプロセスによるIGZO薄膜トランジスタの出力特性

以上に示した本研究の成果は積層式色分離型イメージセンサの信号読み出し回路に応用可能であることはもちろん、将来のフレキシブル素子やモバイル素子の低電圧化・消費電力化にもつながる大きな成果と言える。

5 . 主な発表論文等

[雑誌論文](計 10 件)

M. Furuta, D. Koretomo, Y. Magari, S. Aman, R. Higashi, and S. Hamada, "Heterojunction channel engineering to enhance performance and reliability of amorphous In-Ga-Zn-O thin-film transistors", Japanese Journal of Applied Physics, 査読有, 58 巻, 2019, 090604-1~9

DOI: 10.7567/1347-4065/ab1f9f

D. Koretomo, Y. Hashimoto, S. Hamada, M. Miyanaga, and M. Furuta, "Influence of a SiO₂ passivation on electrical properties and reliability of In-W-Zn-O thin-film

transistor”, Japanese Journal of Applied Physics 査読有, 58 巻, 2019, 018003-1~3
DOI: 10.7567/1347-4065/aae895

S. Aman, Y. Magari, K. Shimpo, Y. Hirota, H. Makino, D. Koretomo, and M. Furuta, “Low-temperature (150 °C) activation of Ar+O₂+H₂-sputtered In-Ga-Zn-O for thin-film transistors”, Applied Physics Express, 査読有, 11 巻, 2018, 081101-1~4
DOI: 10.7567/APEX.11.081101

S. Aman, D. Koretomo, Y. Magari, and M. Furuta, “Influence of deposition temperature and source gas in PE-CVD for SiO₂ passivation on performance and reliability of InGaZnO thin-film transistors”, IEEE Trans. on Electron Devices, 査読有, 65 巻, 2018, 3257~3263
DOI: 10.1109/TED.2018.2841978

M. Furuta, Y. Magari, S. Hashimoto, and K. Hamada, “(Invited) Low-Temperature Processed InGaZnO MES-FET for Flexible Device Applications”, ECS Transactions, 査読なし, 79 巻, 2017, 43~48
DOI: 10.1149/07901.0043ecst

Y. Magari, H. Makino, and M. Furuta, “Carrier Generation Mechanism and Origin of Subgap States in Ar- and He-Plasma-Treated In-Ga-Zn-O Thin Films”, ECS J. Solid State Sci. Technol., 査読有, 6 巻, 2017, Q101~Q107
DOI: 10.1149/2.0031709jss

T. Matsuda, K. Umeda, Y. Kato, D. Nishimoto, M. Furuta and M. Kimura, “Rare-metal-free high-performance Ga-Sn-O thin film transistor”, Scientific Reports, 査読有, 7 巻, 2017, 44326-1~7
DOI: 10.1038/srep44326

T. Toda, G. Tatsuoka, Y. Magari, and M. Furuta, “High-Performance Top-Gate and Self-Aligned In-Ga-Zn-O Thin-Film Transistor Using Coatable Organic Insulators Fabricated at 150 °C”, IEEE Electron Device Letters, 査読有, 37 巻, 2016, 1006~1009
DOI: 10.1109/LED.2016.2582319

D. Koretomo, T. Toda, T. Matsuda, M. Kimura, and M. Furuta, “Anomalous Increase in Field-Effect Mobility in In-Ga-Zn-O Thin-Film Transistors Caused by Dry-Etching Damage Through Etch-Stop Layer”, IEEE Trans. on Electron Devices, 査読有, 63 巻, 2016, 2785~2789
DOI: 10.1109/TED.2016.2568280

M. Furuta, J. Jiang, M. P. Hung, T. Toda, D. Wang, and G. Tatsuoka, “Suppression of Negative Gate Bias and Illumination Stress Degradation by Fluorine-Passivated In-Ga-Zn-O Thin-Film Transistors”, ECS Journal of Solid State Science and Technology, 査読有, 5 巻, 2016, Q88~91
DOI: 10.1149/2.0131603jss

〔学会発表〕(計 12 件)

古田 守、是友 大地、アマン メハディ、曲 勇作 “ヘテロ接合チャネルによる In-Ga-Zn-O 薄膜トランジスタの高移動度・高信頼性化”、応用物理学会春季学術講演会、2019

曲 勇作、濱田 賢一郎、増田 健太郎、古田 守, “Ar+O₂+H₂ スパッタ In-Ga-Zn-O による Schottky ダイオード特性向上”, 応用物理学会春季学術講演会、2019

S. Aman, R. Higashi, Y. Hirota, Y. Magari, D. Koretomo, N. Fruehauf, and M. Furuta, “Low temperature processed TFTs with Ar+O₂+H₂-sputtered IGZO channel and high-anodic-Al₂O₃ dielectric for flexible devices”, 15th International Thin-Film Transistor Conference (ITC2019), 2019

曲 勇作, 牧野 久雄, 橋本 慎輔, 濱田 賢一郎, 古田 守, “InGaZnO_x/AgO_x 酸化物ヘテロ Schottky 界面の起源とフレキシブルデバイス応用”, シリコン材料・デバイス研究会、2018

D. Koretomo, R. Higashi, S. Hamada, and M. Furuta, “Device simulation study on carrier transport in hetero-junction channel In-Ga-Zn-O thin film transistor”, 7th International Symposium on Transparent Conductive Materials (TCM2018), 2018

S. Aman, Y. Hirota, Y. Magari, and M. Furuta, “Activation and Defect Reduction of Hydrogenated In-Ga-Zn-O Thin Film Transistor at Low Temperature (150 °C)”, International Conference on Solid State Devices and Materials (SSDM-18), 2018

田中 宏怜, 東 龍之介, 古田 守 “In-Ga-Zn-O 成膜温度が薄膜トランジスタ特性および信頼性に及ぼす影響”, 応用物理学会春季学術講演会、2017

H. Tanaka, R. Higashi, and M. Furuta, “Effect of Deposition Temperature of InGaZnO_x channel on Electrical Properties and Reliability of Thin-Film Transistors”, International Meeting on Information Display (IMID2017), 2017

Y. Magari, H. Makino, and M. Furuta, “XPS Analysis of Carrier Generation Mechanism

in He- and Ar-Plasma-Treated InGaZnO ", 29th International Conference on Defects in Semiconductors (ICDS2017), 2017

曲 勇作, 戸田 達也, 牧野 久雄, 古田 守 "プラズマ処理による低抵抗 IGZO 領域の形成とセルフアライン型 TFT への応用 ~ プラズマ処理時の基板バイアスの効果 ~", 発光型非発光型ディスプレイ合同研究会, 2016

M. Furuta, Y. Krieg, G. Tatsuoka, S. G. Mehadhi Aman, Y. Hirota, and N. Fruehauf, "Low-temperature (150) Processed Self-aligned InGaZnO Hybrid Thin-film Transistor with an Organic Gate Insulator", International Display Workshops (IDW2016), 2016

D. Koretomo, T. Toda, T. Matsuda, M. Kimura, and M. Furuta "Influence of Source and Drain Electrodes Dry-Etching Damages on Electrical Properties of In-Ga-Zn-O Thin-Film Transistors with Etch-Stop Layer", International Thin-Film Transistor Conference, 2016

〔産業財産権〕

出願状況 (計 0 件)

取得状況 (計 0 件)

〔その他〕

研究室ホームページ

<http://www.env.kochi-tech.ac.jp/m-furuta/>

6 . 研究組織

(1)研究分担者

(2)研究協力者

科研費による研究は、研究者の自覚と責任において実施するものです。そのため、研究の実施や研究成果の公表等については、国の要請等に基づくものではなく、その研究成果に関する見解や責任は、研究者個人に帰属されます。