

令和元年5月30日現在

機関番号：13901

研究種目：挑戦的萌芽研究

研究期間：2016～2018

課題番号：16K14546

研究課題名(和文) シリコンナノワイヤアレイを用いた革新的大容量蓄電デバイスの開発

研究課題名(英文) Development of innovative storage devices using silicon nanowire arrays

研究代表者

黒川 康良 (Kurokawa, Yasuyoshi)

名古屋大学・工学研究科・准教授

研究者番号：00588527

交付決定額(研究期間全体)：(直接経費) 2,900,000円

研究成果の概要(和文)：Metal assisted chemical etching法により作製したシリコンナノワイヤ(SiNW)アレイと原子層堆積法による誘電膜を組み合わせることで、新規大容量蓄電デバイスの開発を行った。高誘電率および低リーク電流をねらい、Al₂O₃/TiO₂/Al₂O₃(ATA)積層膜を用い、SiNW MOSキャパシタ構造を作製した。透過電子顕微鏡像からATA積層膜の各層の膜厚が3.7nm/15.2nm/3.6nmであることがわかり、ATAはSiNW表面を完全に被覆していることを確認した。C-V特性より、長さ8μmで84μF/cm²の静電容量を得ることができ、これまでにない大容量化に成功した。

研究成果の学術的意義や社会的意義

Siナノワイヤ(SiNW) MOSキャパシタは、3次元ナノ構造の非常に大きな表面積を利用することにより、平板のMOSキャパシタと比べて大きな静電容量を得ることができる。また、電解液を使用しないため、長寿命・メンテナンスフリーである。しかし、作製方法の問題から最大で18μF/cm²の静電容量に留まっていた。本研究にて新たに高誘電率および低リーク電流をねらったAl₂O₃/TiO₂/Al₂O₃(ATA)積層膜をSiNW MOSキャパシタに導入し、84μF/cm²のこれまでにない高い静電容量を得ることができた。金属電極構造の最適化によりさらなる大容量化が可能であり、実用化に近づく大きな成果である。

研究成果の概要(英文)：Development of innovative storage devices with silicon nanowire (SiNW) arrays was researched. SiNW arrays were prepared by the metal assisted chemical etching method, which enables us to obtain SiNW arrays easily in a large area. To obtain dielectric materials with high-k and low leakage current, Al₂O₃/TiO₂/Al₂O₃ stack layers were deposited on SiNW arrays by atomic layer deposition. From a high-angle annular dark field scanning transmission electron microscopy (HAADF-STEM) image, the thicknesses of each layer in the ATA stack layer were 3.7nm/15.2nm/3.6nm and the SiNW arrays were covered with the ATA stack layer completely. When the length of SiNW arrays was 8 μm, the electrostatic capacity of the SiNW MOS capacitor reached 84 μF/cm², which is the highest value in the SiNW MOS capacitors reported before.

研究分野：半導体物性

キーワード：ナノ材料 電子デバイス・機器 電子・電気材料 表面・界面物性 半導体物性 蓄電デバイス IoT

様式 C-19, F-19-1, Z-19, CK-19 (共通)

1. 研究開始当初の背景

近年、太陽電池の生産量は年々増加しており、2015年は全世界で50GWを超える見込みである。電力系統に接続される太陽電池の量が増えると、その出力変動に対して火力発電や水力(揚水)発電などが調整できる許容範囲を逸脱する可能性が指摘されている[1]。このことから、新たな仕組みによる調整力の確保が必要となる。その一つの手法として蓄電デバイスを活用した需給制御システムがある。その蓄電デバイスの候補として、最近では大容量リチウムイオン電池の開発が進んでおり、電力貯蔵用として実用化が進んでいる。しかしながら、過放電による劣化やサイクル寿命が短いこと、保守管理が不可欠であることが課題として挙げられる。

これまでの研究で図1に示すような直径30nmのシリコンナノワイヤ(SiNW)アレイの作製に成功している[2]。また、SiNWのような高アスペクト比を有する構造表面全体に膜厚を制御して、誘電体膜(Al_2O_3)を堆積することにも成功している[3]。これらを組み合わせることで図2のようなSiNWを利用した大容量キャパシタを開発する。

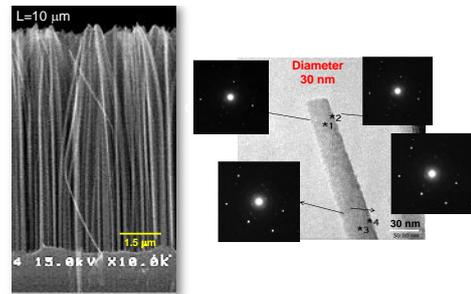


図1:申請者が開発した直径30nmのSiNWアレイ(断面SEM&TEM)

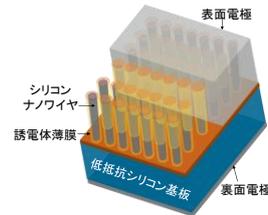


図2:目標とするSiNW MOSキャパシタの構造

- [1] 太陽電池技術ハンドブック(オーム社)2013年
- [2] Kato Shinya *et al.*, Jpn. J. Appl. Phys. **51** (2012) 02BP09.
- [3] Kato Shinya *et al.*, Nanoscale Res. Lett., **8** (2013) 361.

2. 研究の目的

本研究の目的はSiNWを用いた新型大容量キャパシタの開発である。研究代表者は直径や密度を制御したSiNWアレイの作製を行うことができる。また、そのような高アスペクト比を有する構造表面に隙間なく誘電体膜を堆積する技術も有している。これらの技術を組み合わせ、SiNWの長さや誘電体材料を調整することで大容量キャパシタの開発を行う。このようなキャパシタは電解液を使用しないため長寿命・高耐圧・高耐熱であり、メンテナンスフリーといった特徴も有する。

3. 研究の方法

SiNWを比較的簡単に大面積に作製できるMetal assisted chemical etching (MACE)法を用いてSiNWアレイを作製する。誘電体膜については原子層堆積法(ALD)を用いて Al_2O_3 を作製し、ポストアニールにてリークパスが少なく、高い誘電率が得られる条件を探索する。比誘電率評価のため、平板にてキャパシタ構造を作製し、電気的特性を評価する。平板での動作確認成功後、SiNWアレイに Al_2O_3 を形成し、SiNWキャパシタ構造を作製する。構造評価や電気的特性評価を行い、高容量・低リーク電流が得られる知見を収集する。これと並行して、高誘電体薄膜である TiO_2 と絶縁性の高い Al_2O_3 を組み合わせた積層膜($Al_2O_3/TiO_2/Al_2O_3$: ATA)をALDにて作製する。積層膜の膜厚比の最適化やピンホール抑制などにより高誘電率かつ低リーク電流が得られる条件を探索する。最終的には Al_2O_3 とATAを置換することでSiNWキャパシタ構造を作製し、その電気的特性を評価し、大容量化に必要な知見を得る。

表1 研究年次計画

研究項目	平成28年度	平成29年度	平成30年度
MACES法によるSiNWアレイの作製と構造評価	SiNWアレイの作製		
	SEM&TEMによる構造評価		
原子層堆積法による誘電体薄膜の作製とアニール条件の探索(単膜評価)	Al_2O_3 薄膜の堆積 アニール条件の探索	ATA積層膜の堆積 アニール条件の探索	
	キャパシタ構造の作製(平板基板)	キャパシタ構造の作製(SiNWアレイ, Al_2O_3) キャパシタ構造の作製(平板基板, ATA)	キャパシタ構造の作製(SiNWアレイ, ATA)
キャパシタ構造の作製・評価		キャパシタ構造及び比誘電率評価(電気的特性評価)	
			SEM&TEMによる構造評価

(1) 平成28年度

SiNW アレイの作製条件と誘電体薄膜の製膜条件の最適化を行う。SiNW アレイは図3のようなMACE法を用いる[2]。長さはエッチング時間により調節する。作製された試料を走査型電子顕微鏡 (SEM), 透過型電子顕微鏡 (TEM) により構造評価を行う。誘電体薄膜としては、研究代表者が作製の経験があり、作製が比較的簡単な Al₂O₃ から始める[3]。堆積方法は ALD 法を用い、トリメチルアルミニウムと H₂O により作製を行う。ポストアニールによる結晶化や水の除去が誘電体膜の特性を大きく変化させると考えられるため、ポストアニールを行い、FT-IR による結合状態解析を行う。また、リークパスとなるピンホールの形成についても評価する。アニール後の試料を用いて平面型キャパシタ構造作製し、静電容量・比誘電率を計測する。これにより、ポストアニールが電気的特性に与える影響を確認する。

(2) 平成29年度

平成28年度に得られた知見をもとに、Al₂O₃ を SiNW アレイに堆積し、図4に示すような SiNW Metal-Oxide-Semiconductor (MOS) 型キャパシタ構造を作製する。作製された SiNW キャパシタの構造評価を SEM&TEM により行う。作製されたキャパシタの静電容量評価・漏れ電流評価を行い、現状の構造の問題点を探る。特に Al₂O₃ の成長条件や SiNW 表面状態がリークパス形成に寄与するため、リーク電流と Al₂O₃/SiNW 界面状態の関連を明らかにする。これと並行して、誘電体薄膜として高誘電率および高い絶縁性を有する ATA の作製を ALD 法により行う。高い誘電率を得るためには ATA 中の TiO₂ 薄膜の割合が重要であるので、Al₂O₃ と TiO₂ の膜厚比を変化させたものを作製する。エネルギー分散型 X 線分析 (EDS) による組成分析・FT-IR による結合状態解析などを行い、高い誘電率・良質な結晶構造が得られる条件を探索する。また、得られた ATA を用いて平板構造でキャパシタ構造を作製し、作製したキャパシタの電気的特性を評価する。

(3) 平成30年度

平成29年度に得られた知見をもとに、ATA を SiNW アレイに堆積し、図4に示すような SiNW キャパシタ構造を作製する。作製された SiNW キャパシタの構造評価を SEM&TEM により行う。また、HAADF-STEM 像から ATA 誘電膜が SiNW を被覆している様子を確認する。作製したキャパシタの電気的特性を評価し、静電容量評価・漏れ電流評価を行い、現状の問題点を探る。

4. 研究成果

(1) 平成28年度

SiNW アレイの作製と誘電体薄膜の製膜・平面型キャパシタ構造の作製を行った。SiNW アレイを Metal assisted chemical etching (MACE) 法を用いて作製した。p 型 Si 基板に無電解めっき法により銀ナノ粒子を堆積した。その後、過酸化水素水とフッ酸の混合溶液にその試料を浸漬し、MACE 法によるエッチングを試みた。この際、エッチング時間2分と5分の試料を作製した。図5に示す SEM による構造評価により、エッチング時間2分の試料では長さ 1.4μm、5分の試料では 3.5μm の SiNW アレイが形成していることがわかった。このように長さの異なる SiNW アレイを得ることに成功した。

誘電体膜として Al₂O₃ を ALD 法により作製した。原料にトリメチルアルミニウムと水を用い、それらを交互に供給することで

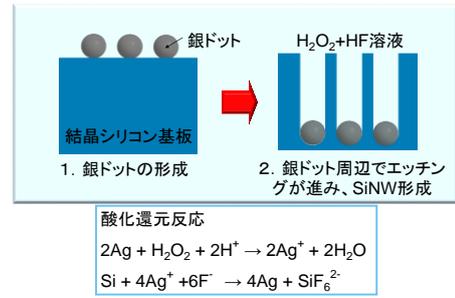


図3:MACE法によるSiNWアレイの作製プロセス

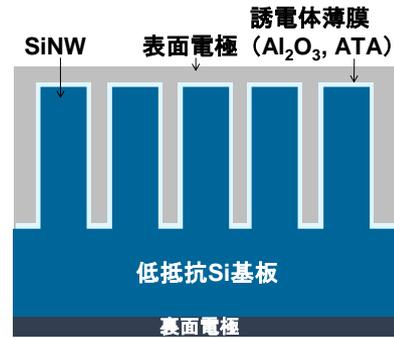


図4:目標とするSiNW MOSキャパシタの概略図

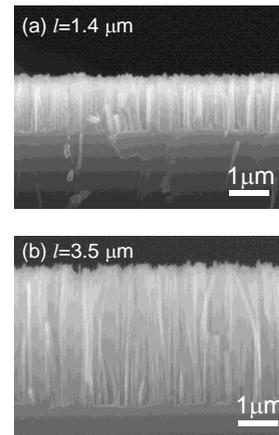


図5:作製したSiNWアレイの断面SEM像 (Al₂O₃ 製膜後)

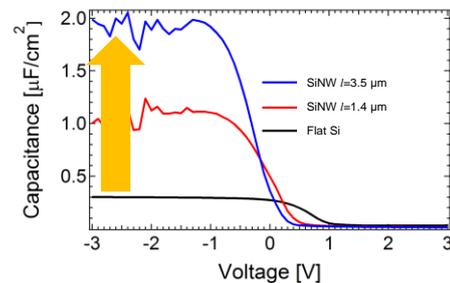


図6:Al₂O₃を用いたフラットSi MOSキャパシタとSiNW MOSキャパシタのC-V特性

Al₂O₃層を堆積した。この際、基板温度は200°Cとした。シリコン表面の欠陥低減を目的として、ランプアニール炉を用いて、フォーミングガス雰囲気中で400°C、30分間の熱処理を行った。堆積後の電子顕微鏡による構造評価により、Al₂O₃膜がSiNWの根元から先端まで一様に製膜できていることを確認した。本結果はSiNWキャパシタ構造を作製する上で非常に重要な知見である。

平面Si基板上にAl₂O₃膜とアルミニウム電極を堆積することで、キャパシタ構造を作製し、キャパシタンス評価を行った。その結果、平面型構造でキャパシタ動作を確認することができ、静電容量0.3μF/cm²を得ることができた(図6黒線)。また、Al₂O₃堆積後のポストアニールにより、リーク電流が低減することを確認できた。

(2) 平成29年度

SiNW上にAl₂O₃薄膜を堆積し、SiNW MOS型キャパシタ構造の作製を試みた。SiNWは、銀の無電解めっきとMetal assisted chemical etching (MACE)法を用いて作製した。ALD法を用いて、200サイクル、200°Cの製膜条件でAl₂O₃をSiNW上に製膜した。原料としてトリメチルアルミニウムとH₂Oを用いた。製膜後、フォーミングガス雰囲気中で400°C、30分間の熱処理を施した。次に、真空蒸着法を用いて、Al電極をSiNW面に作製した。裏面電極としてInGaを塗布した後、容量-電圧(C-V)特性の測定を行った。

図6の赤線および青線がそれぞれ長さ1.4μmおよび3.5μmのSiNWを用いたときのMOSキャパシタのC-V特性である。SiNW MOSキャパシタの静電容量は負バイアスの蓄積領域にてl=1.4μmのとき1.0μF/cm²、l=3.5μmのとき2.0 μF/cm²を得ることができた。l=3.5μmのときの値はフラット基板上的ものの約6.7倍であった。これは、SiNW構造を用いることで、表面積が増加し、蓄積する電荷量が増加したことを示す結果である。一方、SiNWを用いたサンプルは周波数による分散が大きくなった。Al₂O₃界面の構造欠陥がフラットなもの比べて多いことが予想され、界面構造の改善が今後の課題である。

さらなる静電容量向上のため、比誘電率の高いTiO₂を利用し、Al₂O₃/TiO₂積層構造をSiフラット基板上に作製することを試みた。TiO₂の原料にはtetrakisdimethylaminotitanium (TDMAT)とH₂Oを用いた。Siフラット基板に作製したMOSキャパシタの静電容量は、Al₂O₃だけのものとおおよそ2倍ほどに増加していた。これは、TiO₂薄膜層を挿入することで比誘電率が増加したことによると考えられる。

(3) 平成30年度

SiNW MOSキャパシタのさらなる大容量化に向けて、ALD法での製膜が容易で比較的大きな比誘電率を持つAl₂O₃/TiO₂/Al₂O₃スタック誘電膜(ATA)に着目した。TiO₂単膜はバンドギャップが3.3eV程度と小さいため、特に薄膜ではリーク電流が非常に大きくなる。そこで、バンドギャップが8eV程度と大きなAl₂O₃を組み合わせたATAは高誘電率かつ低リーク電流な誘電膜として期待できる。本実験ではAl₂O₃(25 nm)、Al₂O₃(4.5 nm)/TiO₂(16 nm)/Al₂O₃(4.5 nm)の誘電膜をSiNW MOSキャパシタに適用し、電気的特性を評価した。MACE法を用いてSiNWアレイを作製し、エッチングを行っていないSi基板とともにALDでATAを製膜した。この際、製膜温度200°Cで製膜を行った。フラットSi基板を用いたMOSキャパシタのC-V特性を測定し、誘電膜の比誘電率を算出したところ、ATAの比誘電率は19.8であり、Al₂O₃の2.25倍となっていることがわかった。誘電膜中のTiO₂の存在が比誘電率を増加させた結果と言える。

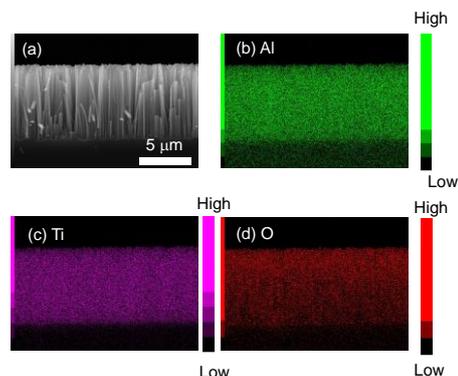


図7：ATA製膜後のSiNWアレイの(a)断面SEM像および(b-d)各原子のEDSマッピング像

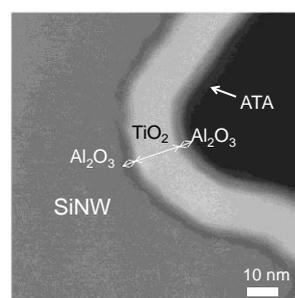


図8：ATA製膜後のSiNW表面付近の断面HAADF-STEM像

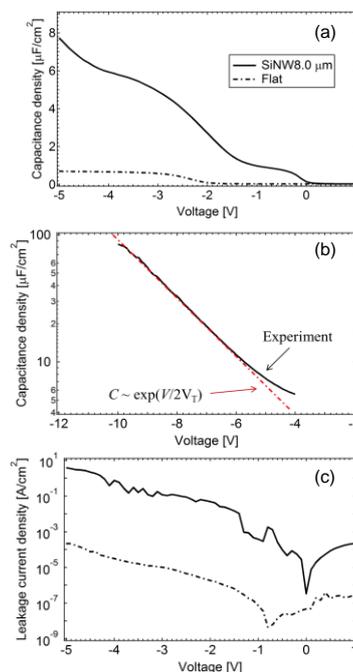


図9：ATAを用いたSiNW MOSキャパシタの(a)C-V特性 (b)C-V特性(負バイアス下)および(c)I-V特性

Al₂O₃を用いたサンプルは 10⁻⁸ A/cm²程度のリーク電流で測定した全電圧範囲で安定していた。一方, ATAを用いたサンプルはダイオード特性が得られたが, その値は 10⁻³A/cm²以下の抑えられた。光学顕微鏡で表面状態を確認したがピンホールの存在は確認できなかった。そのため, 膜中の欠陥によるリークパスによるものと予想される。

図7はATA製膜後のSEM像および各種元素のEDSマッピング像を示す。図7(a)より長さ8μmのSiNWアレイがSi基板上に形成していることがわかる。EDSマッピング像から, Al, Ti, OともにSiNW全体に分布しており, ATAがSiNW表面全体に存在することを示唆している。図8はSiNWの輪切り断面(HAADF-STEM像を示している。Al₂O₃/TiO₂/Al₂O₃の各層の膜厚が3.7nm/15.2nm/3.6nmであることがわかり, おおよそ想定通りの膜厚でATAが形成していることがわかった。また, ATAはSiNWの形状にかかわらずSiNW表面を完全に被覆していることがわかる。図9(a)はATAを用いたSiNW MOSキャパシタ構造のC-V測定結果を示している。蓄積領域側静電容量が5.9μF/cm²であることがわかった。これはフラットSi基板にATAを組み合わせた場合の8.4倍となる。SiNWの大きな表面積によるものと考えられる。さらに大きな負バイアス印加時にはさらなる静電容量の増加が確認され, V=-10Vにて84μF/cm²の静電容量を得ることができ, これまでになく大容量化に成功した(図9(b))。図9(c)はATA誘電膜を用いたSiNW MOSキャパシタのリーク電流特性を示す。Al₂O₃誘電膜を用いた場合と同様にフラットMOSキャパシタよりもSiNW MOSキャパシタのほうが大きなリーク電流が得られた。一方, ナノワイヤ長さが長いほうがリーク電流が全電圧範囲にわたって小さくなるという知見も得られたことから, SiNWの長さを長くすることによりリーク電流の低減を図ることが重要である。本研究では, 金属電極の最適化まで行うことができなかったが, 現状では電極がSiNW全体を被覆できておらず, 静電容量をロスする原因となっている。金属電極の作製方法を変えることでさらなる静電容量向上が可能である。

5. 主な発表論文等

[雑誌論文] (計 8 件)

1. Kato Shinya, **Kurokawa Yasuyoshi**, Gotoh Kazuhiro, Soga Tetsuo, “Fabrication of a Silicon Nanowire Solar Cell on a Silicon-on-Insulator Substrate”, Applied Sciences, 査読あり, 9, 2019, 818, 10.3390/app9050818.
2. Kato Shinya, **Kurokawa Yasuyoshi**, Gotoh Kazuhiro, Soga Tetsuo, “Silicon Nanowire Heterojunction Solar Cells with an Al₂O₃ Passivation Film Fabricated by Atomic Layer Deposition”, Nanoscale Research Letters, 査読あり, 14, 2019, 99, 10.1186/s11671-019-2930-1.
3. **Kurokawa Yasuyoshi**, Nezasa Ryota, Kato Shinya, Miyazaki Hisashi, Takahashi Isao, Usami Noritaka, “Fabrication of silicon nanowire based solar cells using TiO₂/Al₂O₃ stack thin films”, MRS Advances, 査読あり, 2018, 1-8, 10.1557/adv.2018.40.
4. Mochizuki Takeya, Gotoh Kazuhiro, **Kurokawa Yasuyoshi**, Yamamoto Takahisa, Usami Noritaka, “Local Structure of High Performance TiO_x Electron-Selective Contact Revealed by Electron Energy Loss Spectroscopy”, Advanced Materials Interfaces, 査読あり, 6, 2018, 1801645, 10.1002/admi.201801645.
5. Mochizuki Takeya, Gotoh Kazuhiro, Ohta Akio, Ogura Shohei, **Kurokawa Yasuyoshi**, Miyazaki Seiichi, Fukutani Katsuyuki, Usami Noritaka, “Activation mechanism of TiO_x passivating layer on crystalline Si”, Applied Physics Express, 査読あり, 11, 2018, 102301, 10.7567/APEX.11.102301.
6. Sei Miki, **Kurokawa Yasuyoshi**, Kato Shinya, Usami Noritaka, “Investigation of effective near-infrared light-trapping structure with submicron diameter for crystalline silicon thin film solar cells”, 査読あり, Japanese Journal of Applied Physics, 57, 2018, 08RB21, 10.7567/JJAP.57.08RB21.
7. Nezasa Ryota, **Kurokawa Yasuyoshi**, Usami Noritaka, “Evaluation of Si Nanowire MOS Capacitor Using High-k Dielectric Materials”, 査読あり, Proceedings of the IEEE NANO 2018, 2018, 10.1109/NANO.2018.8626356.
8. **Kurokawa Yasuyoshi**, Yano Mitsugu, Miyajima Shinsuke, and Yamada Akira, “Bandgap tuning of silicon nanowire arrays for application to all-silicon tandem solar cells”, Japanese Journal of Applied Physics, 査読あり, 56, 2017, 04CS03/1-5, 10.7567/JJAP.56.04CS03.

[学会発表] (計 17 件)

1. **Kurokawa Yasuyoshi**, “Silicon Nanostructure for Solar Cell Applications”, Advanced Functional Materials Spectroscopy & Electrochemistry Congress, Stockholm, Sweden (招待講演) (国際学会), 2019.
2. **Kurokawa Yasuyoshi**, Kato Shinya, Usami Noritaka, “Effective Near-Infrared Light-Trapping Silicon Nanowire Structure for Crystalline Silicon Thin Film Solar Cells”, Japan-Korea PV Joint Student Seminar (国際学会), 2019.
3. Miyagawa Shinsuke, Mochizuki Takeya, Gotoh Kazuhiro, **Kurokawa Yasuyoshi**, and Usami Noritaka, “Influence of Light Soaking on c-Si Surface Passivation by Atomic Layer Deposited Titanium Oxide”, Japan-Korea PV Joint Student Seminar (国際学会), 2019.

4. 望月 健矢, 後藤 和泰, **黒川康良**, 宇佐美 徳隆, “ALD 法で作製した TiO_x 電子選択層の積層化による電気的特性の制御”, 第 66 回応用物理学会春季学術講演会, 2019.
5. 望月 健矢, 後藤 和泰, 北條 智彦, **黒川康良**, 秋山 英二, 宇佐美 徳隆, “ALD 法で作製した法で作製した TiO_x/SiO_x/結晶 Si ヘテロ界面のパッシベーション効果発現メカニズム ～水素原子脱離の影響～”, 第 66 回応用物理学会春季学術講演会, 2019.
6. 根笹良太, **黒川康良**, 宇佐美徳隆, “高誘電率材料を用いた Si ナノワイヤ MOS キャパシタの特性評価”, 第 65 回 応用物理学会 春季学術講演会, 2018.
7. Mochizuki Takeya, Gotoh Kazuhiro, **Kurokawa Yasuyoshi**, and Usami Noritaka, “Impact of interlayers on thermal stability of TiO_x passivating layer deposited by atomic layer deposition”, 10th International Workshop on Crystalline Silicon for Solar Cells (国際学会), 2018.
8. Sei Miki, **Kurokawa Yasuyoshi**, Kato Shinya, Kazuhiro Gotoh, Usami Noritaka, “EFFECT OF NOVEL SUB-MICRON STRUCTURE FABRICATED ONTO CRYSTALLINE SILICON ON OPTICAL PROPERTIES AND MINORITY CARRIER LIFETIME”, Grand Renewable Energy 2018 (国際学会), 2018.
9. Mochizuki Takeya, Gotoh Kazuhiro, Ohta Akio, **Kurokawa Yasuyoshi**, Miyazaki Seiichi, Yamamoto Takahisa, Usami Noritaka, “Local structure of high performance TiO_x passivating layer revealed by electron energy loss spectroscopy”, The 7th World Conference on Photovoltaic Energy Conversion (WCPEC-7) (国際学会), 2018.
10. 根笹良太, 清美樹, **黒川康良**, 宇佐美徳隆, “薄型結晶 Si 太陽電池応用に向けたサブミクロン Si ナノワイヤ構造の作製と評価”, 第 15 回「次世代の太陽光発電システム」シンポジウム, 2018.
11. Nezasa Ryota, **Kurokawa Yasuyoshi**, Usami Noritaka, “Evaluation of Si Nanowire MOS Capacitor Using High-k Dielectric Materials”, IEEE NANO 2018 (国際学会), 2018.
12. 望月 健矢, 後藤和泰, **黒川康良**, 山本剛久, 宇佐美徳隆, “電子エネルギー損失分光法を用いた高パッシベーション性能 TiO_x/SiO_x ヘテロ界面の局所構造の解明”, 第 79 回応用物理学会秋季学術講演会, 2018.
13. 望月 健矢, 後藤和泰, **黒川康良**, 山本剛久, 宇佐美徳隆, “超薄膜 TiO_x/結晶 Si 界面における酸素・水素原子の挙動”, 第 12 回 物性科学領域横断研究会, 2018.
14. Gotoh Kazuhiro, **Kurokawa Yasuyoshi**, Yamamoto Takahisa, Usami Noritaka, “Local analysis of TiO_x/SiO_x stack with excellent electrical properties for carrier selective contact”, The Forum on the Science and Technology of Silicon Materials 2018 (国際学会), 2018.
15. Nezasa Ryota, **Kurokawa Yasuyoshi**, and Usami Noritaka, “Fabrication of a Si Nanowire MOS Capacitor for the Application to Energy Storage Devices”, International Conference on Solid State Devices and Materials (SSDM 2017) (国際学会), 2017.
16. **Kurokawa Yasuyoshi**, Nezasa Ryota, Kato Shinya, Miyazaki Hisashi, Takahashi Isao, and Usami Noritaka, “Performance Improvement of Silicon Nanowire Based Solar Cells Using Al₂O₃/TiO₂ Passivation Films”, 2017 MRS Fall Meeting & Exhibit (国際学会), 2017.
17. 根笹良太, **黒川康良**, 宇佐美徳隆, “大容量蓄電デバイス応用に向けた Si ナノワイヤ MOS キャパシタの作製”, 日本学術振興会第 175 委員会 第 14 回「次世代の太陽光発電システム」シンポジウム, 2017.

[産業財産権]

○出願状況 (計 1 件)

名称：光吸収体
 発明者：**黒川康良**
 権利者：**黒川康良**
 種類：特願
 番号：2017-070019
 出願年：2017 年
 国内外の別： 国内

[その他]

ホームページ：宇佐美・黒川研究室 <http://www.numse.nagoya-u.ac.jp/photronics/>
 アウトリーチ活動：1. PV JAPAN 2018 パシフィコ横浜 2018/6/20-22, 2. テクノフェア名大 2018 名古屋大学 2018/10/20, 3. PV JAPAN 2017 パシフィコ横浜 2017/7/5-7, 4. テクノフェア名大 2017 名古屋大学 2017/10/21, 5. PV JAPAN 2016 パシフィコ横浜 2016/6/29-7/1

6. 研究組織

※科研費による研究は、研究者の自覚と責任において実施するものです。そのため、研究の実施や研究成果の公表等については、国の要請等に基づくものではなく、その研究成果に関する見解や責任は、研究者個人に帰属されます。