

科学研究費助成事業 研究成果報告書

平成30年6月15日現在

機関番号：12608

研究種目：若手研究(B)

研究期間：2016～2017

課題番号：16K18087

研究課題名（和文）積層型極短チャネルIII-V族MOSFET

研究課題名（英文）Stacked short channel III-V MOSFET

研究代表者

金澤 徹（Kanazawa, Toru）

東京工業大学・工学院・助教

研究者番号：40514922

交付決定額（研究期間全体）：（直接経費） 3,200,000円

研究成果の概要（和文）：超高速・低消費電力論理回路用素子を実現するための技術として、縦方向に積層されたInGaAs極薄膜をチャネルとするトランジスタの開発に取り組んだ。有機金属気相成長法による再成長で形成したソースドレインによって中空に保持されたInGaAsチャネルの形成プロセスを開発した。断面観察からは厚さ10 nm以下、幅100 nm以上という縦横比のナノシートが二層に積層された構造が実現されていることが分かった。ここに高誘電率ゲート絶縁膜とモリブデン電極からなるゲートスタック構造を形成し、トランジスタ素子の測定を行った。電流特性からは積層型ナノシート構造の優位性を示す結果が得られた。

研究成果の概要（英文）：A transistor with vertically stacked InGaAs nanosheet channel was studied to realize the high-speed and low-power logic circuits. We proposed and demonstrated the fabrication process of InGaAs nanosheet channels, which were suspended by the heavily doped source/drain regrown by MOCVD. The cross-sectional observation showed that the two stacked InGaAs nanosheets had the thickness of 10 nm and width of 100 nm. After the formation of gate stacks with the high-k dielectric and molybdenum electrode, the transistor properties were measured. The I-V characteristics indicated the advantages of the stacked nanosheet structure.

研究分野：電子デバイス

キーワード：MOSFET 化合物半導体 MOCVD マルチゲート ナノシート

1. 研究開始当初の背景

高度情報化社会における消費エネルギー削減や処理能力向上、モバイル機器の稼働時間増加といった観点から、高性能かつ低消費電力な大規模集積回路(LSI)を実現することが必要とされている。この為には、回路設計と共に LSI を構成する基幹素子である電界効果トランジスタ(FET)の高速化・低電圧化が不可欠である。過去数十年に渡ってその取り組みはスケージングと呼ばれるデバイスサイズの縮小化によって達成されてきたが、近年では物性的/物理的な限界が現れている。

この限界を超えるべく従来のスケージングに加えてさらなる高性能化のために高誘電率ゲート絶縁膜や立体型マルチゲート構造といった新技術の導入が行われてきた。今後もさらなる性能向上を継続して進めるための技術を随時導入していくことが求められている。その候補として従来の材料系であるシリコンと比較して高いキャリア移動度を有する III-V 族化合物半導体やゲルマニウムといった材料のチャネル利用がある。III-V 族化合物の一つである InGaAs は 2000 年代後半より盛んに研究がおこなわれ、その優れた特性を活かしたデバイス動作の報告がなされつつある材料である。本課題の関連研究においても平面型素子構造において、ソース/ドレインを有機金属気相成長(MOCVD)法を用いたエピタキシャル成長により高濃度ドーピングすることによる、InGaAs チャネルを用いてシリコンチャネルを上回る 2.4 mA/ μm での高電流動作を実証している。

MOCVD 再成長によってソース/ドレイン形成を行ったフィン型立体チャネル構造においても幅 40 nm 高さ 50 nm という形状での動作を確認し、プレナー型素子と比較して優れたオフ特性が得られることを確認していた。一方でフィン側壁における傾斜やラフネスの存在、ドライエッチングによるチャネル表面へのダメージ、フィン幅削減時の電流低下等の問題が確認されその解決策が求められていた背景がある。

そういった状況においてシリコン系において近年積層型ナノシートと呼ばれる新しい立体型チャネル構造が提案された。これは、薄膜チャネルを縦方向に複数配置したデバイス構造であり、チャネル長 10 nm 以下の極短チャネル FET へ向けて今後の展開が期待されている。

2. 研究の目的

本研究においては、将来の超高速・低消費電力デバイスへの応用へ向けた研究開発として、高い電子移動度を有する III-V 族化合物半導体の積層型薄膜チャネル構造を用いた FET の実現を目的とした。

極短チャネル化へ向けた制御性向上のためチャネルは厚さ 10 nm 以下とした極薄のナノシート構造を積層して中空保持する形で実現する事を目指した。

3. 研究の方法

本研究課題において提案したデバイスの構造を以下図 1 に示す。

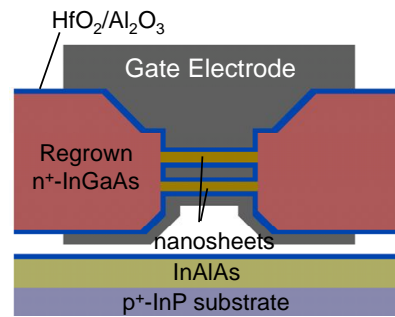


図 1 提案デバイス構造模式図

積層型ナノシート構造はフィン型の立体型構造と比較した場合に、

- (1) 電流設計がフィン本数で量子化されず、回路の場所ごとに自由な幅設計が可能
 - (2) 結晶成長と選択ウェットエッチングによる均一性の高い極薄膜チャネルの実現
 - (3) チャネル組成比の許容範囲が広く In 組成増加による移動度の向上が期待
- といった利点を有することが期待される。

さらに本研究で採用している MOCVD 再成長ソース/ドレインは $2 \times 10^{19} \text{ cm}^{-3}$ を超える高いドーピング濃度を実現可能であることから、寄生抵抗削減・キャリア注入能力向上といった効果が得られることが過去の研究より示されている。

ゲート絶縁膜としては InGaAs 上で大きなゲート容量と良好な界面状態の両立するため、 Al_2O_3 0.3 nm 界面層と HfO_2 5 nm という二種の高誘電率絶縁膜を原子層堆積法により形成している。

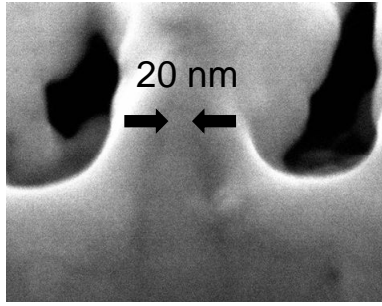
将来的にはチャネル積層数は駆動能力向上の観点から 3~4 層程度が期待されるが、本研究においては基礎的な特性評価やプロセス開発を目的として、最も基本となる二層の積層化を行った構造で素子形成を行っている。

4. 研究成果

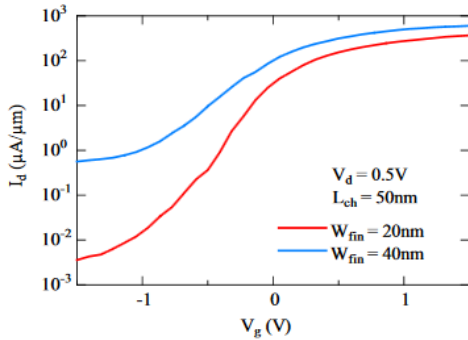
(1) フィン型デバイスでの基礎特性評価

積層型チャネル構造を用いたデバイスの作製に先立って、これまで研究を行ってきたフィン型チャネル構造を用いて再成長ソース/ドレインの形成条件や現行のプロセスで形成可能な最小フィン幅である 20 nm までの範囲でデバイスの評価を行いフィン幅に対する電流特性の依存性を確認した。

フィン幅の削減に伴うサブスレッショルド特性やオフ電流における改善効果が示されていると共に、20 nm の時点でも短チャネル効果による SS の劣化やフィン構造下部における幅の広がり等より薄く均一なボディ厚を実現する事の必要性が確認された。再成長層のドーピング濃度としては MOCVD 成長を 580 で行った場合に $3 \times 10^{19} \text{ cm}^{-3}$ と最も高い値が得られた。



(a) 20 nm 幅を有するフィンの断面 SEM 像



(b) 伝達特性のフィン幅依存性
図 2 再成長 S/D を有する FinFET

(2) 積層型チャンネル構造の理論検討

ナノシート構造における短チャンネル効果を検討することを目的に 3 次元 TCAD シミュレーションによりチャンネル長 20 nm における電流特性の予測を行いその特性について明らかとした(図 3)。

設置面積当たりの性能で比較すると、プレーナ型デバイスと比較して短チャンネル効果を抑制可能である他、ナノシート構造の上下両面をゲート電極とした場合で、垂直な側壁と高いアスペクト比を有する理想的なフィン構造とほぼ同等の特性が期待でき、ナノワイヤに対しても電流駆動能力で勝るといふ計算結果が得られた。一方で、ナノシート下面への金属成膜によるゲートオールアラウンド(GAA)構造形成も短チャンネル効果抑制には重要であるという予測が得られた。

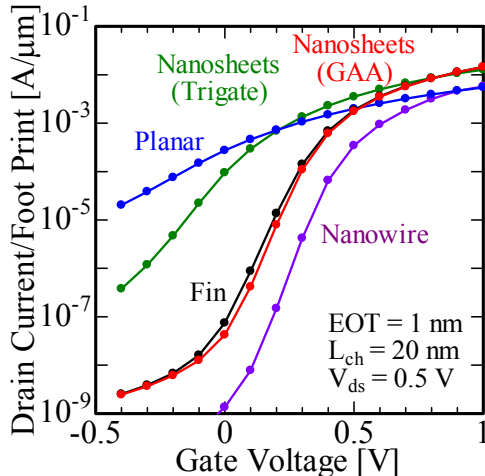


図 3 InGaAs チャンネル形状による特性変化のシミュレーション

(3) 積層ナノシートチャンネルの形成

再成長 InGaAs ソース/ドレインによって中空に保持された二層の InGaAs ナノシート構造を形成するための作製プロセスを開発し、提案したデバイス構造の形成が可能であることを示した(図 4)。

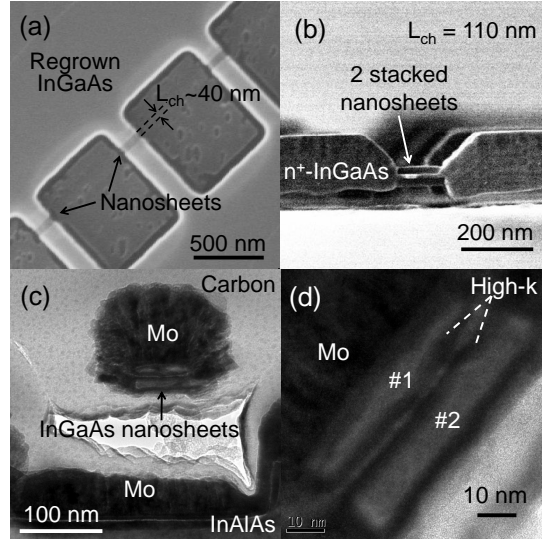


図 4 積層型チャンネルの形成

水素シルセスキオキサン(HSQ)をマスクとして InGaAs/InP 周期構造のエッチングと n^+ -InGaAs の MOCVD 選択再成長を行い、メサ形成後に層間 InP 犠牲層を横方向から選択的ウェットエッチングにより除去することで、両端を再成長 n^+ -InGaAs によって保持されたナノシートが二層に配置された積層型チャンネル構造を形成することが出来た。

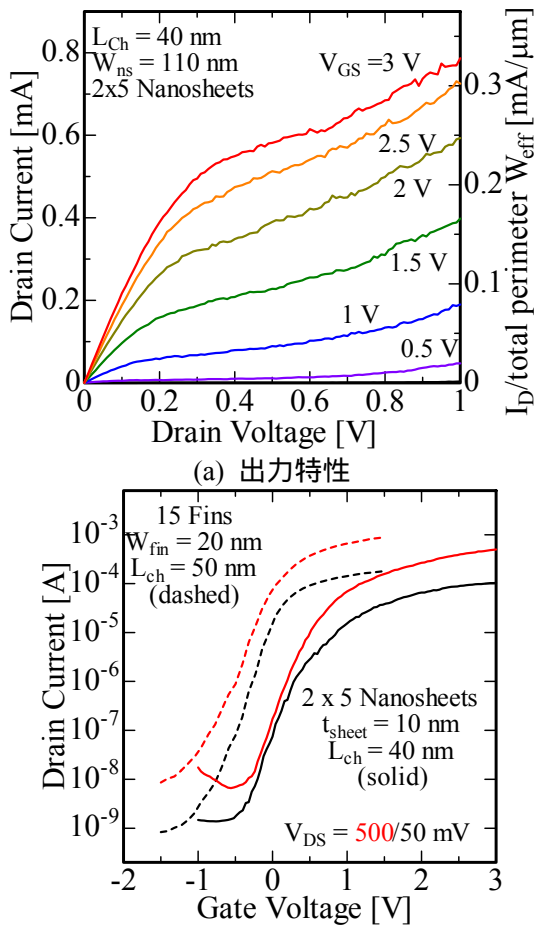
作製した積層ナノシートに対して原子層堆積法による高誘電率絶縁膜(Al_2O_3/HfO_2)の成膜とスパッタ法によるモリブデンの堆積を行った。チャンネル断面の TEM 観察において、10 nm 以下の厚さと 100 nm 以上の幅を持つナノシートチャンネルと上部ゲートスタック構造の形成がなされていることが確認できた。厚さ t に対する幅 W のアスペクト比 W/t は 10 以上が達成されており、これは III-V 族における立体型チャンネル構造として非常に良好な形状が形成されており、短チャンネル価に好適な構造が得られていると考えることが出来る。

一方で金属成膜の異方性により裏面への堆積が十分ではなく、GAA 構造を実現するためには金属堆積法をより等方的な成膜プロセスに変更することが必要であるという課題も確認された。

(4) ナノシートトランジスタ動作の実証

作製したナノシートトランジスタの電流電圧測定を行い、提案した積層型ナノシートチャンネルの優位性を示唆する結果を得ることが出来た。

代表的な電流電圧特性を以下の図 5 に示している。



(a) 出力特性
(b) 伝達特性(ナノシートとフィンの比較)
図 5 InGaAs ナノシート FET の電流特性

明瞭な FET 動作が確認されチャンネル長 40 nm においてもオンオフ比 4 桁以上の値が得られ、最大電流は外周長での規格化において 0.2 mA/μm、シート幅で規格化した場合には 0.9 mA/μm を示した。ナノシート構造とフィン構造とを比較した伝達特性からはドレイン誘起障壁低下(DIBL)やオフ状態におけるサブスレッショルドスロープ(SS)といった、サブスレッショルド領域での特性に改善が見られており、短チャンネル効果の抑制効果が確認できた。

また、ドレイン電圧 $V_{DS} = 0.5$ V ゲート電圧 $V_{GS} = 3$ V の条件におけるドレイン電流をシート幅で規格化しチャンネル長に対してプロットした場合(図 6)では、異なる幅設計が同じ傾向を示していることが示された。このことはデザイン幅に対して比例した電流が流れることを支持しており、量子化されない連続的な電流設計というナノシート構造の利点を示唆している。SS の値についてもチャンネル長に依存しない傾向が確認され、チャンネル長 40 nm までの範囲では顕著な短チャンネル効果の表出が現れていない。一方で絶縁膜界面の電荷トラップの影響が大きく、絶縁膜容量削減と界面品質の改善が必要である。

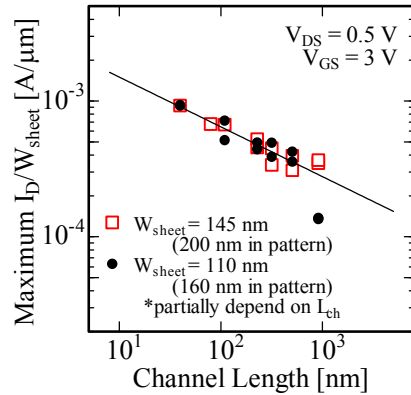


図 6 最大ドレイン電流のチャンネル長依存性

(5) GAA 構造へ向けた TiN ゲート電極の検討さらなる特性の向上に必要な GAA 型構造の導入へ向けて裏面を含めた均一な成膜が可能な原子層堆積法による金属 TiN の成膜を用いたデバイス開発を行った。

原子層堆積を行った TiN において 10^{-4} Ωcm 台の抵抗率が得られ、直流動作を行う上で問題とならない範囲に収まっていることが確認された。20 nm の TiN を用いたデバイスを作製し、FET として動作することを確認した。

5. 主な発表論文等

〔雑誌論文〕(計 1 件)

木瀬 信和、木下 治紀、行待 篤志、金澤 徹、宮本 恭幸、Fin width dependence on gate controllability of InGaAs channel FinFETs with regrown source/drain、Solid-State Electronics、126 巻、2016、92-95 (査読有)

〔学会発表〕(計 4 件)

大澤 一斗、金澤 徹、木瀬 信和、雨宮 智宏、宮本 恭幸、InGaAs ナノシートチャンネルを持つマルチゲート MOSFET に向けた作製プロセス開発、第 78 回応用物理学会秋季学術講演会、2017、8a-C18-3
金澤 徹、大澤 一斗、雨宮 智宏、木瀬 信和、青沼 遼介、宮本 恭幸、InGaAs ナノシートトランジスタの作製、第 65 回応用物理学会春季学術講演会、2018、18a-G203-3
金澤 徹、大澤 一斗、雨宮 智宏、木瀬 信和、青沼 遼介、宮本 恭幸、Fabrication of InGaAs Nanosheet Transistor、Compound Semiconductor Week (CSW2018)、We3C3.2
宮本 恭幸、金澤 徹、木瀬 信和、木下 治紀、大澤 一斗、Regrown Source / Drain in InGaAs Multi-Gate MOSFET、ICMOVPE、2018、P2-32

6. 研究組織

(1) 研究代表者

金澤 徹 (KANAZAWA, Toru)

東京工業大学・工学院・助教
研究者番号： 40514922