

平成 30 年 6 月 26 日現在

機関番号：12701

研究種目：若手研究(B)

研究期間：2016～2017

課題番号：16K18089

研究課題名(和文)窒化ニオブを用いた断熱型超伝導集積回路の開発

研究課題名(英文)Development of adiabatic superconductor integrated circuits using niobium nitride

研究代表者

竹内 尚輝 (Takeuchi, Naoki)

横浜国立大学・先端科学高等研究院・特任教員(准教授)

研究者番号：00746472

交付決定額(研究期間全体)：(直接経費) 3,200,000円

研究成果の概要(和文)：従来(4 K)より高い温度で動作が可能な超伝導集積回路を実現するため、窒化ニオブ(NbN)を用いた断熱超伝導回路(AQFP)の検討を行った。情報通信研究機構(NICT)が提供するNbN集積回路プロセスを用いて、NbN-AQFP論理ゲートの設計を行った。基本的な論理ゲートを含むテスト回路のマスクパターンを設計し、NICTのプロセスを用いてNbN-AQFP回路を作製した。回路シミュレーションにより、NbN-AQFP回路の動作安定性や消費エネルギーを評価した。本研究結果より、NbNを超伝導集積回路に用いるメリット(小型、高い動作安定性、低消費エネルギー)が示された。

研究成果の概要(英文)：We investigated adiabatic superconductor logic, or AQFP logic, using niobium nitride (NbN) to achieve superconductor integrated circuits that can operate at higher temperature than 4 K. We designed NbN-AQFP logic gates using the NbN integrated-circuit fabrication process provided by the National Institute of Information and Communications Technology (NICT). We designed the mask layout of a test circuit that includes basic NbN-AQFP logic gates and fabricated it using the NICT process. We also evaluated the operational stability and energy dissipation of NbN-AQFP gates. Our results indicate the advantage of NbN-AQFP gates: small circuit area; high operational stability; small energy dissipation.

研究分野：超伝導エレクトロニクス

キーワード：磁束量子パラメトロン 断熱ロジック 窒化ニオブ 超伝導集積回路

1. 研究開始当初の背景

次世代ハイエンドコンピュータ実現のためには、半導体に比べて革新的に消費電力の低い集積回路が必要となる。エネルギー効率の優れた超伝導集積回路が注目されているが、従来の超伝導集積回路はニオブ (Nb) を用いて作製されていたため、4 K 程度まで冷やす必要があり、多大な冷却コストが伴った。よって、より高い温度 (~10 K) で動作が可能な、窒化ニオブ (NbN) を用いた超伝導集積回路の実現が期待される。しかしながら、NbN を用いたプロセスは一般的に素子ばらつきが大きく、超伝導集積回路の実現は困難であった。

2. 研究の目的

本研究は、断熱磁束量子パラメトロン (AQFP) を用いることで、NbN 超伝導集積回路を実現する。NbN は臨界温度が高く、超伝導集積回路の課題である冷却コストを大幅に低減することが可能である。しかしながら、素子ばらつきが比較的大きいため、回路作製は困難であった。そこで本研究では、素子ばらつきに対してロバストな AQFP 回路を用いることで、NbN 超伝導集積回路の実現を目指す。また、数値シミュレーションから、NbN 超伝導集積回路のエネルギー効率、動作安定性、等の回路特性を評価する。

3. 研究の方法

共同研究先である情報通信研究機構 (NICT) が提供する NbN 集積回路プロセスを用いて、NbN-AQFP 回路の設計、作製、並びに動作実証を目指す。(1) まず最初に、NICT が提供する NbN 集積回路プロセスのデバイスパラメータを用いて、AQFP ゲートのレイアウト及び回路図の設計を行う。ここで、従来の Nb を用いたデザインと面積等を比較する。(2) 次に、基本的な論理ゲートを含む、NbN-AQFP セルライブラリを構築する。ライブラリ中のゲートを用いて基本的な AQFP 論理回路を設計し、回路シミュレーションにより動作実証を行う。また、消費エネルギーについてもシミュレーションにより評価する。(3) 構築した NbN-AQFP のセルライブラリを用いて、基本的な論理回路を含むマスクパターンを作製する。NICT の NbN 集積回路プロセスを用いて、NbN-AQFP 回路を作製する。(4) 最後に、作製した NbN-AQFP 回路の動作テストを行う。

4. 研究成果

(1) NbN-AQFP の設計

NICT が提供する NbN 集積回路プロセスのデバイスパラメータを反映し、AQFP ゲートのレイアウト及び回路図の設計を行った。図 1 に、設計した AQFP バッファのレイアウト図を示す。 J_1 及び J_2 は、アクティブ素子であるジョセフソン接合である。ゲート面積は $35 \mu\text{m}$ (高さ) $\times 20 \mu\text{m}$ (幅) だった。NbN の比較的大きな磁場侵入長を活かすことで、従来の Nb を用いた設計 [1] に比べて、ゲート面積をお

よそ半減することに成功した。本検討結果より、NbN を用いることで、超伝導集積回路を小型化できることが明確に示された。また、インダクタンス抽出ツールである InductEx [2] を用いて本ゲートの回路パラメータを抽出し、等価回路図を作成した。

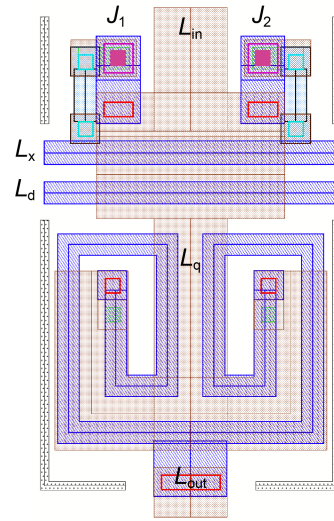


図 1. NbN-AQFP バッファ。

(2) セルライブラリの構築

図 1 に示したバッファのレイアウトデザインを基に、インバータ等の基本的な AQFP ゲートを設計し、セルライブラリを構築した。構築したセルライブラリを用いて XOR ゲートを設計し、回路シミュレーションを行った結果を図 2 に示す。 I_{x1} 及び I_{x2} は励起電流、 I_{in1} と I_{in2} は入力電流、 I_{out} は出力電流である。XOR ゲートの正常な論理動作、並びに広い動作マージンを確認した。さらに、バッファチェーンを設計し、AQFP ゲートの消費エネルギーを回路シミュレーションにより見積もった。図 3 に、AQFP ゲートのスイッチングエネルギー (スイッチ動作当りの消費エネルギー) のシミュレーション結果を示す。横軸は、動作周波数である。5 GHz 動作において、 $4.6 \times 10^{-20} \text{ J}$ という非常に小さなスイッチングエネルギーを確認した。本検討結果より、NbN を用いることで優れた動作安定性とエネルギー効率が得られることが示された。また、NbN を用いることで従来 (4 K) よりも高い温度 (10 K) で動作できるため、冷却のためのエネルギーコストを低減できる。

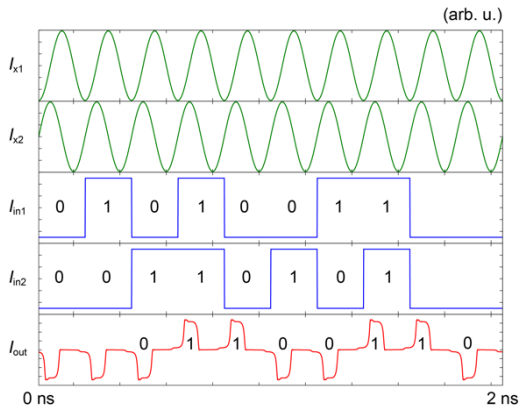


図 2. NbN-AQFP XOR ゲートのシミュレーション結果.

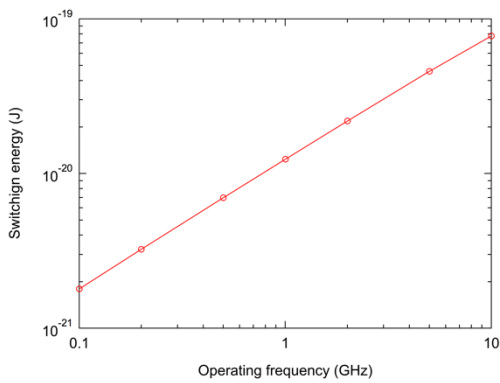


図 3. NbN-AQFP バッファのスイッチングエネルギー.

(3) デバイス作製

構築した NbN-AQFP のセルライブラリを用いて、基本的な論理回路を含むマスクパターンを作製した. NICT において、デバイス作製に向けて検討を行った. クリーンルームの移設及び露光装置の変更により、回路作製条件が変わったため、まずは薄膜の成膜およびエッチング条件の最適化を行った. 露光装置において、露光時における焦点合わせのエラーおよび位置ずれが多発したが、焦点合わせ用のセンサのパラメータの最適化、並びに位置ずれを補正するためのオフセットを加えることで、これらの問題を大幅に改善した. 層間絶縁層に用いている SiO_2 薄膜に関しては、スパッタ成膜時での成膜レートが以前と異なっていたため、実際にパターニングを行い、膜厚を計測することで現状での成膜レートの確認を行った. 抵抗層である Mo 薄膜を CF_4 ガスでエッチングする際に、エッチング時間が長くなることで Mo 薄膜の下部の層の SiO_2 薄膜がエッチングされてしまい、 SiO_2 薄膜の膜厚が薄くなるという問題があった. これに関しては、Mo 薄膜の下に CF_4 ガスでエッチングされない AlN 薄膜等を成膜しておき、 SiO_2 薄膜が必要以上にエッチングされないような構造を検討した. 以上のプロセスに関連した問題を解決し、作製したマスクパターンを用い

て、NbN-AQFP 回路の作製を行った. 図 4 に、作製したセルテスト回路のチップ写真を示す. 本回路には、バッファ、インバータ、AND、多数決 (MAJ)、等の基本的な論理ゲートが含まれている. 図 5 に、作製した XOR ゲートのチップ写真を示す. XOR ゲートは、バッファ、AND、OR ゲートにより構成される.

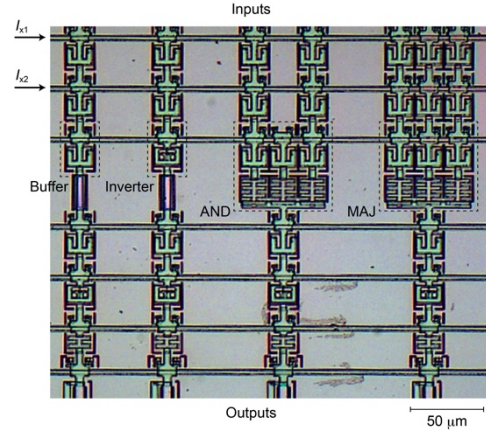


図 4. 作製した NbN-AQFP セルテスト回路.

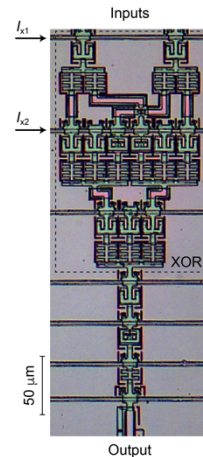


図 5. 作製した NbN-AQFP XOR ゲート.

(4) 実験

図 4、及び図 5 に示した NbN-AQFP 回路の動作テストを液体ヘリウム中で行った. 図 6 に、バッファのテスト結果を示す. 励起電流 (I_{x1}, I_{x2}) に同期した信号が出力電圧 (V_{out}) に現れているが、正常な論理動作を確認することはできなかった. 他の回路においても、同様の結果であった. 正常動作が得られなかった原因については、回路作製プロセスの最適化が十分でなかったことが考えられる. 今回の実験で用いた $\text{MgO}(100)$ 基板上にフルエピタキシャル成長した NbN/AlN/NbN 接合は、接合単体としては 5.6 mV 以上のギャップ電圧、低リーク電流等の優れた特性を有するものの、集積回路応用で重要となる特性の均一性の評価はまだ十分になされていない. 単結晶基板として MgO が Si に比べて結晶品質が大きく劣ること、MgO が潮解性を持つこと等を考えると、ウェハ全体での特性均一性は今後の大

きな懸念材料である。NICT では、Si(100)上に TiN バッファ層を用いてフルエピタキシャル NbN/AlN/NbN 接合を作製する技術の開発を進めており[3]、今後は Si 基板上で NbN 集積回路の作製プロセス開発を進めていく予定である。また、グランド面が最上層に位置している現状の回路構造では、グランド層の段差部にトラップされた磁束が回路動作に影響を及ぼすことも懸念される。今後は、平坦化プロセスの導入も視野に入れたプロセス開発が重要になると考えられる。

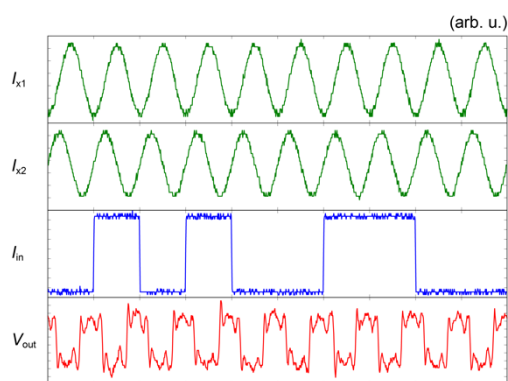


図 6. NbN-AQFP バッファの測定波形。

<参考文献>

- [1] N. Takeuchi, Y. Yamanashi, and N. Yoshikawa, *J. Appl. Phys.* **117**, 173912 (2015).
 - [2] <http://www0.sun.ac.za/ix/?q=home>
 - [3] K. Makise, H. Terai and Y. Uzawa, *IEEE Trans. on Appl. Supercond.* **26**, 1100403 (2016).
5. 主な発表論文等
(研究代表者、研究分担者及び連携研究者には下線)
- [雑誌論文] (計 7 件)
1. N. Takeuchi, T. Yamashita, S. Miyajima, S. Miki, N. Yoshikawa, and H. Terai, “Adiabatic quantum-flux-parametron interface for the readout of superconducting nanowire single-photon detectors,” *Optics Express*, vol. 25, no. 26, pp. 32650–32658, Dec. 2017. (DOI: 10.1364/OE.25.032650) 査読有
 2. T. Ando, S. Nagasawa, N. Takeuchi, N. Tsuji, F. China, M. Hidaka, Y. Yamanashi, and N. Yoshikawa, “Three-dimensional adiabatic quantum-flux-parametron fabricated using a double-active-layered niobium process,” *Superconductor Science and Technology*, vol. 30, no. 7, p. 75003 (7pp), Jun. 2017. (DOI: 10.1088/1361-6668/aa6ef4) 査読有
 3. N. Takeuchi, H. Suzuki, and N. Yoshikawa, “Measurement of low bit-error-rates of adiabatic quantum-flux-parametron logic using a superconductor voltage driver,” *Applied Physics Letters*, vol. 110, no. 20, p. 202601 (4pp), May 2017. (DOI: 10.1063/1.4983351) 査読有
 4. 竹内 尚輝, “超低電力マイクロプロセッサの実現に向けた断熱型磁束量子パラメトロン of 進展,” *低温工学*, vol. 52, no. 5, pp. 332-339, 2017 年 9 月. (DOI: 10.2221/jcsj.52.332) 査読有
 5. N. Takeuchi, S. Nagasawa, F. China, T. Ando, M. Hidaka, Y. Yamanashi, and N. Yoshikawa, “Adiabatic quantum-flux-parametron cell library designed using a 10 kA cm⁻² niobium fabrication process,” *Superconductor Science and Technology*, vol. 30, no. 3, p. 35002 (6pp), Jan. 2017. (DOI: 10.1088/1361-6668/aa52f3) 査読有
 6. 安藤 拓生, 竹内 尚輝, 山梨 裕希, 吉川 信行, “非対称構造を用いた断熱型磁束量子パラメトロン定数セル,” *電気学会論文誌 A (基礎・材料・共通部門誌)*, vol. 136, no. 12, pp. 747–752, Dec. 2016. (DOI: 10.1541/ieejfms.136.747) 査読有
 7. C. Fourie, N. Takeuchi, and N. Yoshikawa, “Inductance and current distribution extraction in Nb multilayer circuits with superconductive and resistive components,” *IEICE Transactions on Electronics*, vol. E99–C, no. 6, pp. 683–691, Jun. 2016. (DOI: 10.1587/transle.E99.C.683) 査読有 招待論文
- [学会発表] (計 8 件)
1. N. Takeuchi, C. L. Ayala, Q. Xu, H. Suzuki, Y. Yamanashi, T. Ortlepp, and N. Yoshikawa, “Recent Development and Applications of Adiabatic Quantum Flux Parametron,” *The 11th Superconducting SFQ VLSI Workshop (SSV2018)*, National Institute of Advanced Industrial Science and Technology, Ibaraki, Feb. 2018 (Oral).
 2. N. Takeuchi, C. Ayala, Q. Xu, Y. Yamanashi, and N. Yoshikawa, “Current Progress in Adiabatic Quantum Flux Parametron,” *The 30th International Symposium on Superconductivity (ISS 2017)*, Iino Hall and Conference Center, Tokyo, Dec. 2017 (Oral). 招待講演
 3. 竹内 尚輝, 山下 太郎, 宮嶋 茂之, 三木 茂人, 吉川 信行, 寺井 弘高 “同一冷凍機内での SSPD と AQFP インターフェイス回路の接続実証,” 第 65 回応用物理学会春季学術講演会, 早稲田大学, 東京都, 2018 年 3 月.
 4. F. China, N. Tsuji, T. Ando, H. Takayama, N. Takeuchi, S. Nagasawa, M. Hidaka, Y. Yamanashi, and N. Yoshikawa, “High-density Integration of Adiabatic Quantum-Flux-Parametron Circuits by Using Double-Active-Layered Niobium Process,” *The 16th International Superconductive Electronics*

- Conference (ISEC 2017), Sorrento, Italy, Jun. 2017 (Poster).
5. N. Takeuchi, S. Nagasawa, F. China, T. Ando, M. Hidaka, Y. Yamanashi, and N. Yoshikawa, "Adiabatic quantum-flux-parametron cell library developed using a 10 kA cm⁻² niobium fabrication process," *The 10th Superconducting SFQ VLSI Workshop (SSV2017)*, Nagoya University, Aichi, Feb. 2017 (Oral).
 6. T. Narama, F. China, N. Takeuchi, T. Ortlepp, Y. Yamanashi, and N. Yoshikawa, "Yield evaluation of 83k-junction adiabatic quantum-flux-parametron circuit," *The Applied Superconductivity Conference 2016 (ASC 2016)*, Denver, USA, Sep. 2016 (Oral). **招待講演**
 7. N. Takeuchi, C. L. Ayala, Q. Xu, F. China, N. Tsuji, T. Ando, Y. Murai, K. Fang, T. Ortlepp, Y. Yamanashi, and N. Yoshikawa, "A Review of Current Progress of Adiabatic Quantum-Flux-Parametron Logic," *The 9th Superconducting SFQ VLSI Workshop (SSV2016)*, Yokohama National University, Kanagawa, Aug. 2016 (Oral). **招待講演**
 8. N. Takeuchi, C. Ayala, Q. Xu, F. China, N. Tsuji, T. Narama, T. Ortlepp, Y. Yamanashi, and N. Yoshikawa, "Recent Progress towards Energy-Efficient Microprocessors Using AQFP Logic," *The 5th International Conference on Superconductivity and Magnetism (ICSM 2016)*, Fethiye, Turkey, Apr. 2016 (Oral). **招待講演**

[図書] (計 0 件)

[産業財産権]

○出願状況 (計 0 件)

名称：
発明者：
権利者：
種類：
番号：
出願年月日：
国内外の別：

○取得状況 (計 0 件)

名称：
発明者：
権利者：
種類：
番号：
取得年月日：
国内外の別：

[その他]
ホームページ等

6. 研究組織

(1)研究代表者

竹内 尚輝 (TAKEUCHI, Naoki)
横浜国立大学・先端科学高等研究院・特任教員 (准教授)

研究者番号：00746472

(2)研究分担者

なし

研究者番号：

(3)連携研究者

なし

研究者番号：

(4)研究協力者

寺井 弘高 (TERAI, Hirotaka)
情報通信研究機構・未来 ICT 研究所フロンティア創造総合研究室・上席研究員

宮嶋 茂之 (MIYAJIMA, Shigeyuki)
情報通信研究機構・未来 ICT 研究所フロンティア創造総合研究室・研究員

吉川 信行 (YOSHIKAWA, Nobuyuki)
横浜国立大学・大学院工学研究院・教授