

令和元年5月21日現在

機関番号：24201

研究種目：若手研究(B)

研究期間：2016～2018

課題番号：16K18092

研究課題名（和文）多様な光・電気融合システムに対応可能な高速・低電力・小面積光受信回路の設計手法

研究課題名（英文）High-Speed, low-power and small footprint optical receiver circuit design covering various optoelectronics systems

研究代表者

土谷 亮 (Tsuchiya, Akira)

滋賀県立大学・工学部・准教授

研究者番号：20432411

交付決定額（研究期間全体）：（直接経費） 3,200,000円

研究成果の概要（和文）：本研究は、光電気融合システムにおける光受信回路の設計手法について検討した。CMOS技術によって様々な性能要求に対応すべく帯域延伸、低電力、低雑音、小面積を達成する回路技術を開発し、5 Gbps から 45 Gbps までの様々な速度域で高いエネルギー効率と小面積の雑音除去技術を提案した。また帯域延伸に使用するインダクタの設計についても検討を行ない、小面積化を達成するとともに回路との電磁的な結合の低減する構造も提案した。

研究成果の学術的意義や社会的意義

本研究は普及が進みつつある光-電気融合による高速通信の高性能化に寄与するものである。チップ間、チップ内をつなぐ光インターコネクトでは、速度・距離・光部品などによって要求される性能が大きく変わる。本研究の貢献はまず回路技術による性能向上を実現した点である。特にエネルギー効率の点では世界最高クラスの性能を実測で確認した。また、本研究を通して行なった一連の検討により、CMOSによってどのような範囲の性能が実現できるかを示した点も重要である。この情報は仕様検討などの段階で、使用プロセスや光部品の性能などを適切に選択する一助となる成果である。

研究成果の概要（英文）：The purpose of this research is to establish design methodology of optical receiver in high-speed communication systems. To cover various target specification by CMOS technology, several circuit techniques and design strategy are needed. We developed bandwidth enhancement with small footprint inductor, high energy efficiency and low noise design. The proposed techniques were verified in CMOS test chips from 5 Gbps to 45 Gbps. Furthermore, small footprint inductor were investigated and structures to suppress electromagnetic coupling between the inductor and the power/ground network were proposed.

研究分野：集積回路

キーワード：光電気融合 高速通信 CMOS 低雑音 インダクタ

## 様式 C - 19、F - 19 - 1、Z - 19、CK - 19 (共通)

### 1. 研究開始当初の背景

情報システムの扱うデータ量の飛躍的増大を受けて、高速データ伝送の需要はますます高まっている。この解決策の一つとして期待されるのが、従来の金属配線を光ファイバ・光導波路で置き換える光インターコネクタ技術であり、研究開始当初において盛んに研究されており、一部高性能システムには導入されていた。本研究の対象はそのような高速光通信での CMOS 受信回路の設計である。光インターコネクタは従来のバス配線などを置き換えるものであるため、デジタル回路と同一チップ上に集積可能な CMOS 回路であることは一つの重要なメリットである。ここで問題となるのは、従来の長距離通信用のシステムと異なり光インターコネクタでは実現すべき性能が多岐にわたるといえる点である。フォトディテクタや導波路の性能、多重化の並列数など、回路の性能要求を決める条件自体が多様なため、設計は非常に複雑なものになる。

### 2. 研究の目的

多様な要求仕様に対応するために、回路性能を改善するとともに CMOS 技術がどのような性能を実現可能かを明らかにする必要がある。そのため、本研究では目的を大きく以下の3つと考えた。

#### (1) 速度限界への挑戦

電力や面積などのリソースをすべて帯域向上に用いた場合に、どのような速度が達成可能かを探る。これまでの検討から、トランスインピーダンスアンプで「利得 70 dB、ビットレート 50 Gbps」を目標に設定した。

#### (2) 高速化・小面積を実現するインダクタ設計技術

(1)の速度限界と(3)の面積制約に関連する要素技術として、インダクタの設計手法の提案を行なう。オンチップインダクタは帯域延伸に必須である一方、面積が非常に大きくなる。占有面積に小さいインダクタを開発するとともに、その設計手法についても検討する。

#### (3) 面積制約下での設計手法

設計制約として面積を重視した点が本研究の特徴である。複数のチャンネルを高密度に実装するためには、ある決められた面積で実現可能な性能がどの程度か、という観点で設計する必要がある。上述のインダクタによる帯域延伸やノイズ対策、低電力化などの回路技術と面積の関係を明らかにする。

### 3. 研究の方法

研究は基本的に理論・シミュレーションによる検討と、チップ試作による実証を繰り返すことで進めていく。1年目は速度限界への挑戦に主眼を置き、まずは 50 Gbps を目標に高速 TIA とインダクタを設計する。試作チップの納品には数ヶ月必要なため、設計完了後に理論・シミュレーションによる設計手法の検討を行なう。2年目は多チャンネル並列実装を想定し、面積制約下での設計手法を検討する。ここでは1チャンネルのビットレートは 25 Gbps 程度とし、面積制約の中で低ノイズ化、低消費電力化を実現する方法を検討する。また、小面積でどのようなインダクタが実現できるかについても検討を行なう。3年目には TIA、インダクタの設計手法を確立し、チップ試作によって実証を行なう。

### 4. 研究成果

本研究成果の特色は、様々な性能の光受信アンプ (TIA) について回路および設計手法を提案し、チップ試作を通してその効果を検証した点である。実測した回路の概要を表1に示す。また、試作チップの顕微鏡写真を図1に示す。回路設計だけでなくインダクタについても独自設計を行ない、帯域延伸に特化するとともに小面積化を達成している。5 Gbps から 45 Gbps までの幅広い回路、また 65-nm と 180-nm の2つの製造プロセスで実証を行なっており、研究目標である多様な要求仕様への対応を達成したと言える。設計手法の観点では、面積制約のもとでの設計手法を検討し、面積効率のよいノイズ低減回路とその設計手法を提案した。

表1: 試作回路一覧

速度	プロセス	目的	対外発表
45 Gbps	65-nm CMOS	速度限界, 高エネルギー効率	投稿中
25 Gbps	65-nm CMOS	ノイズ低減回路	学会発表[2]
12.5 Gbps	65-nm CMOS	インダクタの小面積化	学術雑誌[1]
5 Gbps	180-nm CMOS	ノイズ低減回路設計手法	学会発表[1]

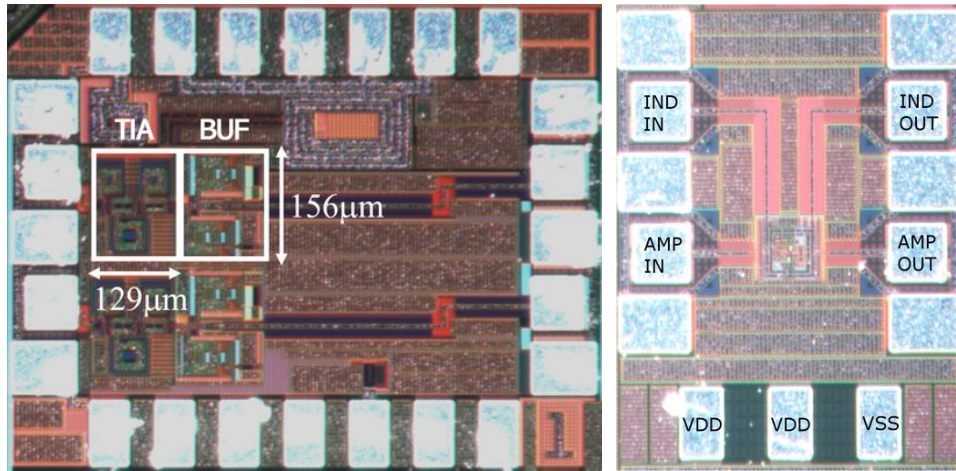


図 1: 試作チップ顕微鏡写真 (左: 45 Gbps 動作, 右: 12.5 Gbps 動作)

研究計画書に挙げた項目ごとに、成果の詳細について説明する。

- ・ **速度限界への挑戦** (70 dB , 50 Gbps) 達成した性能は 50 dB , 45 Gbps に留まった。一方で 1 ビット伝送に必要なエネルギーでは従来の約 1/2 , 占有面積では 1/5 という低電力・小面積を達成しており, CMOS では世界最高クラスの速度・低電力・小面積の両立を実現した。

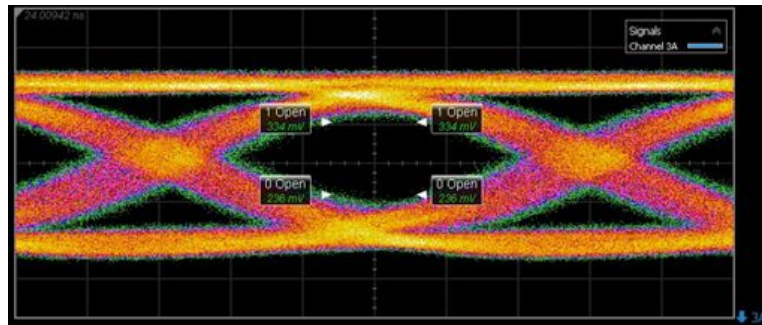


図 2: 45 Gbps 動作波形

- ・ **インダクタ設計手法の確立** 小面積インダクタを設計し, 45 Gbps の達成に寄与するとともに, 構造と特性の関連について発表を行なった (学会発表[5])。ただし系統的な設計手法の確立には至っていない。計画書になかった成果として, インダクタの直下に回路を配置した際の電磁的な結合について解析し, 結合を低減する配線構造について検討した (雑誌論文[1], 学会発表[3])。

- ・ **並列実装におけるノイズの評価・対策** 並列実装によって通信容量を増大させる際に, 電源・グラウンドを経由するノイズの問題が重大であることを確認し, その対策を提案した。通常, 電源・グラウンドを安定させるには大きなデカップリングコンデンサを挿入するため面積が大きくなる。本研究では, 同じ面積でよりノイズ削減効果の高い回路を提案し, 25 Gb/s を並列に集積した試作チップで 25%のノイズ削減を達成した (学会発表[2])。ノイズを実測した結果を図 3 に示す。また, 提案回路の最適化についても検討し, 設計指針を示した (学会発表[1])。

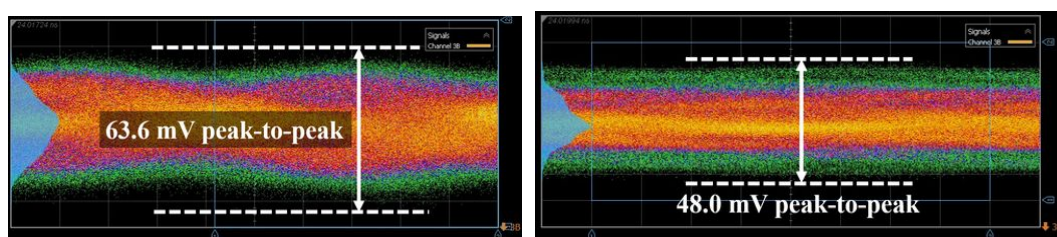


図 3: ノイズ低減回路の効果 (左: 従来回路のノイズ, 右: 提案回路のノイズ)

・多様なシステムへの適用 本研究では 65-nm CMOS と 180-nm CMOS の 2 つの製造プロセスで、5 Gb/s、25 Gb/s、45 Gb/s での動作を実現した上でノイズ削減や電力効率の最大化を実測で確認した (学会発表 [1, 2, 4, 6, 7, 8])。特に並列実装時のノイズ対策では面積効率のよい回路および設計手法を提案した。研究計画ではフォトディテクタ等光部品の性能、および CDR などの後段回路の特性に応じて回路の基本構造も複数種類をカバーすることを目標としていたが、そのような検討は学会発表[7]に留まり、試作チップによる実証はインバータ型 TIA のみとなった。

## 5. 主な発表論文等

〔雑誌論文〕(計 1 件)

- [1] Akira Tsuchiya, Akitaka Hiratsuka, Toshiyuki Inoue, Keiji Kishine, Hidetoshi Onodera, “Impact of On-Chip Inductor and Power-Delivery-Network Stacking on Signal and Power Integrity,” *IEICE Trans. Electronics*, vol.E102-C, No. 7, July 2019 (採録決定).

〔学会発表〕(計 8 件)

- [1] 谷村信哉, 土谷 亮, 野口凌輔, 井上敏之, 岸根桂路, 「多チャンネル実装トランスインピーダンスアンプにおける電源ノイズ削減フィルタの設計手法」, 電子情報通信学会 総合大会, 2019 年 3 月.
- [2] Akitaka Hiratsuka, Akira Tsuchiya, Kenji Tanaka, Hiroyuki Fukuyama, Naoki Miura, Hideyuki Nosaka, Hidetoshi Onodera, “A Low Input Referred Noise and Low Crosstalk Noise 25 Gb/s Transimpedance Amplifier with Inductor-less Bandwidth Compensation,” *IEEE Asian Solid-State Circuits Conference*, Nov. 2018.
- [3] Akira Tsuchiya, Akitaka Hiratsuka, Toshiyuki Inoue, Keiji Kishine, Hidetoshi Onodera, “Impact of On-Chip Multi-Layered Inductor on Signal and Power Integrity of Underlying Power-Ground Net,” *IEEE Workshop on Signal and Power Integrity*, May 2018.
- [4] 谷村 信哉, 土谷 亮, 井上 敏之, 岸根 桂路, 「群遅延偏差の線形近似による多段構成 TIA のジッタ低減」, LSI とシステムのワークショップ, 2018 年 5 月.
- [5] 土谷 亮, 「チップ内多層インダクタの構造と特性の関係評価」, 電子情報通信学会 集積回路研究会, 2018 年 3 月.
- [6] Akitaka Hiratsuka, Akira Tsuchiya, Hidetoshi Onodera, “Power-Bandwidth Trade-Off Analysis of Multi-Stage Inverter-Type Transimpedance Amplifier for Optical Communication,” *IEEE International Midwest Symposium on Circuits and Systems*, Aug. 2017.
- [7] 藤原将倫, 土谷 亮, 中野慎介, 野河正史, 野坂秀之, 小野寺秀俊, 「インバータ増幅段によるレギュレーティッドカスコード型トランスインピーダンスアンプの広帯域化」, 電子情報通信学会 集積回路研究会, 2017 年 3 月.
- [8] 土谷 亮, 中尾 拓矢, 中野慎介, 野河正史, 野坂秀之, 小野寺秀俊, 「高密度・高速光インターコネクトに向けた CMOS 光受信回路の開発」, 電子情報通信学会 回路とシステム研究会, 2017 年 2 月.

〔図書〕(計 0 件)

〔産業財産権〕

出願状況 (計 0 件)

取得状況 (計 0 件)

〔その他〕

ホームページ等

## 6. 研究組織

(1) 研究分担者  
なし

(2) 研究協力者  
なし

科研費による研究は、研究者の自覚と責任において実施するものです。そのため、研究の実施や研究成果の公表等については、国の要請等に基づくものではなく、その研究成果に関する見解や責任は、研究者個人に帰属されます。