

平成 21 年 5 月 13 日現在

研究種目： 基盤研究（C）  
 研究期間：2005～2008  
 課題番号： 17560319  
 研究課題名（和文） 大規模システム L S I 物理設計基盤技術の研究  
 研究課題名（英文） Research on basic technologies for physical design of large scale system LSI  
 研究代表者  
 吉村 猛（YOSHIMURA, Takeshi）  
 早稲田大学・情報生産システム研究科・教授  
 研究者番号：80367177

## 研究成果の概要：

大規模システム L S I 物理設計基盤技術として、フロアプラン手法、超高速回路のクロックスキュー最適化手法、および、物理設計と連携した上流設計手法の研究を行なった。そして、フロアプランでは従来比で配線長を約 20%、計算時間を 70%～85%削減する手法を提案した。また、クロックスキュー最適化ではラグランジュ緩和法を、上流設計手法では最小コストフローを用いたスケジューリング手法を提案し、いずれも従来を上回る結果を得た。

## 交付額

（金額単位：円）

	直接経費	間接経費	合計
2005年度	600,000	0	600,000
2006年度	600,000	0	600,000
2007年度	800,000	240,000	1,040,000
2008年度	900,000	270,000	1,170,000
年度			
総計	2,900,000	510,000	3,410,000

## 研究分野：工学

科研費の分科・細目：電気電子工学・電子デバイス・電子機器

キーワード：システム L S I、物理設計、設計自動化

## 1. 研究開始当初の背景

システム LSI の大規模化、微細化に伴い LSI の全遅延時間に占める配線遅延の割合が増大し、当時の 0.18 $\mu$ テクノロジーでも配線遅延が支配的となっていた。この配線遅延を決定するのは物理設計アルゴリズムで、その良否がシステム LSI の性能を大きく左右していた。ところが、ある評価で大学・CAD ベンダーの代表的な配置プログラムの解の品質（=配線長）は最適解との差がかなりあることが示されており、設計支援ツール（EDA ツール）による解の品質向上が望まれていた。

## 2. 研究の目的

種々の大きさの矩形ブロックの配置を行うフロアプランアルゴリズムを中核とし、高位レベル設計、物理レベル設計を統合した新しい設計方式を開発することにより、LSI の性能の向上と低消費電力化を達成することを目的とする。

## 3. 研究の方法

(1) 設計自動科関係の代表的な国際会議への参加および国内外大学関係者、国内企業研究

者との技術交流を通じて、最先端技術に関する情報を収集する。

(2) 保有技術、新規技術を基に、最適設計のための新アルゴリズムの開発を行う。特に、フロー問題を中心とするグラフ・ネットワーク理論、ラグランジュ緩和法などの数理計画法の応用に重点を置く。

(3) 新手法の評価のためのプロトタイプシステムを C/C++言語(Visual C++コンパイラ)により PC (Windows OS)上で作成する。評価データは公開されている標準ベンチマークデータを用いるが、一部の評価データについては、企業(NEC、東芝等)からも可能な範囲で実際の設計データの提供を依頼する。そして、これらプロトタイプシステムおよび評価データを用いた実験により、既存の最先端手法との比較・評価を行い、提案手法の有効性を実証する。

#### 4. 研究成果

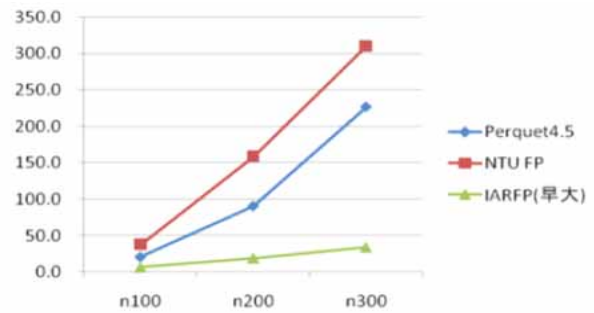
本研究では、大規模システム LSI 物理設計基盤技術の研究を行った。まず、物理設計

における主要な課題の一つであるフロアプラン手法を検討し、各種プロトタイプシステムを開発して、評価を行った。その結果、従来手法をはるかに上回る結果を得ることが示された。また、超高速回路の実現にはクロックのスキュー問題の解決が鍵となる。そこでクロックスキューの最適化のための各種基盤技術開発およびプロトタイプ開発を行った。さらに、今後の大規模システム LSI の物理設計は、この設計レベルだけ考慮するのでは不十分で、上流工程での設計と連携しながら設計を行う必要がある。そのため、大規模回路設計技術に関する研究を行った。以下、その内容を記述する。

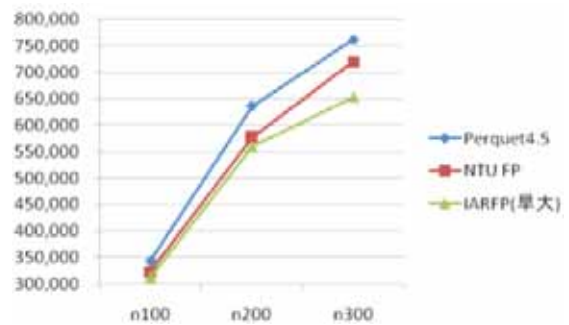
##### (1) 大規模フロアプラン手法

フロアプランとは任意の大きさの矩形ブロックを指定された領域内に、配線長が最も短くなるよう配置する問題である。この問題は古くから、重要ではあるが、解くのが難しい問題であるといわれてきた。しかし、近年、Sequence Pair 法とよばれる手法が提案されて以来、研究が急速に進展している。本研究では、この Sequence Pair 法を基に、新しいフロアプラン最適化手法である IAR (insertion-after-remove) FP 法を開発し、プロトタイプシステムを開発して評価を行った。この手法は、フロアプランアルゴリズムにおける解の改良操作を大幅に効率化したものである。標準ベンチマークデータによる評価では、従来、最も進んでいたといわれる米国ミシガン大学、台湾大学がそれぞれ開発したシステムに比べ、配線長を平均で約 20%

削減し、計算時間を 1/4 ~ 1/8 に短縮する結果を得た。



(a) 計算時間



(b) 配線長

図 1 既存最先端フロアプラン手法との比較

引き続き、本手法にマルチレベル最適化手法を組み合わせることによりさらに、配線長を約 10%、計算時間を 1/1.8 に削減した。

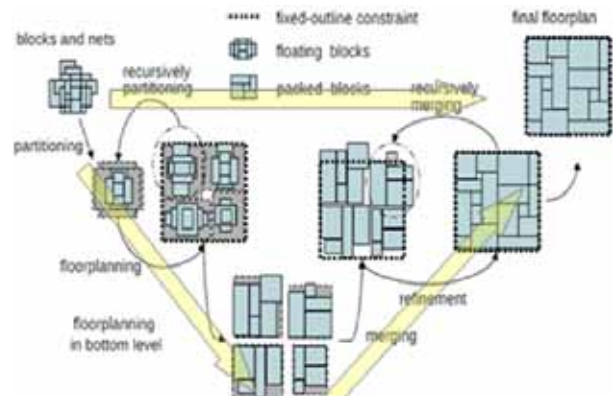
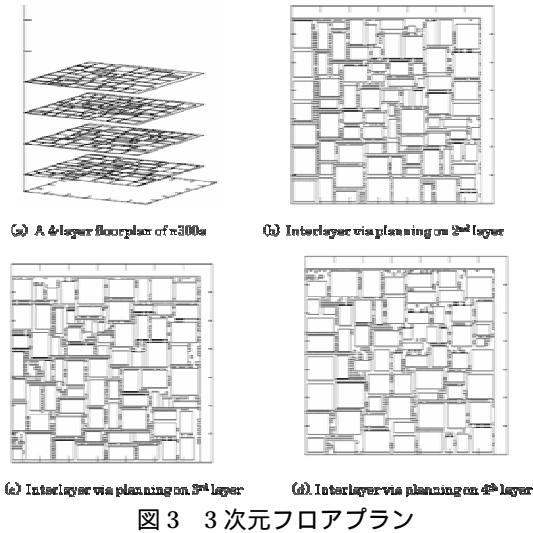


図 2 マルチレベルフロアプラン手法

また、商用ツールで設計された回路をこのプロトタイプシステムを用いて再設計し比較した結果では、面積を 25%、遅延時間を 8%削減されることが確認できた。

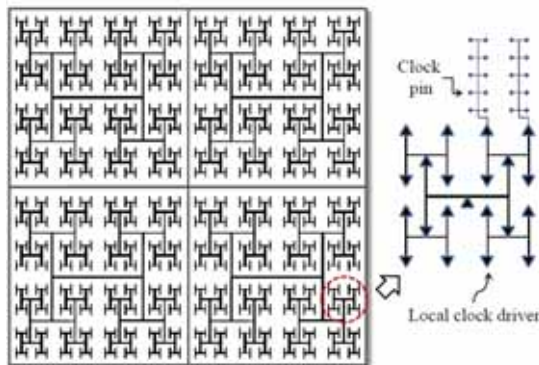
さらに、従来、フロアプランは 2 次元が対象であったが、新たに 3 次元フロアプランアルゴリズムと、各層を繋ぐ層間ビアの最適割り当てアルゴリズムを開発した。これらのアルゴリズムに基づくプロトタイプシステムを 4 層の例で評価した結果では配線長が

50%削減されることが確認された。これは事前の予想結果と合致していた。なお、この3次元フロアプランアルゴリズムの論文はIEEE Asia Pacific Conference on Circuits and Systems 国際会議で Best Paper Awardを受賞した。



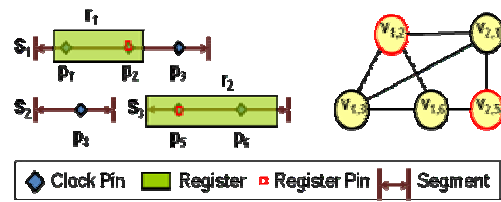
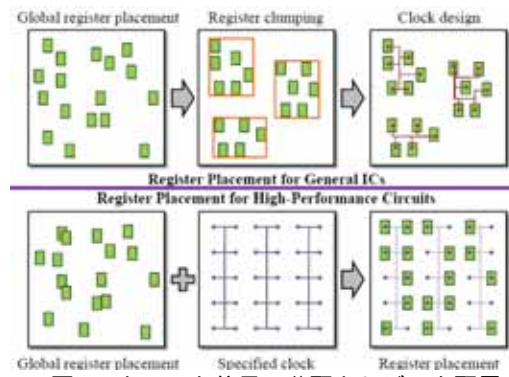
(2) 超高速回路のクロックスキュー最適化

半導体プロセスの微細化とともに、チップに搭載される素子数が増大しており、設計または設計自動化も複雑になってきている。特に、スーパーコンピュータなどの超高速回路の設計ではクロックのスキュー(クロック信号のタイミングのずれ)が大きな問題となっている。そこで、従来、用いられているクロックツリー合成技術よりも適切な方法が必要になっている。

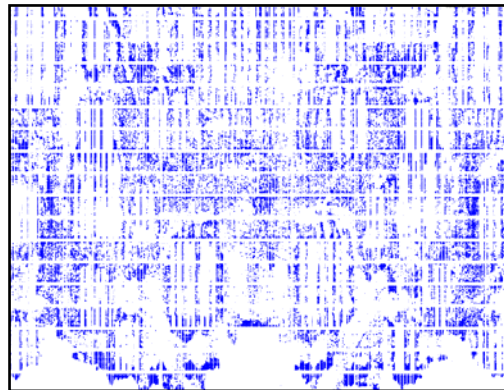


そのため、ここでは、スーパーコンピュータなどの超高速回路の実現にむけたクロックスキューの最適化に関して研究を行い、レジスタのクロックドライバへの割り当てを最適化することにより、スキューを最適化する方法を提案した。まず、この問題をMIS(Maximal Independent Set)問題として帰着させ、グラフアルゴリズムで解く方法を

提案した。

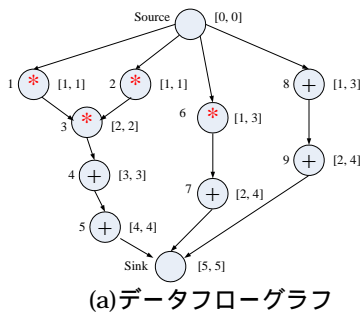


次に、この問題を外部制約条件付きマッチング問題として定式化し、ラグランジュ緩和法で解く方法を提案した。計算機実験では、いずれの手法も従来法を上回る結果を得た。

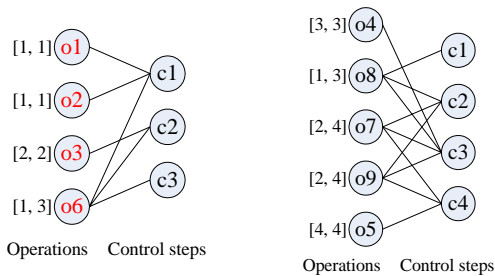


(3) 高位合成スケジューリングアルゴリズム

大規模回路設計に関する研究では、まず、フロアプランの結果を設計上流工程の高位レベル設計に反映させることを目的とした、高位合成のためのスケジューリングアルゴリズムの研究を行った。この問題に対して、まず、最大フローアルゴリズムに基づくスケジューリング手法を提案した。この手法はフローアルゴリズムを応用することで種々の制約条件を考慮することを可能である。



(a)データフローグラフ



(b)フロー計算のための2部グラフ  
 図8 データフローグラフと2部グラフ

制約条件の例として電流量の時間的変動量を抑える事を選択し実験した結果、電流量の変動を最大で60%削減することができた。また、ランダムウォークを適用したスケジューリングの改良手法を提案し、最適解に近い解を得られることを示した。

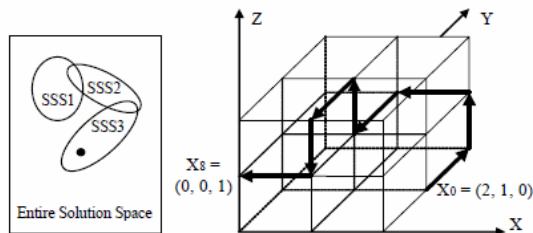


図9 ランダムウォークによる最適化

以上、これらの研究成果は、大規模のシステムLSI設計で重要となる大規模システムLSI物理設計の基盤技術の進展に貢献するものと考えている。

5. 主な発表論文等  
 (研究代表者、研究分担者及び連携研究者には下線)

[雑誌論文](計 8件)

Song Chen and Takeshi Yoshimura, "Fixed-Outline Floorplanning: Block Position Enumeration and a New Method for Calculating Area Costs", IEEE Transactions on CAD, Vol.27/No.5, 858-871, May 2008, 査読有

Liangwei Ge, Song Chen and Takeshi Yoshimura, "Exploration of Schedule Space by Random Walk", IPSJ Transactions on System LSI Design Methodology, Vol.2, 2009, 査読有  
 Liangwei Ge, Song Chen, Yuichi Nakamura and Takeshi Yoshimura, "A Synthesis Method of General Floating-Point Arithmetic Units by Aligned Partition", IPSJ Transactions on System LSI Design Methodology, Vol.1/No.1, pp.67-77, Aug. 2008, 査読有

[学会発表](計 18件)

M.-F. Chiang, T. Okamoto, and T. Yoshimura, "Lagrangian relaxation based register placement for high-performance circuits", Proc. 10th International Symposium on Quality Electronic Design, San Jose, USA, March 2009, 査読有  
 N.Song Chen and Takeshi Yoshimura, "A Stable Fixed-Outline Floorplanning Method", Proc. of International Symposium on Physical Design (ISPD 2007), pp.119-126, March 2007, 査読有  
 Song Chen and Takeshi Yoshimura, "On the Number of 3-D IC Floorplan Configurations and a Solution Perturbation Method with Good Convergence", Proc. of IEEE Asia Pacific Conference on Circuits and Systems at Singapore (Best Paper Award), pp.1867-1870, Dec. 2006, 査読有

[その他]

上記の学会発表論文が国際会議 "IEEE Asia Pacific Conference on Circuits and Systems" より Best Paper Award を受賞した。

6. 研究組織

(1)研究代表者

吉村 猛(YOSHIMURA TAKESHI)  
 早稲田大学大学院・情報生産システム研究科・教授  
 研究者番号：80367177

(2)研究分担者

無し

(3)連携研究者

無し