

令和 4 年 6 月 15 日現在

機関番号：16101

研究種目：基盤研究(B)（一般）

研究期間：2017～2020

課題番号：17H01715

研究課題名（和文）ICチップの入出力信号線の弛張発振回路を用いた破断予兆検出法に関する研究

研究課題名（英文）Open Defect Detection at Interconnects among IC Chips with Relaxation Oscillators

研究代表者

橋爪 正樹（HASHIZUME, Masaki）

徳島大学・大学院社会産業理工学研究部（理工学域）・教授

研究者番号：40164777

交付決定額（研究期間全体）：（直接経費） 13,000,000円

研究成果の概要（和文）：本研究ではICチップとプリント配線板間の配線に発生する破断予兆となる断線欠陥を電気検査で見出すための検査用回路とそれを用いた検査法を開発した。そこではチップ内に組み込んだ弛張発振器に検査時にのみ電流を流し発振させその発振周波数の異常でその予兆を検出する検査法だけでなく、検査時に流す電流の静的値による検査法とその検査回路も開発した。それにより電子製品を市場に出荷する前に行う検査だけでなく、製品出荷後に市場で行う検査も可能となった。さらにICチップを積層し作製する3次元積層IC内のチップ間配線に発生する破断予兆となる断線を見出す検査法ならびに不良配線を良品配線に置き換える救済法も開発した。

研究成果の学術的意義や社会的意義

電子機器の小型化要求により、狭ピッチICを用いた実装基板回路やICチップを積層して作る3次元積層ICが作られるようになってきた。その回路ではICチップ間に発生した断線の発見がその回路を用いた電子機器の信頼性低下を招き問題となっている。特に自動車や電車等、長期に亘って高信頼性が求められる場合にその断線を実際に発見することが求められているが、既存の検査法ではそれが行えない。本研究で開発した検査回路ならびにそれを用いた検査法では破断し信号伝搬できない配線の検出だけでなく、一部破断し信号が伝搬する配線までも検出できる能力を有しており、社会が求める高信頼性の実現への寄与が期待できる。

研究成果の概要（英文）：We have developed an interconnect test method and a test circuit to detect open defects between ICs and printed circuit boards. The test method is based on oscillation frequency of a relaxation oscillator embedded inside ICs. When an interconnect is tested, a supply current is made flow through it and the oscillator begins to oscillate. When a defect occurs at the interconnect, the oscillation frequency becomes smaller than the defect-free one. Also, we have developed an interconnect test method based on the quiescent supply current and a test circuit for the tests. We reveals that interconnects between dies in 3D stacked ICs are tested in both production tests and field ones by the test methods. Furthermore, we have proposed a recovery method by which defective interconnects are replaced to redundant ones after 3D stacked IC tests. It is expected that high reliability of electronic equipment is realized by the test methods and the recovery one.

研究分野：電子回路工学

キーワード：電気検査法 断線 電流テスト 3次元積層IC アセンブリ基板



リング発振器による検査法に比べ小さくでき、より低抵抗の抵抗断線を発見できる可能性があるし、容量断線は確実に発見することができる。

本研究ではその検査法の検査能力を明らかにするため、回路シミュレーションだけでなく、回路実験で検査可能性を調査しようと検査回路を内蔵した IC を試作した。また 3 次元積層 IC でのダイ間配線の検査能力を評価するため、3 次元積層 IC を試作するとともに、ダイの積層がうまくできない場合も考えて 2 次元にダイを配置し 3 次元積層 IC 内のダイ間配線の検査能力を評価するようにした。

その研究を通してバウンダリスキャン回路を流用した電気検査の検査能力の高さが明らかになったので、図 4 に示すように検査対象配線に検査時のみ静的電源電流を流し、その電流異常で破断予兆となる欠陥を発見する検査法とその検査回路の開発も試みた。また家電製品で使われる IC にはバウンダリスキャンテスト回路を内蔵しない場合があるので、本研究では図 5 に示すようなバウンダリスキャンテスト回路を内蔵していない IC に対する静的電源電流による検査法のための検査回路も開発した。それらの回路を組み込んだ IC も試作し、回路シミュレーションと回路実験で検査能力を調査した。

3 次元積層 IC ではダイ間配線に欠陥が発生しそれを本研究で開発した検査法で発見された場合、その IC を廃棄すると IC の価格上昇と環境破壊を引き起こす可能性がある。そこで本研究では欠陥発生と判断した配線を欠陥が発生していない冗長配線に置き換える救済回路と救済法も開発した。

#### 4. 研究成果

弛緩発振器を検査回路とした検査法の検査能力を明らかにするためにそれを内蔵した IC のレイアウト設計を行いその IC を試作した。その検査回路を組み込んだ IC を用いた実装基板回路において回路シミュレーションにより完全断線、容量断線だけでなく、45.6 以上の抵抗断線が検出できることを明らかにした。試作 IC を用いた回路実験においてもそれを確認した。ただ 3 次元積層 IC の積層工程を企業に外注したもののコロナ禍による原材料不足ならびに東北地方の地震でダイ積層用機械が壊れその修理のための部品入手が遅れ、3 次元積層 IC の入手が 1 年以上遅れたため、3 次元積層 IC における検査能力評価実験は行っていない。しかし、回路シミュレーションならびに 2 次元にダイを展開した IC での実験により回路シミュレーション結果と同等な検査能力があることを確認できている。

また弛緩発振器の発振周波数は回路動作時温度が上がると下がるため、製品出荷後の検査結果に温度が悪影響を及ぼす可能性がある。そこで本研究では温度補正を行う方法も開発し、製品出荷後に回路動作温度が変わっても出荷前検査と同様に検査できることを確認した。

検査対象配線に検査時のみ静的電源電流を流しその異常により検査する検査法に対しても、弛緩発振器を検査回路とした検査法の場合と同様な方法で検査能力を調査した。バウンダリスキャンテスト回路を流用する電気検査法では完全断線、容量断線だけでなく、55 以上の抵抗断線も検出できることを回路シミュレーションならびに試作 IC を用いた回路実験で明らかにした。バウンダリスキャンテスト回路を内蔵していない IC に対する電気検査法では 150 以上の

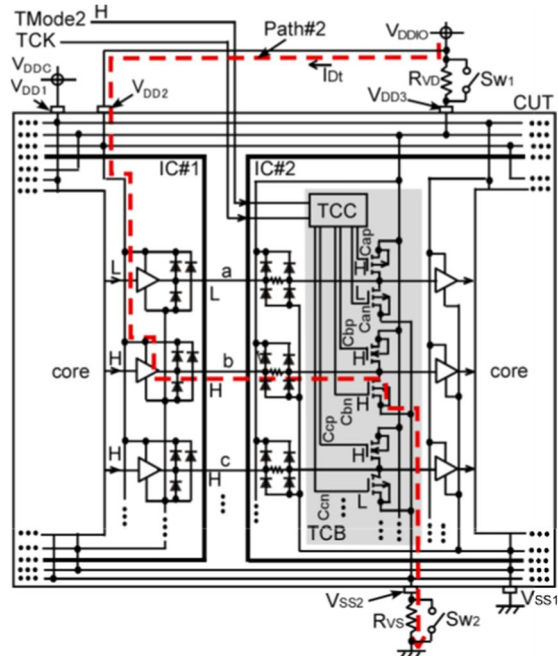


図 4 バウンダリスキャンテスト回路を流用した静的電源電流による配線検査法

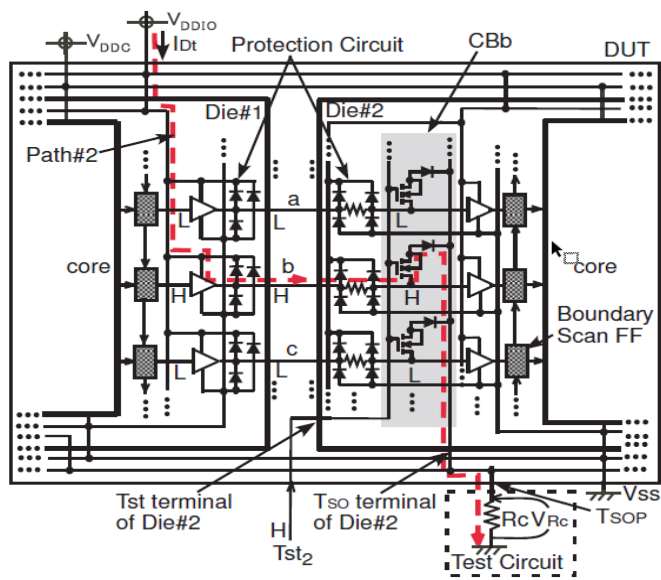


図 5 バウンダリスキャンテスト回路を用いない静的電源電流による配線検査法

抵抗断線が検出できることも確認した。それにより弛緩発振器を用いた電気検査法およびバウンダリスキャンテスト回路を用いた静的電源電流による電気検査法は国際規格 IPC9710A を満足する検査能力を有していることから、実用的な検査に耐えうる検査法であることを明らかにした。

また 3 次元積層 IC 内のダイ間の欠陥配線を救済する方法に関しては回路シミュレーションによる評価を行い、面積オーバーヘッドを小さく抑え、また欠陥救済が可能であることを確認できている。

本研究では弛緩発振回路を用い破断予兆となる抵抗断線、容量断線を含む欠陥を発見する検査法の開発およびそのための検査回路の開発を主目的とし、その目的は達成できたが、それ以外に静的電源電流の異常でそれらの破断予兆をとらえる検査法も開発できた。それらを弛緩発振回路による検査法と併用することで破断予兆の検出を更に確実なものとし、社会が求める電子機器の長期に亘る高信頼性の実現が期待できる。

## 5. 主な発表論文等

〔雑誌論文〕 計8件（うち査読付論文 8件/うち国際共著 8件/うちオープンアクセス 3件）

1. 著者名 IKIRI Yuki, SAKO Fumiya, HASHIZUME Masaki, YOTSUYANAGI Hiroyuki, LU Shyue-Kung, YAZAKI Toru, IKEDA Yasuhiro, UEMATSU Yutaka	4. 巻 11
2. 論文標題 Open Defect Detection in Assembled Circuit Boards With Built-In Relaxation Oscillators	5. 発行年 2021年
3. 雑誌名 IEEE Transactions on Components, Packaging and Manufacturing Technology	6. 最初と最後の頁 931 ~ 943
掲載論文のDOI (デジタルオブジェクト識別子) 10.1109/TCPMT.2021.3079159	査読の有無 有
オープンアクセス オープンアクセスとしている (また、その予定である)	国際共著 該当する
1. 著者名 OKUMOTO Yuya, YOTSUYANAGA Hiroyuki, HASHIZUME Masaki, LU Shyue-Kung	4. 巻 -
2. 論文標題 Detectable Resistance Increase of Open Defects in Assembled PCBs by Quiescent Currents through Embedded Diodes	5. 発行年 2021年
3. 雑誌名 Proc.of The 2021 International Conference on Electronics Packaging (ICEP)	6. 最初と最後の頁 -
掲載論文のDOI (デジタルオブジェクト識別子) 10.23919/ICEP51988.2021.9451913	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 該当する
1. 著者名 SAKO Fumiya, IKIRI Yuki, HASHIZUME Masaki, YOTSUYANAGI Hiroyuki, YOKOYAMA Hiroshi and LU Shyue-Kung	4. 巻 -
2. 論文標題 Temperature Sensing with a Relaxation Oscillator in CMOS ICs	5. 発行年 2020年
3. 雑誌名 Proc. of The 35th International Technical Conference on Circuits/Systems, Computers and Communications	6. 最初と最後の頁 141 ~ 144
掲載論文のDOI (デジタルオブジェクト識別子) なし	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 該当する
1. 著者名 KANDA Michiya, HASHIZUME Masaki, ASHIKIN Fara Binti ALI, YOTSUYANAGI Hiroyuki, LU Shyue-Kung	4. 巻 10
2. 論文標題 Open Defect Detection Not Utilizing Boundary Scan Flip-Flops in Assembled Circuit Boards	5. 発行年 2020年
3. 雑誌名 IEEE Transactions on Components, Packaging and Manufacturing Technology	6. 最初と最後の頁 895 ~ 907
掲載論文のDOI (デジタルオブジェクト識別子) 10.1109/TCPMT.2020.2973182	査読の有無 有
オープンアクセス オープンアクセスとしている (また、その予定である)	国際共著 該当する



1. 著者名 SONEDA Hanna, HASHIZUME Masaki, YOTSUYANAGI Hiroyuki, LU Shyue-Kung	4. 巻 -
2. 論文標題 Electrical Field Test Method of Resistive Open Defects between Dies by Quiescent Currents through Embedded Diodes	5. 発行年 2019年
3. 雑誌名 Proc. of The IEEE 2019 International 3D Systems Integration Conference	6. 最初と最後の頁 P4022-1~5
掲載論文のDOI (デジタルオブジェクト識別子) 10.1109/3DIC48104.2019.9058777	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 該当する

1. 著者名 KANDA Michiya, YABUI Daisuke, HASHIZUME Masaki, YOTSUYANAGI Hiroyuki, LU Shyue-Kung	4. 巻 -
2. 論文標題 Stand-by Mode Test Method of Interconnects between Dies in 3D ICs with IEEE 1149.1 Test Circuits	5. 発行年 2018年
3. 雑誌名 Proc. of IEEE CPMT Symposium Japan 2018	6. 最初と最後の頁 189-192
掲載論文のDOI (デジタルオブジェクト識別子) 10.1109/ICJSJ.2018.8602560	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 該当する

1. 著者名 ASHIKIN Fara, HASHIZUME Masaki, YOTSUYANAGI Hiroyuki, LU Shyue-Kung, ROTH Zvi	4. 巻 E101.D
2. 論文標題 A Design for Testability of Open Defects at Interconnects in 3D Stacked ICs	5. 発行年 2018年
3. 雑誌名 IEICE Transactions on Information and Systems	6. 最初と最後の頁 2053~2063
掲載論文のDOI (デジタルオブジェクト識別子) 10.1587/transinf.2018EDP7093	査読の有無 有
オープンアクセス オープンアクセスとしている(また、その予定である)	国際共著 該当する

1. 著者名 KANDA Michiya, HASHIZUME Masaki, YOTSUYANAGI Hiroyuki, LU Shyue-Kung	4. 巻 -
2. 論文標題 A Defective Level Monitor of Open Defects in 3D ICs with A Comparator of Offset Cancellation Type	5. 発行年 2017年
3. 雑誌名 Proc. of The IEEE International Symposium on Defect and Fault Tolerance in VLSI and Nanotechnology Systems	6. 最初と最後の頁 -
掲載論文のDOI (デジタルオブジェクト識別子) 10.1109/DFT.2017.8244446	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 該当する

〔学会発表〕 計13件（うち招待講演 1件 / うち国際学会 3件）

1. 発表者名 IKIRI Yuki, HASHIZUME Masaki, YOTSUYANAGI Hiroyuki, YOKOYAMA Hiroshi and LU Shyue-Kung
2. 発表標題 Recovery of Defective TSVs with A Small Number of Redundant TSVs in 3D Stacked ICs
3. 学会等名 The 21st IEEE Workshop on RTL and High Level Testing (国際学会)
4. 発表年 2021年

1. 発表者名 碓 文弥, 伊喜利 勇貴, 橋爪 正樹, 四柳 浩之, 横山 洋之, Shyue-Kung Lu
2. 発表標題 弛緩発振器を用いた組込み型温度センサによる温度推定の可能性
3. 学会等名 電気・電子・情報関係学会四国支部連合大会
4. 発表年 2020年

1. 発表者名 大寺 佑都, 碓 文弥, 伊喜利 勇貴, 四柳 浩之, 橋爪 正樹, Shyue-Kung Lu
2. 発表標題 アナログ素子で構成する弛緩発振器によるCMOS IC内温度測定
3. 学会等名 電子情報通信学会ソサイエティ大会
4. 発表年 2020年

1. 発表者名 奥本 裕也, 曾根田 伴奈, 橋爪 正樹, 四柳 浩之, Shyue-Kung Lu
2. 発表標題 電流テストによるダイ間断線検出のためのpMOSのオン抵抗値を用いた断線抵抗値の推定
3. 学会等名 電子情報通信学会ソサイエティ大会
4. 発表年 2020年

1. 発表者名 曾根田 伴奈, 神田 道也, 四柳 浩之, 橋爪 正樹, Shyue-Kung Lu
2. 発表標題 電気試験法による実装基板内抵抗断線の出荷後検出法
3. 学会等名 第29回マイクロエレクトロニクスシンポジウム
4. 発表年 2019年

1. 発表者名 池内 康祐, 神田 道也, 四柳 浩之, 橋爪 正樹, Shyue-Kung Lu
2. 発表標題 バウンダリスキャンテストによる3D IC内ダイ間抵抗断線検出可能性調査
3. 学会等名 第29回マイクロエレクトロニクスシンポジウム
4. 発表年 2019年

1. 発表者名 池内 康祐, 神田 道也, 平井 智士, 四柳 浩之, 橋爪 正樹
2. 発表標題 バウンダリスキャンテスト回路を用いた待機モード時電気試験を可能にするTAPCの開発
3. 学会等名 第33回エレクトロニクス実装学会春季講演大会
4. 発表年 2019年

1. 発表者名 HASHIZUME Masaki
2. 発表標題 Health Monitoring of Electronic Circuits in IoT Systems
3. 学会等名 The 5-th International Forum on Advanced Technologies (招待講演) (国際学会)
4. 発表年 2019年



1. 発表者名 MIYATAKE Noriko, HASHIZUME Masaki, YOTSUYANAGI Hiroyuki, YOKOYAMA Hiroshi and TADA Tetsuo
2. 発表標題 Oscillation Frequency Estimation of Ring Oscillator for Interconnect Tests in 3D Stacked ICs
3. 学会等名 2018 RISP International Workshop on Nonlinear Circuits, Communications (国際学会)
4. 発表年 2018年

1. 発表者名 宮武 典子, 四柳 浩之, 横山 洋之, 橋爪 正樹, 多田 哲生
2. 発表標題 リングオシレータを用いた3D IC内ダイ間断線検出のMOS製造ばらつきによる影響
3. 学会等名 電気関係学会四国支部連合大会
4. 発表年 2018年

1. 発表者名 曾根田 伴奈, 神田 道也, 橋爪 正樹, 四柳 浩之, Shyue-Kung Lu
2. 発表標題 MOS製造ばらつきに対するダイオード組込型検査用回路を用いた検査法の抵抗断線検出能力
3. 学会等名 電気関係学会四国支部連合大会
4. 発表年 2018年

1. 発表者名 宮武 典子, 四柳 浩之, 横山 洋之, 橋爪 正樹, 多田 哲生
2. 発表標題 リングオシレータを用いた3D IC内ダイ間配線検査法の発振周波数の温度依存性調査
3. 学会等名 電気関係学会四国支部連合大会
4. 発表年 2017年

1. 発表者名 数井 大輔, 四柳 浩之, 橋爪 正樹
2. 発表標題 BC1タイプのバウンダリスキャンテスト回路を用いた実装基板のオンライン配線検査法
3. 学会等名 第27回マイクロエレクトロニクスシンポジウム
4. 発表年 2017年

〔図書〕 計0件

〔産業財産権〕

〔その他〕

-

6. 研究組織

	氏名 (ローマ字氏名) (研究者番号)	所属研究機関・部局・職 (機関番号)	備考
研究分担者	四柳 浩之  (YOTSUYANAGI Hiroyuki)  (90304550)	徳島大学・大学院社会産業理工学研究部(理工学域)・准教授   (16101)	
研究分担者	横山 洋之  (YOKOYAMA Hiroshi)  (80250900)	秋田大学・情報統括センター・准教授   (11401)	
研究分担者	多田 哲生  (TADA Tetsuo)  (40368832)	徳島文理大学・理工学部・教授   (36102)	

7. 科研費を使用して開催した国際研究集会

〔国際研究集会〕 計0件

8. 本研究に関連して実施した国際共同研究の実施状況

共同研究相手国	相手方研究機関		
中華民国	台湾科技大学		
マレーシア	マラッカ技術大学		
米国	フロリダアトランティック大学		