

令和 2 年 6 月 3 日現在

機関番号：17102

研究種目：基盤研究(B)（一般）

研究期間：2017～2019

課題番号：17H03237

研究課題名（和文）Ge-On-Insulator基板上への局所歪み導入によるGe-光素子の高性能化

研究課題名（英文）Performance enhancement for Ge optical devices by applying local strain to Ge-On-Insulator substrates

研究代表者

王 冬（Wang, Dong）

九州大学・総合理工学研究院・准教授

研究者番号：10419616

交付決定額（研究期間全体）：（直接経費） 14,200,000円

研究成果の概要（和文）：本研究は、一般的なスマートカット法を改善し、高品質なGe-On-Insulator（GOI）基板を作製した。過渡容量分光法を用いて、Ge/絶縁膜界面付近のBorderトラップの評価手法を確立し、Borderトラップの密度と空間分布を明らかにした。また、局所歪みの導入も調査した。以上の結果を基に、最適化したプロセスパラメータを抽出し、GOI基板上に発光・受光素子を作製した。さらに、GOI基板上に横方向発光・受光構造を作製し、発光・受光素子間の光通信機能を実証した。

研究成果の学術的意義や社会的意義

本研究では、高品質なGOI基板を自前で試作し、他グループでは決して実現できないGOI基板上の光素子を高度化し、Ge-光素子の性能の飛躍的向上を図った。更に、局所歪み導入・結晶欠陥制御、Ge/絶縁膜界面の理解と制御、デバイス試作等の幅広い見地から研究を推進し、光デバイス工学、半導体工学に大きく寄与したと考えている。開発した高性能GOI発光・受光素子の基盤技術は、超スマート社会の実現に貢献できるものと期待できる。

研究成果の概要（英文）：In this research, high-quality Ge-On-Insulator（GOI）substrate was fabricated by improving the conventional smart-cut method. To evaluate border traps located near to the interface of Ge/insulator, an evaluation method was established based on the measurement of deep level transient spectroscopy. Through this method, the density and special distribution of border traps were precisely characterized. In addition, local-strain introduction was also investigated. Based on these results, optical devices were fabricated on GOI substrates by optimizing the parameters of fabrication process. Furthermore, a lateral light-emission and photo-detection structure was fabricated on GOI, and optical communication between the light-emitter and the photo-detector were successfully confirmed.

研究分野：半導体工学

キーワード：Ge-光素子 Ge-On-Insulator Ge/絶縁膜界面 横方向発光・受光 チップ内光配線

様式 C - 19、F - 19 - 1、Z - 19 (共通)

1. 研究開始当初の背景

CMOSの微細化に伴い、大規模集積回路(ULSI)チップ内の電気配線が抵抗・寄生容量を増大させる原因となり、発熱・配線遅延がその高性能化を阻害する要因となっている。その解決策として、近年の国際半導体ロードマップには、光配線の必要性が明示されている。しかし、実用化されている発光素子の材料は、III-V族化合物半導体で、これらをSiプラットフォーム上に集積化するには極めて複雑なプロセスが必要とされる。更に、光素子作製がSi素子の後工程となるため、その作製には低温プロセスが必要である。そのため、ULSIチップ内光配線は実用化できていない状況である。一方、GeはSiと同じIV族半導体で、Siとの親和性は良い。CMOSと混載可能な発光・受光素子をGeで構成できれば、ULSIチップ内光配線への道が拓ける。しかし、Geは直接と間接禁制帯幅の差が小さいので発光機能を有するが、その効率が低い。この課題は、Ge-On-Insulator(GOI)層内のキャリアの閉じ込めと局所歪み導入によるバンド構造変調によって解決できる。これらの背景をベースとし、「GOI基板上での高性能Ge-光素子の実現」を目指した研究を計画した。

2. 研究の目的

本研究では、Smart-Cutプロセスを改善して高品質なGOI基板の作製技術を確立する。並行して、電子・正孔に対して低障壁な金属/Geコンタクト技術をベースとし、Ge薄膜のドライエッチング、GOI側壁への金属堆積、等のプロセスを開発する。発光効率を向上するため、Ge/絶縁膜界面付近の欠陥を評価し、発光領域表面の保護膜形成プロセスを最適化する。さらに、局所歪みの導入により、バンド構造変調やGe/絶縁膜界面特性の変化を調査し、Ge-光素子の高性能化を図る。その上で、Ge薄膜層内のキャリアの閉じ込めにより、GOI基板上で高性能Ge-光素子を実現する。最終的に、GOI基板上に横方向発光・受光構造を作製し、発光素子と受光素子間の光通信機能を実証する。

3. 研究の方法

(1) 高品質なGOI基板の作製：原子層堆積によって $\text{Al}_2\text{O}_3/\text{Ge}$ 構造を形成し、熱酸化によって SiO_2/Si 構造を形成し、互いを貼合せて $\text{Ge}/\text{Al}_2\text{O}_3/\text{SiO}_2/\text{Si}$ 構造のGOI基板を試作する。水素イオン注入による生成した高欠陥領域を除去し、その後に剥離する方法で、高品質なGOI基板を作製する。ホール効果測定とPhotoluminescence(PL)法を用いて、GOI基板の品質を評価する。

(2) 局所歪みの導入：Electron Cyclotron Resonance(ECR)スパッタ装置を用いて $\text{SiO}_2/\text{GeO}_2$ 保護膜上にSiNストレッチを堆積し、歪み導入の程度を評価する。成膜時のガス圧を応力の制御パラメータとして、歪みと低欠陥を両立する成膜条件を抽出し、その再現性を調べる。さらに、Deep Level Transient Spectroscopy(DLTS)法によるGe/保護膜の界面準位密度(D_{it})を評価し、局所歪みの導入による界面特性の変化を調査する。

(3) Ge/絶縁膜界面付近の欠陥の評価：DLTS法によりGe/絶縁膜界面付近の絶縁膜内のBorderトラップ信号を詳細に評価し、BorderトラップのDLTS評価法を確立する。GeO_xの厚さをパラメータとして $\text{Al}_2\text{O}_3/\text{GeO}_x/\text{Ge}$ 構造を作製し、Borderトラップの密度と空間分布を調査して、それらのGeデバイスの電気特性への影響を調査する。

(4) GOI基板上に光素子の作製：ウェットエッチングにより、GOI基板上に台形Geパターンを形成する。その両端にPtGe/GeとTiN/Geコンタクトを形成し、Ge-光素子を作製する。作成したGe-光素子のElectroluminescence(EL)特性を調査し、GOI層内のキャリアの閉じ込め効果を確認する。

(5) 横方向発光・受光構造の形成とチップ内の光通信機能の実証：ドライエッチングプロセスを用いてGOI基板上に横方向発光・受光構造を形成する。発光素子への電流注入により、受光素子の光電流を観測し、チップ内の光通信機能を実証する。

4. 研究成果

(1) 高品質なGOI基板の作製

研究当初は、一般的なスマートカット法を用いてGOI基板を作製した。GOI基板表面の荒れは、化学機械研磨によって市販バルクGe基板と同程度まで改善した。p型Ge基板により作成したGOI基板は、熱処理によりバルクGeとほぼ同程度のホール移動度が得たが、移動度はGOI基板の薄膜化に伴い徐々に減少した。その原因はGe/絶縁膜界面欠陥の影響と考えられる。

一方、n型Ge基板により作成したGOI基板は、熱処理後p型に転換した。この問題を解決するため、図1に示すように、熱処理による欠陥回復に代わる新たな手法として、「H⁺打ち込み後、高欠陥領域をエッチング除去した後に貼り合せる方法」を提案した。図2に改善案で作製したn-GOIのホール効果測定の結果を示す。熱処理による伝導型反転は見られずp形化の回避に成功した。スマートカットでn-GOIを作製する際は、高欠陥領域を除去しなければp形になることから、高欠陥領域がn-GOI基板の伝導型反転の一因と考えられる。高欠陥領域の除去は、高品質なGOI基板の作製に有効であることを示した。

さらに、作製した GOI 基板を PL 測定し、バルク Ge の 5 倍 (p-GOI) の信号強度を得られ、良好な結晶性を確認できた。

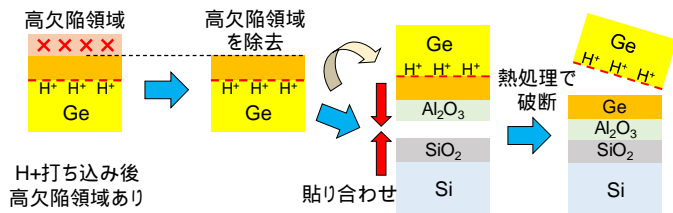


図 1 n-GOI の作製手順の改善案。

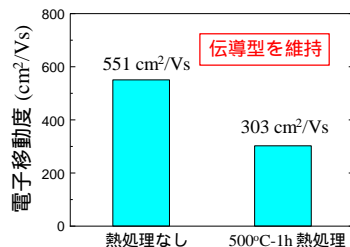


図 2 高欠陥領域を除去した n-GOI の電子移動度。

(2) 局所歪みの導入

ECR スパッタ装置を用いてバルク Ge 基板に SiN ストレッサを堆積し、引張歪み導入の程度をラマン測定により評価した。図 3 と図 4 に示すように、SiN 膜厚および成膜時 Ar/N₂ ガス流量比を変化し、引張歪み量を 0~0.4 % の範囲で制御できることを確認した。

高性能な発光素子を作製するため、SiN 膜を堆積した場合でも界面準位密度は低く保たれる必要がある。そのために、SiN と Ge の間に薄い SiO₂/GeO₂ 保護層を挿入した。DLTS 法で GeO₂/Ge 界面準位密度を評価した結果、1.5 nm-SiO₂/1 nm-GeO₂ 保護層を挿入した場合、厚い SiO₂/保護層/Ge 構造と同質の界面が形成できることを明らかにした。

さらに、図 5 に示すように、SiN と Ge の間に 1.5 nm-SiO₂/1 nm-GeO₂ 保護層を挿入しても、Ge 上に直接 SiN を堆積した場合と同等の歪み量を得られることを示した。

しかし、局所歪みを導入した Ge 発光素子の発光強度は、無歪み Ge 発光素子よりやや低く、歪みの導入により発光強度の増加効果を得られなかった。その原因は、発光領域への歪み導入が不十分 (ラマンの測定範囲は僅かに Ge 表面から約 15nm の深さまで) あるいは GeO₂/Ge 界面付近の欠陥の影響と考えられる。

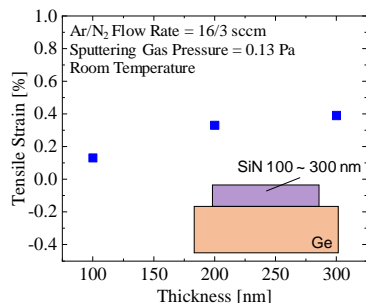


図 3 歪み量の SiN 膜厚依存性。

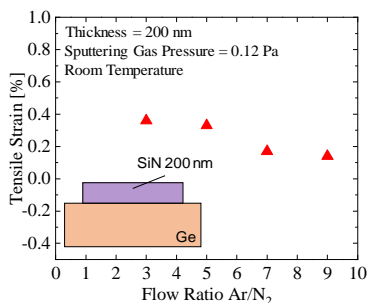


図 4 歪み量の Ar/N₂ ガス流量比依存性。

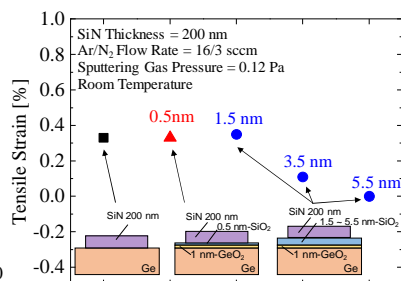


図 5 SiO₂/GeO₂ 保護膜の挿入による歪み量への影響。

(3) Ge/絶縁膜界面付近の欠陥の評価

図 6 に示すように、DLTS 信号強度のパルス電圧依存性を精査して、界面トラップと界面付近の絶縁膜内の Border トラップ信号を分離し、それぞれの密度を定量的に評価する DLTS 評価法を確立した。さらに、その評価手法の誤差は、Border トラップの場合、20%以内と推算した。

この手法を用いて、Border トラップの Ge トランジスタ性能への影響を調査し、それが電子移動度の低下の一因であることを解明した。また、Al-PMA 法による Border トラップの低減効果を明らかにした。

さらに、GeO_x の厚さをパラメータとして Al₂O₃/GeO_x/Ge 構造を作製し、Border トラップの密度と空間分布を測定した。図 7 に示すように、Border トラップは主に Al₂O₃/GeO_x 界面に存在することを明らかにした。

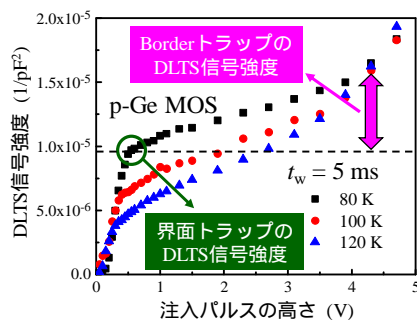


図 6 界面トラップと Border トラップの DLTS 信号の分離。

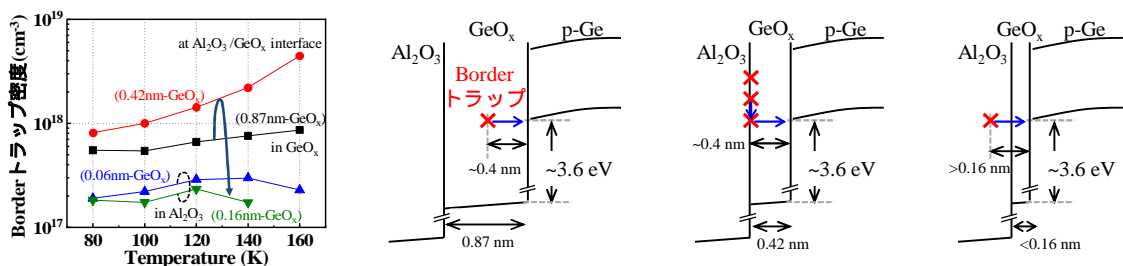


図 7 Border トラップの密度と空間分布。

(4) GOI 基板上に光素子の作製

ウェットエッチングにより、GOI 基板上に Ge パターンを形成した。次に、マグネトロンスパッタリング装置を用いて Ti/Pt と TiN 膜をそれぞれ製膜し、リフトオフプロセスと熱処理にて Ge パターンの両端に PtGe/Ge と TiN/Ge コンタクトを形成した。その後、極薄 SiO₂/GeO₂ パッシベーション膜を形成し、その上に 250nm-SiO₂ 保護膜を堆積して熱処理した。最後に、Al 電極を形成して GOI 光素子を作製した。同様の作製手順 (Ge パターンの形成を省略) で、バルク Ge 基板上に光素子も作製した。図 8 に作製した GOI 光素子とバルク Ge 光素子の試料構造をそれぞれ示す。

図 9 に示すように、バルク p-Ge 光素子、p-GOI 光素子ともに光子エネルギー 0.8 eV 付近に直接遷移 EL 発光ピークが確認できる。バルク p-Ge 光素子の発光強度は注入電流の増加に対してリニアに増大するのに対して、p-GOI 光素子の発光強度は注入電流の増加に対してスーパーリニアに増大している。また、注入電流 50 mA 時における p-GOI 光素子の発光強度は bulk p-Ge 光素子の約 16 倍を示し、GOI 層内のキャリアの閉じ込め効果が確認できた。

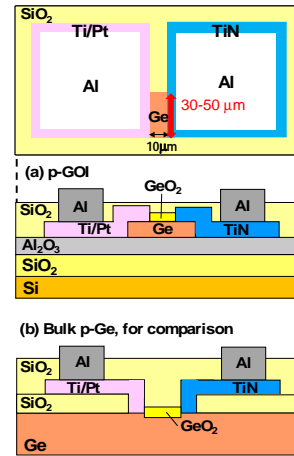


図 8 GOI 光素子とバルク Ge 光素子の試料構造。

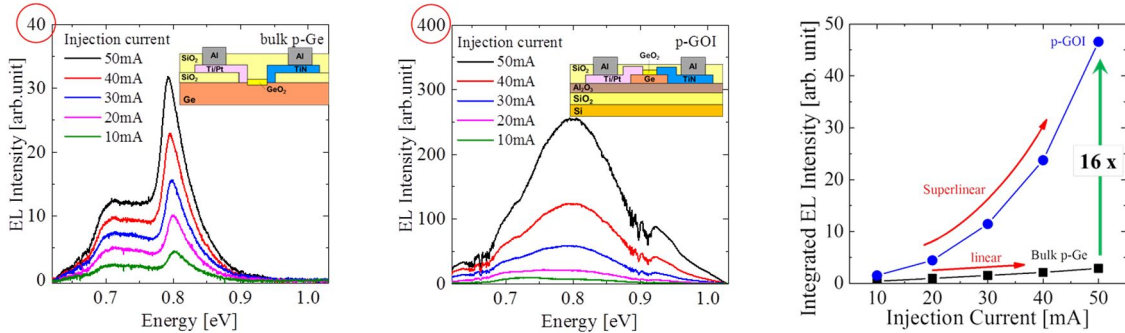


図 9 バルク p-Ge 光素子と p-GOI 光素子の EL 発光特性の比較。

GOI 基板におけるブロードな発光スペクトルの原因を調査するため、PL 測定を行い、Ge 薄膜層の結晶性の不均一がブロード化の要因であることを明らかにした。n-GOI 光素子の場合、同様な現象を観測したが、発光強度の増加は 4 倍と低かった。その原因は、n-GOI 基板中に残留欠陥があり、結晶性に問題があると考えられる。高性能 n-GOI 光素子を作製するため、n-GOI 基板の結晶性をさらに向上する必要がある。

(5) 横方向発光・受光構造の形成とチップ内の光通信機能の実証

本研究の最も重要な目的は、発光・受光素子の高性能化によりチップ内の光通信機能を実現することである。それを実証するため、図 10 に示すように、研究当初の構想と異なり、光の伝搬を自由空間で行うシンプルな構造を採用した。発光・受光素子の作製プロセスは (4) と同様であるが、横方向の発光・受光面は、ドライエッチングプロセスを用いて作製した。発光面と受光面間の距離は 1.5 μm とした。

発光・受光素子の縦方向の受発光特性を調査した。その結果は、従来の GOI 光素子の受発光特性と一致し、両素子共に受発光機能を有することを確認した。

発光部素子を EL で発光させる同時に、その横方向発光による受光部素子のレスポンスを図 11 に示す。受光素子に 0.5 V の逆バイアスを印加したとき、10 mA の発光素子の電流強度に対して、受光素子の明暗電流比:10 倍を達成し、実用で要求される最低条件を満たす。さらに、発光素子に 40 mA の電流を注入したとき、受光素子の明暗電流比は 30 倍に達した。

以上の結果により、チップ内の光通信機能を実証し、本研究の主要目的を達成した。今後の予定としては、交流信号の光通信性能を調査し、その結果をもとに、横方向発光・受光素子の構造パラメータを最適化する。

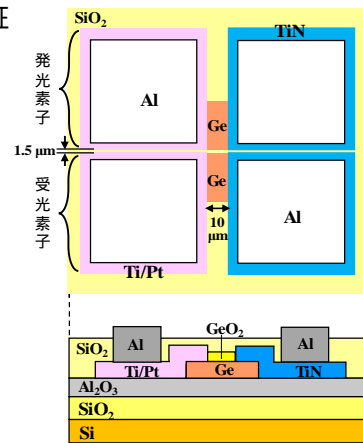


図 10 GOI 基板上的横方向発光・受光構造。

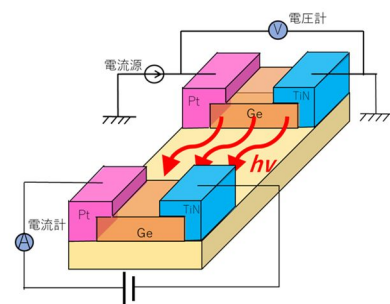
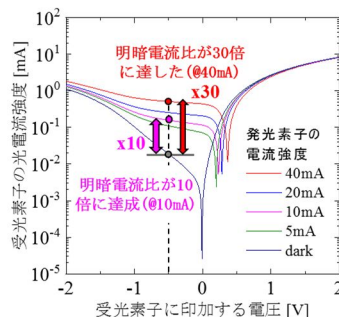


図 11 GOI 発光素子の横方向発光による受光素子の受光特性。

5. 主な発表論文等

〔雑誌論文〕 計9件（うち査読付論文 9件/うち国際共著 2件/うちオープンアクセス 0件）

1. 著者名 K. Yamamoto, K. Nakae, H. Akamine, D. Wang, H. Nakashima, Md. M Alam, K. Sawano, Z. Xue, M. Zhang, Z. Di	4. 巻 93
2. 論文標題 Conduction Type Control of Ge-on-Insulator: Combination of Smart-Cut and Defect Elimination	5. 発行年 2019年
3. 雑誌名 The Electrochemical Society Transactions	6. 最初と最後の頁 73~77
掲載論文のDOI (デジタルオブジェクト識別子) 10.1149/09301.0073ecst	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 該当する
1. 著者名 H. Nakashima, W.-C. Wen, K. Yamamoto, D. Wang	4. 巻 92
2. 論文標題 Border-Trap Characterization for Ge Gate Stacks Using Deep-Level Transient Spectroscopy	5. 発行年 2019年
3. 雑誌名 The Electrochemical Society Transactions	6. 最初と最後の頁 3~10
掲載論文のDOI (デジタルオブジェクト識別子) 10.1149/09204.0003ecst	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -
1. 著者名 Oka Ryusei, Yamamoto Keisuke, Akamine Hiroshi, Wang Dong, Nakashima Hiroshi, Hishiki Shigeomi, Kawamura Keisuke	4. 巻 59
2. 論文標題 High interfacial quality metal-oxide-semiconductor capacitor on (111) oriented 3C-SiC with Al ₂ O ₃ interlayer and its internal charge analysis	5. 発行年 2020年
3. 雑誌名 Japanese Journal of Applied Physics	6. 最初と最後の頁 SGGD17-1~10
掲載論文のDOI (デジタルオブジェクト識別子) 10.35848/1347-4065/ab6862	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -
1. 著者名 Yamamoto K, Noguchi R, Mitsuhashi M, Nishida M, Hara T, Wang D, Nakashima H	4. 巻 33
2. 論文標題 Wide range control of Schottky barrier heights at metal/Ge interfaces with nitrogen-contained amorphous interlayers formed during ZrN sputter deposition	5. 発行年 2018年
3. 雑誌名 Semiconductor Science and Technology	6. 最初と最後の頁 114011-1~7
掲載論文のDOI (デジタルオブジェクト識別子) 10.1088/1361-6641/aae4bd	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

1. 著者名 Wen Wei-Chen, Yamamoto Keisuke, Wang Dong, Nakashima Hiroshi	4. 巻 124
2. 論文標題 Border trap evaluation for SiO ₂ /GeO ₂ /Ge gate stacks using deep-level transient spectroscopy	5. 発行年 2018年
3. 雑誌名 Journal of Applied Physics	6. 最初と最後の頁 205303-1 ~ 11
掲載論文のDOI (デジタルオブジェクト識別子) 10.1063/1.5055291	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

1. 著者名 Yamamoto Keisuke, Nakae Kohei, Wang Dong, Nakashima Hiroshi, Xue Zhongying, Zhang Miao, Di Zengfeng	4. 巻 58
2. 論文標題 Ge field-effect transistor with asymmetric metal source/drain fabricated on Ge-on-Insulator: Schottky tunneling source mode operation and conventional mode operation	5. 発行年 2019年
3. 雑誌名 Japanese Journal of Applied Physics	6. 最初と最後の頁 SBBA14-1 ~ 7
掲載論文のDOI (デジタルオブジェクト識別子) 10.7567/1347-4065/ab02e3	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 該当する

1. 著者名 Maekrua Takayuki, Goto Taiki, Nakae Kohei, Yamamoto Keisuke, Nakashima Hiroshi, Wang Dong	4. 巻 58
2. 論文標題 Fabrication and characterization of asymmetric metal/Ge/metal diodes with Ge-on-insulator substrate	5. 発行年 2019年
3. 雑誌名 Japanese Journal of Applied Physics	6. 最初と最後の頁 SBBE05-1 ~ 6
掲載論文のDOI (デジタルオブジェクト識別子) 10.7567/1347-4065/aafb5e	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

1. 著者名 Nakashima Hiroshi, Okamoto Hayato, Yamamoto Keisuke, Wang Dong	4. 巻 80
2. 論文標題 (Invited) Achievement of Ultralow Contact Resistivity of Metal/n+-Ge Contacts with Zr-N-Ge Amorphous Interlayer	5. 発行年 2017年
3. 雑誌名 ECS transactions	6. 最初と最後の頁 97 ~ 106
掲載論文のDOI (デジタルオブジェクト識別子) 10.1149/08004.0097ecst	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

1. 著者名 Maekura T, Tanaka K, Motoyama C, Yoneda R, Yamamoto K, Nakashima H, Wang D	4. 巻 32
2. 論文標題 Effect of n-type doping level on direct band gap electroluminescence intensity for asymmetric metal/Ge/metal diodes	5. 発行年 2017年
3. 雑誌名 Semiconductor Science and Technology	6. 最初と最後の頁 104001-1~6
掲載論文のDOI (デジタルオブジェクト識別子) 10.1088/1361-6641/aa827f	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

〔学会発表〕 計35件 (うち招待講演 6件 / うち国際学会 20件)

1. 発表者名 K. Yamamoto, K. Nakae, H. Akamine, D. Wang, H. Nakashima, Md. M. Alam, K. Sawano, Z. Xue, M. Zhang, Z. Di
2. 発表標題 Conduction Type Control of Ge-on-Insulator: Combination of Smart-Cut and Defect Elimination
3. 学会等名 2nd Joint ISTDM / ICSI 2019 Conference (国際学会)
4. 発表年 2019年

1. 発表者名 W.-C. Wen, K. Yamamoto, D. Wang, H. Nakashima
2. 発表標題 Border Trap Evaluation for Al ₂ O ₃ /GeO _x /p-Ge Gate Stacks using Deep-Level Transient Spectroscopy
3. 学会等名 2nd Joint ISTDM / ICSI 2019 Conference (国際学会)
4. 発表年 2019年

1. 発表者名 K. Iseri, W.-C. Wen, K. Yamamoto, D. Wang, H. Nakashima
2. 発表標題 Low temperature (<300 °C Fabrication of Ge MOS Structure for Advanced Electronic Devices
3. 学会等名 2019 International Conference on Solid State Devices and Materials (SSDM2019) (国際学会)
4. 発表年 2019年

1. 発表者名 R. Oka, K. Yamamoto, D. Wang, H. Nakashima, S. Hishiki, K. Kawamura
2. 発表標題 Demonstration of n-MOSFET operation and charge analysis of SiO ₂ /Al ₂ O ₃ gate dielectric on (111) oriented 3C-SiC
3. 学会等名 2019 International Conference on Solid State Devices and Materials (SSDM2019) (国際学会)
4. 発表年 2019年

1. 発表者名 井芹 健人、温 偉辰、山本 圭介、王 冬、中島 寛
2. 発表標題 新規電子デバイス応用に向けたGeゲートスタックの低温(<300 °C)形成
3. 学会等名 2019年第80回応用物理学会秋季学術講演会
4. 発表年 2019年

1. 発表者名 W.-C. Wen, K. Yamamoto, D. Wang, H. Nakashima
2. 発表標題 Evaluation of Border Traps in Al ₂ O ₃ /GeO _x /p-Ge Stacks Using Deep-Level Transient Spectroscopy
3. 学会等名 2019年第80回応用物理学会秋季学術講演会
4. 発表年 2019年

1. 発表者名 山本 圭介、岡 龍誠、王 冬、中島 寛、菱木 繁臣、川村 啓介
2. 発表標題 SiO ₂ /Al ₂ O ₃ 絶縁膜を有する3C-SiC n-MOSキャパシタとn-MOSFET動作
3. 学会等名 2019年第80回応用物理学会秋季学術講演会
4. 発表年 2019年

1. 発表者名 岡 龍誠、山本 圭介、王 冬、中島 寛、菱木 繁臣、川村 啓介
2. 発表標題 SiO ₂ /Al ₂ O ₃ 絶縁膜を有する3C-SiC n-MOSキャパシタの固定電荷と界面ダイポール解析
3. 学会等名 2019年第80回応用物理学会秋季学術講演会
4. 発表年 2019年

1. 発表者名 H. Nakashima, W.-C. Wen, K. Yamamoto, D. Wang
2. 発表標題 Border-Trap Characterization for Ge Gate Stacks Using Deep-Level Transient Spectroscopy
3. 学会等名 236th ECS meeting (招待講演) (国際学会)
4. 発表年 2019年

1. 発表者名 D. Wang, T. Maekura, K. Yamamoto, H. Nakashima
2. 発表標題 Enhancement of direct band gap electroluminescence in asymmetric metal/Ge/metal diodes
3. 学会等名 TACT 2019 International Thin Film Conference (招待講演) (国際学会)
4. 発表年 2019年

1. 発表者名 W.-C. Wen, K. Yamamoto, D. Wang, H. Nakashima
2. 発表標題 Study on Position of Border Traps in Al ₂ O ₃ /GeO _x /p-Ge Gate Stacks Using Deep-Level Transient Spectroscopy
3. 学会等名 8th International Symposium on Control of Semiconductor Interfaces (国際学会)
4. 発表年 2019年

1. 発表者名 H. Nakashima, W.-C. Wen, K. Yamamoto, D. Wang
2. 発表標題 Border-Trap Evaluation for SiO ₂ /GeO ₂ /Ge Gate Stacks Using Deep-Level Transient Spectroscopy
3. 学会等名 8th International Symposium on Control of Semiconductor Interfaces (招待講演) (国際学会)
4. 発表年 2019年

1. 発表者名 岡 龍誠、山本 圭介、王 冬、中島 寛、菱木 繁臣、川村 啓介
2. 発表標題 3C-SiC MOSFETの閾値電圧制御に向けたSiO ₂ /Al ₂ O ₃ ゲートスタック中の固定電荷・界面ダイポールの解析
3. 学会等名 第11回半導体材料・デバイスフォーラム
4. 発表年 2019年

1. 発表者名 K. Yamamoto, K. Nakae, D. Wang, H. Nakashima, Z. Xue, M. Zhang, Z. Di
2. 発表標題 Ambipolar operation of asymmetric Ge Schottky tunneling source field-effect transistor fabricated on Ge-on-Insulator
3. 学会等名 2018 International Conference on Solid State Devices and Materials (SSDM2018) (国際学会)
4. 発表年 2018年

1. 発表者名 T. Maekura, T. Goto, K. Nakae, K. Yamamoto, H. Nakashima, D. Wang
2. 発表標題 Fabrication and characterization of asymmetric metal/Ge/metal diodes with Ge-on-Insulator substrate
3. 学会等名 2018 International Conference on Solid State Devices and Materials (SSDM2018) (国際学会)
4. 発表年 2018年

1. 発表者名 K. Yamamoto, D. Wang, H. Nakashima, S. Hishiki, K. Kawamura
2. 発表標題 Impact of Al ₂ O ₃ interlayer for metal-oxide-semiconductor capacitor on (111) oriented 3C-SiC for electronic device application
3. 学会等名 2018 International Conference on Solid State Devices and Materials (SSDM2018) (国際学会)
4. 発表年 2018年

1. 発表者名 後藤 太希、前蔵 貴行、仲江 航平、山本 圭介、中島 寛、王 冬、Miao Zhang、Zhongying Xue、Zenfeng Di
2. 発表標題 GOI基板を用いた非対称-金属/Ge/金属構造光素子の作製・特性評価
3. 学会等名 2018年第79回応用物理学会秋季学術講演会
4. 発表年 2018年

1. 発表者名 仲江 航平、薛 飛達、山本 圭介、王 冬、中島 寛、Miao Zhang、Zhongying Xue、Zenfeng Di
2. 発表標題 Smart-Cut法を用いて作製したGe-on-Insulatorの極性変化
3. 学会等名 2018年第79回応用物理学会秋季学術講演会
4. 発表年 2018年

1. 発表者名 Wei-Chen Wen、Keisuke Yamamoto、Dong Wang、Hiroshi Nakashima
2. 発表標題 Low-temperature fabrication of Ge MOS capacitors for spintronics and flexible electronics application
3. 学会等名 2018年第79回応用物理学会秋季学術講演会
4. 発表年 2018年

1. 発表者名 秋山 健太郎、井芹 健人、温 偉辰、山本 圭介、王 冬、中島 寛
2. 発表標題 電子ビーム蒸着によるGe上へのY酸化物系ゲート絶縁膜形成
3. 学会等名 2018年第79回応用物理学会秋季学術講演会
4. 発表年 2018年

1. 発表者名 Wei-Chen Wen, Keisuke Yamamoto, Dong Wang, Hiroshi Nakashima
2. 発表標題 Border trap characterization using deep-level transient spectroscopy for GeO ₂ /Gegate stacks grown by thermal oxidation and plasma oxidation
3. 学会等名 シリコン材料の科学と技術フォーラム2018
4. 発表年 2018年

1. 発表者名 K. Yamamoto, K. Akiyama, K. Iseri, W.-C. Wen, D. Wang, and H. Nakashima
2. 発表標題 Fabrication of Ge MOS Capacitor by Metal Yttrium Oxidation
3. 学会等名 12th International Workshop on New Group IV Semiconductor Nanoelectronics (招待講演) (国際学会)
4. 発表年 2018年

1. 発表者名 W.-C. Wen, K. Yamamoto, D. Wang, and H. Nakashima
2. 発表標題 Border trap evaluation using deep-level transient spectroscopy for SiO ₂ /GeO ₂ /Ge gate stacks
3. 学会等名 12th International Workshop on New Group IV Semiconductor Nanoelectronics (国際学会)
4. 発表年 2018年

1. 発表者名 D. Wang, T. Maekura, K. Yamamoto, H. Nakashima
2. 発表標題 Direct band gap electroluminescence and photo detection in asymmetric metal/Ge/metal diodes
3. 学会等名 Collaborative Conference on Materials Research (CCMR) 2018 (招待講演) (国際学会)
4. 発表年 2018年

1. 発表者名 山本 圭介、光原 昌寿、王 冬、中島 寛
2. 発表標題 遷移金属窒化物を用いた金属/Geコンタクトの障壁制御
3. 学会等名 2018年第65回応用物理学会春季学術講演会
4. 発表年 2018年

1. 発表者名 W.-C. Wen, T. Sakaguchi, K. Yamamoto, D. Wang and H. Nakashima
2. 発表標題 Evaluation of border-traps in GeO ₂ /Ge gate stacks grown by thermal oxidation and plasma oxidation
3. 学会等名 2018年第65回応用物理学会春季学術講演会
4. 発表年 2018年

1. 発表者名 H. Nakashima, W.-C. Wen, K. Yamamoto and D. Wang
2. 発表標題 Near-interface border-traps characterization by deep-level transient spectroscopy for GeO ₂ /Ge gate stacks
3. 学会等名 11th International Workshop on New Group IV Semiconductor Nanoelectronics (国際学会)
4. 発表年 2018年

1 . 発表者名 H. Nakashima, H. Okamoto, K. Yamamoto, and D. Wang
2 . 発表標題 Achievement of Ultralow Contact Resistivity of Metal/n+-Ge Contacts with Zr-N-Ge Amorphous Interlayer
3 . 学会等名 232nd ECS meeting (招待講演) (国際学会)
4 . 発表年 2017年

1 . 発表者名 T. Sakaguchi, K. Akiyama, K. Yamamoto, D. Wang, and H. Nakashima
2 . 発表標題 Dependence of Channel Mobility on Substrate Impurity Concentration for Metal Source/Drain Ge MOSFETs
3 . 学会等名 2017 International Conference on Solid State Devices and Materials (SSDM2017) (国際学会)
4 . 発表年 2017年

1 . 発表者名 W. -C. Wen, T. Sakaguchi, K. Yamamoto, D. Wang, and H. Nakashima
2 . 発表標題 Characterization of near-interface border-traps in GeO ₂ /Ge gate stacks grown by low and high temperature thermal oxidation using deep-level transient spectroscopy
3 . 学会等名 2017 International Conference on Solid State Devices and Materials (SSDM2017) (国際学会)
4 . 発表年 2017年

1 . 発表者名 板屋 航、仲江 航平、山本 圭介、王 冬、中島 寛
2 . 発表標題 非晶質Ge界面層とNiによるGeコンタクトの外因性準位とSファクターの変調()
3 . 学会等名 2017年第78回応用物理学会秋季学術講演会
4 . 発表年 2017年

1. 発表者名 坂口 大成、秋山 健太郎、山本 圭介、王 冬、中島 寛
2. 発表標題 メタルS/D型 Ge n-MOSFET のチャネル移動度の基板濃度依存性
3. 学会等名 2017年第78回応用物理学会秋季学術講演会
4. 発表年 2017年

1. 発表者名 W. -C. Wen, T. Sakaguchi, K. Yamamoto, D. Wang, and H. Nakashima
2. 発表標題 Near-interface border traps characterization for GeO ₂ /Ge gate stacks grown by low and high temperature thermal oxidation by using deep-level transient spectroscopy
3. 学会等名 2017年第78回応用物理学会秋季学術講演会
4. 発表年 2017年

1. 発表者名 W.-C. Wen, T. Sakaguchi, K. Yamamoto, D. Wang, and H. Nakashima
2. 発表標題 Near-interface border-traps characterization by deep-level transient spectroscopy for GeO ₂ /Ge gate stacks
3. 学会等名 The 10th International Conference on Silicon Epitaxy and heterostructures (国際学会)
4. 発表年 2017年

1. 発表者名 T. Maekura, C. Motoyama, K. Tanaka, K. Yamamoto, H. Nakashima, and D. Wang
2. 発表標題 Effect of n-type doping level on direct band gap light emission intensity for asymmetric metal/Ge/metal diodes
3. 学会等名 The 10th International Conference on Silicon Epitaxy and heterostructures (国際学会)
4. 発表年 2017年

〔図書〕 計0件

〔産業財産権〕

〔その他〕

中島・王研究室
<http://www.gic.kyushu-u.ac.jp/nakasima/index.htm>

6. 研究組織

	氏名 (ローマ字氏名) (研究者番号)	所属研究機関・部局・職 (機関番号)	備考
研究分担者	中島 寛 (Nakashima Hiroshi) (70172301)	九州大学・グローバルイノベーションセンター・教授 (17102)	
研究協力者	Di Zengfeng (Di Zengfeng)		中国科学院上海マイクロシステムと情報技術研究所
連携研究者	浜本 貴一 (Hamamoto Kiichi) (70404027)	九州大学・総合理工学研究科(研究院)・教授 (17102)	
連携研究者	山本 圭介 (Yamamoto Keisuke) (20706387)	九州大学・総合理工学研究科(研究院)・助教 (17102)	