

令和 3 年 6 月 2 日現在

機関番号：12601

研究種目：基盤研究(B) (一般)

研究期間：2017～2019

課題番号：17H03244

研究課題名(和文) 高速・高信頼性を両立する誘電体製導波路を用いた有線通信システムに関する研究

研究課題名(英文) High-Speed and Reliable Wireline Communication System based on Plastic Waveguide

研究代表者

飯塚 哲也 (Iizuka, Tetsuya)

東京大学・大学院工学系研究科(工学部)・准教授

研究者番号：10552177

交付決定額(研究期間全体)：(直接経費) 15,940,000円

研究成果の概要(和文)：通信経路の低コスト化・軽量化に向けて、誘電体材料を導波路として利用した高速有線通信技術への応用を目指し、高い通信速度と信頼性を両立するための要素回路技術を複数提案した。小面積かつ低消費電力にて低位相雑音を実現する140GHz帯(D-band)信号を生成する電圧制御発振器(VCO)、低損失かつ高いON-OFF比を持つOOK変調回路、高い送信電力による安定した通信を実現するための電力増幅回路等を実証した。また、通信に使用するアンテナをシリコン基板上に実装しその特性評価を行うとともに、電力損失低減を目指しアンテナ裏面シリコン基板除去のためのプロセス技術の開発を行った。

研究成果の学術的意義や社会的意義

近年の先端集積回路技術を用いることで30GHzから300GHzのミリ波帯の周波数を制御することが可能となり、誘電体材料を導波路として利用した通信経路を用いることで従来の金属配線による通信よりも軽量かつ低コストで、無線よりも安定した通信が期待される。本研究成果により、通信に必要な発振回路や増幅回路、位相同期回路と言った要素回路や、送受信アンテナの集積化と効率化のための加工技術等を確立することができた。これらの要素技術はBeyond 5Gや6Gと言った次世代の広帯域通信にも応用可能である。

研究成果の概要(英文)：To realize a low-cost and light-weight communication channel, several building-block circuit techniques have been proposed for the application to the high-speed wireline communication through a dielectric waveguide. We have demonstrated a small-area, low-power and low-phase-noise voltage-controlled oscillator for 140GHz band (D-band), an OOK modulator circuit that achieves low insertion loss and high ON/OFF ratio, a power amplifier circuit with high output power for reliable communication, and so on. We also implemented an antenna for communication on silicon substrate and evaluated its characteristics. The post processing technique has also been developed to remove the silicon substrate beneath the antenna in order to reduce the power loss.

研究分野：集積回路設計技術

キーワード：集積回路 ミリ波 通信 導波路 誘電体

1. 研究開始当初の背景

近年トランジスタの動作速度は大きく向上し、ミリ波帯信号による広い帯域を活用した高速通信の研究が主に無線通信分野において活発であるが、空間中の大きな信号電力の減衰のため最大でも数メートル程度の近距離向け応用が主である。指向性アンテナや高出力アンプにより通信距離を拡大する研究もなされているが、コスト・電力等の観点から必ずしも効率的ではない。速度を維持しつつ低コストで通信距離を拡大する方策として、ポリマーやプラスチックと言った安価な誘電体材料を導波路として使用し有線通信を行う方式が近年提案され、研究の幅を広げている[1]。

このようなポリマーによる有線通信技術は従来までは光ファイバ通信等での応用が主であったが[2]、光-電気変換のコストが高いことからその適用範囲は限られていた。近年の高速な集積回路技術によってミリ波帯での電気信号の制御が可能となり、高い通信速度が実現できる点と同時に主にその軽量性と低いコストから特に車載や航空機・人工衛星への搭載と言った応用範囲で高い注目を浴びている。これらの応用では多種のセンサからの信号を各種制御・表示装置へ高速に伝送する事が安全性等の観点から必須であると同時に通信経路の信頼性も非常に重要となる。しかしながら、通信経路の信頼性・安全性の問題が現在の最も大きな課題の一つとして挙げられる。一般的な金属配線による信号伝送と異なり、導波路上を伝搬するミリ波帯信号はある一定の染み出しを持つ。シールド層を設けることで漏洩を抑制することは可能であるが、軽量・低コストといったメリットが小さくなる。特に導波路が直線でない場合、曲率の高い箇所において多くの信号電力が外部に漏洩する。これは受信電力の低下のみではなく、他の隣接配線への干渉や情報の漏洩を引き起こす。これらの課題の解決は誘電体導波路を用いた有線通信の普及にとって急務となっている。

[参考文献]

[1] N. V. Thienen et al., "A Multi-Gigabit CPFSK Polymer Microwave Fiber Communication Link in 40nm CMOS," IEEE Journal of Solid-State Circuits, Aug. 2016.

[2] J. C. Smirnov et al., "Flexible all-polymer waveguide for low threshold amplified spontaneous emission," Nature Scientific Reports, Sep. 2016.

2. 研究の目的

本研究ではこれらの課題を解決するための誘電体製導波路を用いた通信システムにおける新規な実装技術・回路方式について提案を行い、高い速度と信頼性の両立を達成する方式を検討する。信号の導波路への閉じ込め効果を高めるため 140GHz 帯のキャリア周波数を用いる方式を提案し、送受信回路に必要な構成要素である、キャリア信号生成のための電圧制御発振器 (VCO; Voltage-Controlled Oscillator)、位相同期回路 (PLL; Phas-Locked Loop)、電力増幅回路 (PA; Power Amplifier)、変調回路、アナログ-デジタル変換器 (ADC) 等の要素回路技術の提案、実証を行う。さらに、伝搬信号の減衰を抑えるためオンチップアンテナを備えた送受信回路と導波路との実装方式を検討し、アンテナ裏面シリコン基板除去のためのプロセス技術の開発を行う。

3. 研究の方法

本研究では目的達成に向けて主に下記の 6 課題を設定し、各項目の研究・開発を行う。

(1) 140GHz 帯キャリア周波数生成のための電圧制御発振回路 (VCO)

140GHz 帯のキャリア周波数を生成する電圧制御発振器 (VCO) の設計を行う。発振器は通信を伴う全てのシステムにおいて必須の回路である。100GHz を超える超高周波帯で動作し、低位相雑音を維持しつつ小面積かつ低消費電力を実現するため、周波数二通倍器を用いて 140GHz の信号を作り出すことを検討し、各ブロック間のインピーダンス整合回路を取り除くことで上記に示した課題を解決する方法を提案し、65nm CMOS プロセス技術によるチップ試作と実測にてその性能を実証する。

(2) 周波数制御のための低位相雑音フラクショナル N 型位相同期回路 (PLL)

周波数シンセサイザの中でも特に高精度な周波数制御が行えるフラクショナル型 PLL は通信応用において必要不可欠な回路であるが、分周比の変調による量子化雑音や、位相比較器およびチャージポンプ回路の非線形性によって生じるスプリアストーンなどが課題となっている。新規なループ構造を用いることで、低雑音・低スパーを既存手法と比較してよりコンパクトな形で実現するフラクショナル N 型 PLL を提案する。ハーモニックミキサ (HM) 回路を用いた二重フィードバック構造を用いることで、分周器において生じた量子化雑音と位相比較器の非線形性によるスパーが増幅されないことを実測とシミュレーションを用いて示す。また各要素回路の性能を考慮し、ノイズと消費電力のトレードオフが最適化されるように設計を行い、65nm CMOS プロセス技術によるチップ試作と実測にてその性能を実証する。

(3) 140GHz 帯送信回路向け電力増幅回路 (PA)

140GHz 帯の信号を増幅する電力増幅回路 (PA) の設計を行う。通信応用における送信機では、変調後の信号の電力を増幅するための回路は必須であり、その出力電力が大きいほど長距離の通信が可能となり、また低いエラーレートが達成可能となる。オンチップ電力合成回路を用いて高い出力電力を持つ電力増幅回路方式について検討を行い出力電力の限界について考察を行う。対称構造を持つオンチップバランによる電力合成回路を提案し、それを用いた 4 並列電力増幅回路を提案する。65nm CMOS プロセス技術によるチップ試作と実測にてその性能を実証する。

(4) 送信回路用 ON-OFF Keying (OOK) 変調回路

送受信機では発振器によって生成された信号に対して変調及び増幅を行う必要がある。変調方式として変復調の簡単さから低消費電力応用に適した ON-OFF 変調方式を採用し、140GHz のミリ波帯キャリア周波数において低損失かつ高い ON-OFF 比を達成する OOK 変調器のアーキテクチャを提案する。この変調器について 65nm CMOS プロセス技術によるチップ試作と実測にてその性能を実証する。

(5) 設計容易化のための自動合成可能アナログ-デジタル変換回路 (ADC)

仕様に応じた新規設計や回路修正と言った設計負担の軽減に向けた自動合成可能なアナログ-デジタル変換回路の提案を行う。微細化に伴って設計におけるデザインルールが複雑化し、設計に要する時間やコストが増大していることは問題のひとつとして挙げられる。本研究では、スタンダードセルを使った自動配置配線による実装が可能な逐次比較 (SAR; Successive Approximation Register) 型 ADC について提案を行い、65nm CMOS プロセス技術によるチップ試作と実測にてその性能を実証する。

(6) 送受信回路用オンチップアンテナと誘電体導波路の低損失実装方式

送受信回路におけるオンチップアンテナと誘電体導波路の結合部において、シリコン基板上のアンテナ下部におけるシリコン基板での渦電流の発生により電力の一部が熱エネルギーに変換されてしまうことによる損失が無視できない。チップ裏面の基板を除去することで損失を抑制できることをシミュレーションにより示す。また実際にオンチップアンテナを実装したチップを作成し裏面シリコン基板の除去を行うプロセス技術を開発し、実測によりオンチップアンテナ裏面基板除去による損失の低減効果を実証する。

4. 研究成果

前述の研究方法に沿ってそれぞれの項目毎に研究を実施し、以下の成果を得た。

(1) 140GHz 帯キャリア周波数生成のための電圧制御発振回路 (VCO)

周波数二乗倍器を用いた 140 GHz 電圧制御発振器における低消費電力かつ小面積化手法について提案し、LC 発振器と周波数二乗倍器の接続部分にインピーダンス整合回路を使用せず直接接続することで、低位相雑音を維持しつつも面積の大幅な縮小とともに消費電力を低減する手法を提案し検討を行った。図 1 に提案する D-band LC 発振器の回路図を示し、図 2 に 65nm CMOS プロセスにおいて試作されたチップ写真を示す。LC 発振器においてはクロスカップル部分にバイアス回路を用いることにより、特に位相雑音において優位な差があることをシミュレーションにて確認した。図 3 に示す様に、実測において VCO が 140 GHz で発振動作することを確認した。さらに VCO 全体としてトランジスタサイズを最適化することで、図 4 に示すように、 $-108.2 \text{ dBc/Hz}@10\text{MHz}$ という低位相雑音を達成しながら消費電力 24mW、コア面積 0.05mm^2 という低消費電力かつ小面積を実測にて実証した。

(2) 周波数制御のための低位相雑音フラクショナル N 型位相同期回路 (PLL)

フラクショナル N 型 PLL において大きなノイズが生じる一因として、フィードバックにおけるノイズ増幅が挙げられる。通倍比を $N \cdot \alpha$ としたとき、フィードバックゲインは $\beta = 1/N \cdot \alpha$ となり、 $N \cdot \alpha$ 倍のノイズ増幅が生じてしまう。そこで分周器による周波数の割り算の代わりにミキサなどを用いた周波数の引き算に基づいてフィードバックを行うことを考える。この場合出力信号の位相はフィードバックにおいて減衰しない (すなわち $\beta = 1$) ので、入力側で生じたノイズは増幅されない。本研究ではこの考えを活かし、図 5 に示す二重フィードバック型 PLL を提案した。ミキサに基づいたフィードバック経路に加えて分周器 (MMD) に基づいたフィードバック経路を設けることで高精度な周波数制御を可能としている。フィードバックゲインは二つの経路の差、すなわち $\beta = 1 - 1/N \cdot \alpha$ がほぼ 1 となるので、MMD で生じたノイズや位相検出器およびチャージポンプ回路の非線形性によって生じたスパークは増幅されない。このようにして提案回路は低位相雑音および低スパークを複雑なキャリアブレーション機構なしで達成できる。提案回路を 65nm CMOS プロセスで実装した。チップ写真を図 6 に示す。図 7 に示す位相雑音の測定結果より、提案 PLL では従来手法において MMD からのノイズが増幅された際に生じるはずの大きな位相雑音の劣化が生じていないことが確認できる。また図 8 から分かる通りフラクショナルスパークも非常に低い値となっており、増幅を避けていることが確認できる。

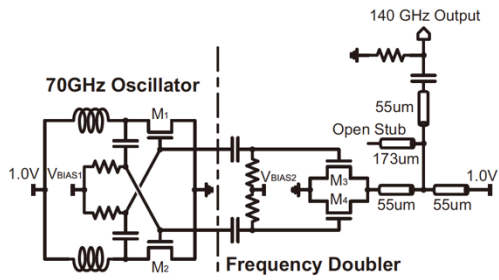


図 1. 提案 D-band VCO の回路図

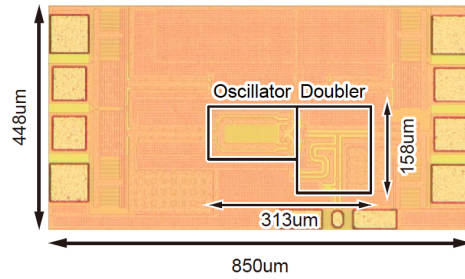


図 2. 提案 D-band VCO のチップ写真

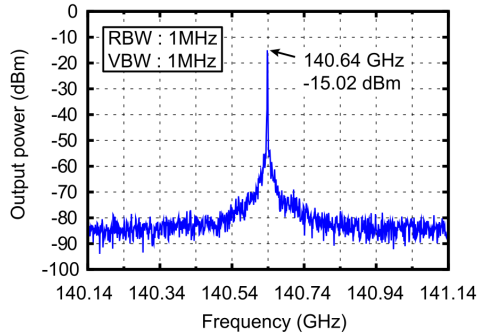


図 3. 140 GHz 出力スペクトル

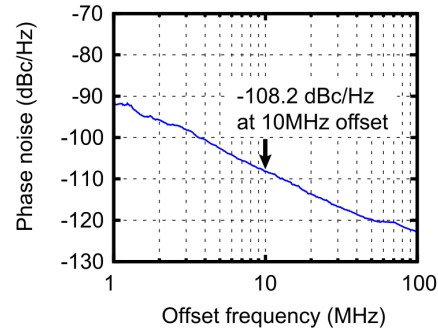


図 4. 140 GHz 出力における位相雑音

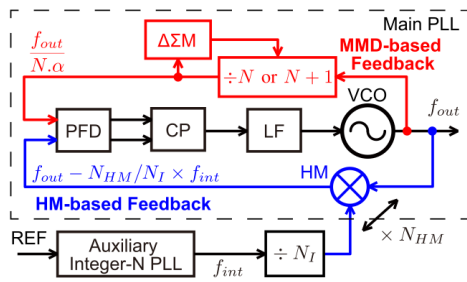


図 5. 提案 PLL 回路のブロック図

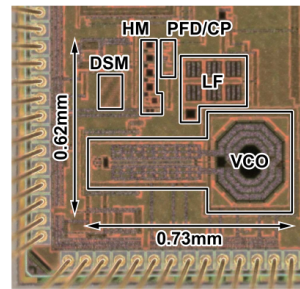


図 6. 提案 PLL 回路のチップ写真

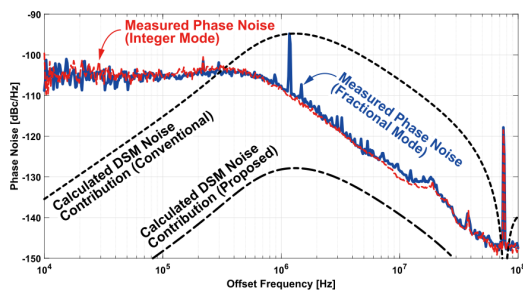


図 7. 提案 PLL 回路の位相雑音

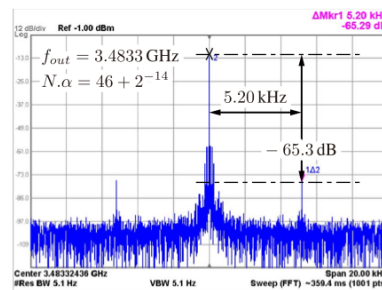


図 8. 提案 PLL 回路のフラクショナルスパー

(3) 140GHz 帯送信回路向け電力増幅回路 (PA)

ミリ波帯電力増幅回路の設計手法について検討を行い、高出力パワーを達成するため、図 9 に示すような対称型のオンチップ電力合成回路を提案した。検討した設計最適化手法に基づき、図 10 に示すような 4 並列電力増幅回路を設計し、65nm CMOS プロセスにて試作を行い、実測による評価を行った。2 並列 PA では 5.7 dB の利得と 6.0dBm の OP1dB を持つことを実測にて確認した。4 並列 PA では、シミュレーションにて 14dBm の飽和電力を持つことを確認した。

(4) 送信回路用 ON-OFF Keying (OOK) 変調回路

提案する OOK 変調回路の構成を図 11 に示す。提案回路はスイッチ型ステージと増幅回路型ステージの二つから構成されている。スイッチ型ステージは Single-Pole Single-Throw スイッチとして動作するトランジスタと伝送線路を一つのまとまりとして複数繋げたものとなっており、増幅回路型ステージはソース接地型増幅回路とバイアス制御回路から構成されている。提案する構成は様々な目的に対して最適な選択をするための設計の自由度を高くできる点で優れている。提案した OOK 変調回路を 65nm CMOS プロセスで試作し、評価を行った。図 12 に試作チップ写真を示す。測定結果により、140 GHz キャリア周波数において ON 時の利得が 0.3dB、アイソレーションが 24.6dB である事を示した。セルフミキサ回路を受信機として用いた測定評価により、本変調回路を用いて 11Gbps の OOK 変調が実現可能であることを示した。

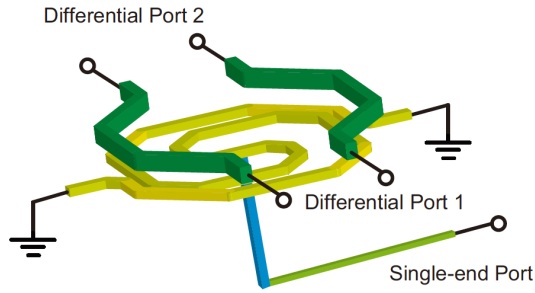


図 9. 対称オンチップバランの概形

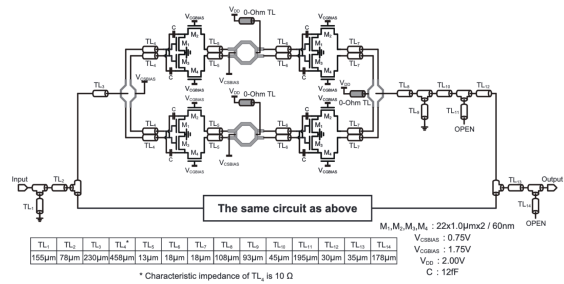


図 10. 4 並列の電力増幅回路の回路図

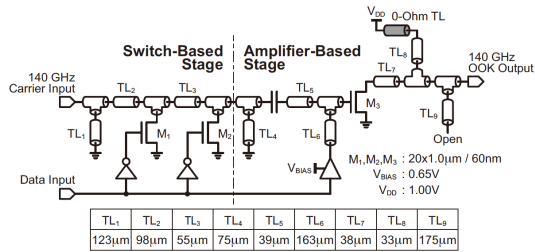


図 11. 提案 OOK 変調器の回路図

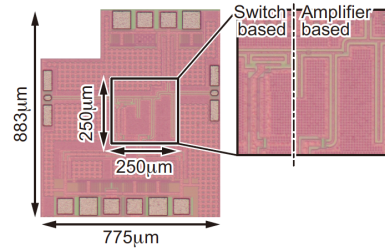


図 12. 提案 OOK 変調回路の試作チップ

(5) 設計容易化のための自動合成可能アナログ-デジタル変換回路 (ADC) スタンダードセルベースで自動合成可能な SAR 型 ADC のアーキテクチャを提案した。インバータを用いた抵抗型 DAC や、複合論理ゲートを用いたコンパレータ、パワーマネジメントセルを用いたサンプルホールド回路を提案し、図 13 に示す様な HDL から合成可能な SAR 型 ADC アーキテクチャを実証した。提案アーキテクチャにより 6bit および 10bit の分解能を想定してプロトタイプを作成した。65nm CMOS プロセスを用いて自動配置配線により設計された 6bit ADC プロトタイプのチップ写真を図 14 に示す。10bit プロトタイプのシミュレーション結果により、Effective Number of Bit (ENOB) は 7.86 bit、消費電力は 5.26mW となることを確認した。以上から、Figure of Merit である変換 1 ステップあたりの消費電力は 2.26pJ/conv-step となり、先行研究の合成可能 SAR 型 ADC の約 2 倍の電力効率となる見込みを得た。

(6) 送受信回路用オンチップアンテナと誘電体導波路の低損失実装方式 オンチップアンテナと誘電体導波路の結合部において、基板除去の有無によるアンテナ部分の損失の低減効果を検証することを目的とし、シミュレーションによる検証を行った。図 15 にシミュレーションモデルを示す。基板除去により 3.5dB 程度の利得向上が確認できた。更に実測評価を目的とし、必要となる回路とアンテナをチップ上に試作し、実際にアンテナ裏面基板除去を行うための Deep Reactive Ion Etching (DRIE) プロセス技術を開発した。基板除去後のアンテナチップの写真を図 16 に示す。差動信号への変換用バランとアンテナが実装されており、アンテナ裏面の基板が選択的に除去されていることが分かる。

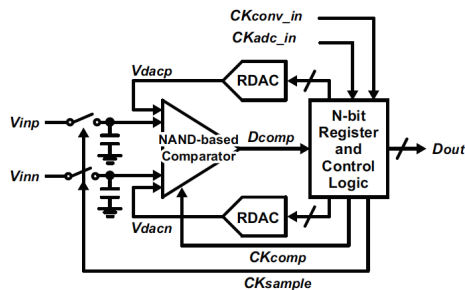


図 13. 提案する SAR 型 ADC のブロック図

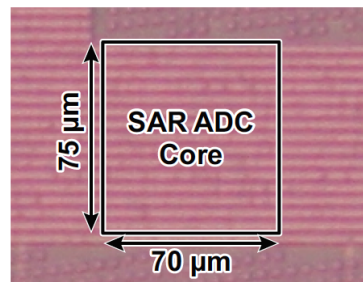


図 14. 6bit ADC プロトタイプのチップ写真

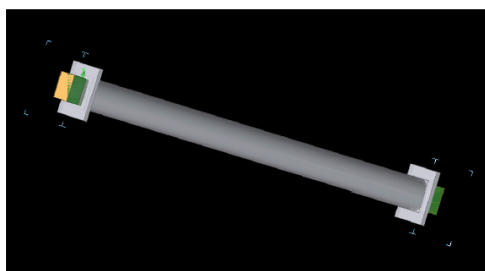


図 15. アンテナと誘電体導波路のモデル

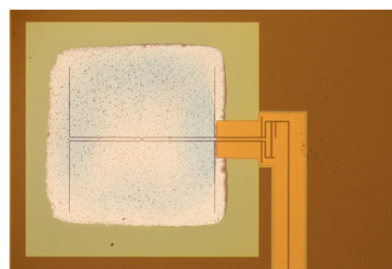


図 16. シリコン基板を除去したアンテナ

5. 主な発表論文等

〔雑誌論文〕 計6件（うち査読付論文 6件/うち国際共著 0件/うちオープンアクセス 3件）

1. 著者名 Otsuki Yoshitaka, Yamazaki Daisuke, Mai-Khanh Nguyen Ngoc, Iizuka Tetsuya	4. 巻 16
2. 論文標題 A 140 GHz area-and-power-efficient VCO using frequency doubler in 65 nm CMOS	5. 発行年 2019年
3. 雑誌名 IEICE Electronics Express	6. 最初と最後の頁 1~5
掲載論文のDOI（デジタルオブジェクト識別子） 10.1587/elex.16.20190051	査読の有無 有
オープンアクセス オープンアクセスとしている（また、その予定である）	国際共著 -
1. 著者名 Takahashi Daigo, Iizuka Tetsuya, Mai-Khanh Nguyen Ngoc, Nakura Toru, Asada Kunihiro	4. 巻 68
2. 論文標題 Fault Detection of VLSI Power Supply Network Based on Current Estimation From Surface Magnetic Field	5. 発行年 2019年
3. 雑誌名 IEEE Transactions on Instrumentation and Measurement	6. 最初と最後の頁 2519~2530
掲載論文のDOI（デジタルオブジェクト識別子） 10.1109/TIM.2018.2866300	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -
1. 著者名 Enomoto Ryuichi, Iizuka Tetsuya, Koga Takehisa, Nakura Toru, Asada Kunihiro	4. 巻 27
2. 論文標題 A 16-bit 2.0-ps Resolution Two-Step TDC in 0.18- μm CMOS Utilizing Pulse-Shrinking Fine Stage With Built-In Coarse Gain Calibration	5. 発行年 2019年
3. 雑誌名 IEEE Transactions on Very Large Scale Integration (VLSI) Systems	6. 最初と最後の頁 11~19
掲載論文のDOI（デジタルオブジェクト識別子） 10.1109/TVLSI.2018.2867505	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -
1. 著者名 Jing Wang, Iizuka Tetsuya, Xu Zule, Nakura Toru	4. 巻 16
2. 論文標題 A compact quick-start sub-mW pulse-width-controlled PLL with automated layout synthesis using a place-and-route tool	5. 発行年 2019年
3. 雑誌名 IEICE Electronics Express	6. 最初と最後の頁 1~6
掲載論文のDOI（デジタルオブジェクト識別子） 10.1587/elex.16.20190546	査読の有無 有
オープンアクセス オープンアクセスとしている（また、その予定である）	国際共著 -

1. 著者名 Yamazaki Daisuke, Otsuki Yoshitaka, Hara Takafumi, Mai-Khanh Nguyen Ngoc, Iizuka Tetsuya	4. 巻 14
2. 論文標題 11Gb/s 140GHz OOK modulator with 24.6dB isolation utilizing cascaded switch and amplifier based stages in 65nm bulk CMOS	5. 発行年 2020年
3. 雑誌名 IET Circuits, Devices & Systems	6. 最初と最後の頁 322 ~ 326
掲載論文のDOI (デジタルオブジェクト識別子) 10.1049/iet-cds.2019.0377	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

1. 著者名 Osada Masaru, Xu Zule, Iizuka Tetsuya	4. 巻 3
2. 論文標題 A 3.2-to-3.8 GHz Harmonic-Mixer-Based Dual-Feedback Fractional-N PLL Achieving -65 dBc In-Band Fractional Spur	5. 発行年 2020年
3. 雑誌名 IEEE Solid-State Circuits Letters	6. 最初と最後の頁 534 ~ 537
掲載論文のDOI (デジタルオブジェクト識別子) 10.1109/LSSC.2020.3037311	査読の有無 有
オープンアクセス オープンアクセスとしている (また、その予定である)	国際共著 -

[学会発表] 計9件 (うち招待講演 1件 / うち国際学会 5件)

1. 発表者名 Naoki Ojima, Toru Nakura, Tetsuya Iizuka, and Kunihiro Asada
2. 発表標題 A Synthesizable Digital Low-Dropout Regulator Based on Voltage-to-Time Conversion
3. 学会等名 26th IFIP/IEEE International Conference on Very Large Scale Integration (VLSI-SoC) (国際学会)
4. 発表年 2018年

1. 発表者名 Tetsuya Iizuka and Kunihiro Asada
2. 発表標題 Time-Domain Approach for Analog Circuits: Fine-Resolution TDC and Quick-Start CDR Circuits
3. 学会等名 IEEE International Conference on Advanced Technologies for Communications (ATC) (招待講演) (国際学会)
4. 発表年 2018年

1. 発表者名 大槻 宜孝, 山崎 大輔, マイカーン グエン ゴック, 飯塚 哲也
2. 発表標題 周波数2通倍器を用いた小面積かつ低電力な140GHz電圧制御発振器の設計
3. 学会等名 電子情報通信学会 集積回路研究会 (ICD)
4. 発表年 2018年

1. 発表者名 Naoki Ojima, Zule Xu and Tetsuya Iizuka
2. 発表標題 A 0.0053-mm ² 6-Bit Fully-Standard-Cell-Based Synthesizable SAR ADC in 65nm CMOS
3. 学会等名 IEEE International New Circuits and Systems Conference (NEWCAS) (国際学会)
4. 発表年 2019年

1. 発表者名 Masaru Osada, Zule Xu and Tetsuya Iizuka
2. 発表標題 A 3.2-to-3.8GHz Calibration-Free Harmonic-Mixer-Based Dual-Feedback Fractional-N PLL Achieving -66dBc Worst-Case In-Band Fractional Spur
3. 学会等名 IEEE Symposium on VLSI Circuits (国際学会)
4. 発表年 2020年

1. 発表者名 Daisuke Yamazaki, Takamichi Horikawa and Tetsuya Iizuka
2. 発表標題 A 140-GHz 14-dBm Power Amplifier using Power Combiner based on Symmetric Balun in 65-nm Bulk CMOS
3. 学会等名 IEEE International Symposium on Radio-Frequency Integration Technology (RFIT) (国際学会)
4. 発表年 2020年

1. 発表者名 山崎 大輔, 大槻 宜孝, 原 崇文, マイカーン グエン ゴック, 飯塚 哲也
2. 発表標題 スイッチ型および増幅型ステージを用いた高アイソレーションかつ低損失なDバンドOOK変調器の実装
3. 学会等名 電子情報通信学会 LSIとシステムのワークショップ2019
4. 発表年 2019年

1. 発表者名 Shuwei Li, Zule Xu, Tetsuya Iizuka
2. 発表標題 Analysis of Strong-ARM Comparator with Offset Calibration Using Auxiliary Pair
3. 学会等名 電子情報通信学会 総合大会
4. 発表年 2021年

1. 発表者名 長田 将, 徐 祖楽, 飯塚 哲也
2. 発表標題 低位相雑音かつ低スプリアストーンを達成する高調波ミキサを用いた二重フィードバック型フラクショナルN位同期回路
3. 学会等名 電子情報通信学会 総合大会
4. 発表年 2021年

〔図書〕 計0件

〔出願〕 計2件

産業財産権の名称 フラクショナル位同期回路および位同期回路装置	発明者 飯塚 哲也, 徐 祖楽, 長田 将	権利者 国立大学法人東 京大学
産業財産権の種類、番号 特許、特願2019-192731	出願年 2019年	国内・外国の別 国内

産業財産権の名称 フラクショナル位同期回路および位同期回路装置	発明者 飯塚 哲也, 徐 祖楽, 長田 将	権利者 国立大学法人東 京大学
産業財産権の種類、番号 特許、PCT/JP2020/026776	出願年 2020年	国内・外国の別 外国

〔取得〕 計0件

〔その他〕

-

6. 研究組織

	氏名 (ローマ字氏名) (研究者番号)	所属研究機関・部局・職 (機関番号)	備考
研究協力者	マイカーン グエン ゴック (Mai-Khanh Nguyen Ngoc)	東京大学・大学院工学系研究科(工学部)・助教 (12601)	
研究協力者	徐 祖樂 (Xu Zule)	東京大学・大学院工学系研究科(工学部)・講師 (12601)	

7. 科研費を使用して開催した国際研究集会

〔国際研究集会〕 計0件

8. 本研究に関連して実施した国際共同研究の実施状況

共同研究相手国	相手方研究機関
---------	---------