

科学研究費助成事業 研究成果報告書

令和 2 年 5 月 29 日現在

機関番号：11101

研究種目：基盤研究(C) (一般)

研究期間：2017～2019

課題番号：17K00070

研究課題名(和文) 2.5次元および3次元積層集積回路の熱設計技術の開発

研究課題名(英文) Development of thermal design techniques for 2.5D and 3D integrated circuits

研究代表者

黒川 敦 (Kurokawa, Atsushi)

弘前大学・理工学研究科・教授

研究者番号：80610592

交付決定額(研究期間全体)：(直接経費) 3,500,000円

研究成果の概要(和文)：3次元積層集積回路の熱設計技術を開発した。1) ヒートシンクのような外部冷却装置が使える場合の熱対策として、積層チップの側壁をメタルで覆い、チップ間にメタルプレートを挿入し、底部にメタルプレートを設置する構造を考案した。外部冷却装置が使えない場合の熱対策として、メタルで覆う構造を考案した。2) ニューラルネットワークを用いた配線容量抽出を考案した。多目的遺伝的アルゴリズムを用いた電源電圧安定化技術を開発した。3) 遺伝的アルゴリズムを使って、PCB上の最大温度と各部品間の配線長を最小化する配置最適化技術を開発した。ウェアラブルデバイスの熱解析用に、リスト型とメガネ型の熱抵抗モデルを開発した。

研究成果の学術的意義や社会的意義

パッケージ設計とチップ設計の両面から熱問題を総合的に研究し、解決するアプローチはあまり例を見ない。熱対策する場合、両面から研究する方がより高い効果が得られる。近年CPUの冷却としてマイクロチャンネルを用いた液体冷却方法が報告されているが、この方法は製造上非常に高価なばかりか信頼性の課題が残る。様々な積層集積回路に最適な冷却方法と温度低減効果が明らかになる。開発する冷却方法は多くの製品に組み込まれること、電源電圧安定化技術と熱密度抑制技術はチップ設計に活用されることが期待される。さらにウェアラブルデバイスの熱抵抗モデルは解析を簡易化できる。今後の集積化技術の発展に大きく貢献できる。

研究成果の概要(英文)：Several thermal design techniques of 3D ICs were developed. 1) As heat measures with heatsink, a structure that the sidewall of the stacked chips is covered with metal, a metal plate is inserted between chips, and a metal plate is located in the bottom was devised. As heat measures without heatsink, a structure of a metal hat was devised. 2) An interconnect capacitance extraction using a neural network was devised. A power supply voltage stabilization technique using the multi-objective genetic algorithm was developed. 3) A placement optimization technique to minimize the maximum temperature and wiring length on the PCB was developed. For thermal analysis of wearable devices, thermal resistance models of wrist- and glasses-types was developed.

研究分野：集積回路設計技術

キーワード：三次元集積回路 熱設計 電源設計 配線容量 ウェアラブルデバイス

様式 C-19、F-19-1、Z-19（共通）

1. 研究開始当初の背景

1つのチップに回路を構成する2次元集積回路に比べ、積層集積回路を幾つか横に並べる2.5次元もしくは垂直方向にのみ重ねる3次元積層集積回路は、1つのチップの面積を小さくでき、チップ間接続も短くできるので、低電力、高速、小型にすることができる。しかし、積層することによって電力密度が高くなり、発熱が大きな課題となっている。積層集積回路の熱に関する技術として、国外からは高速に熱解析をするアルゴリズム、サーマルビアを用いた冷却方法、マイクロチャンネルと呼ばれる空洞を多数設け液体を流す冷却方法などが報告されている。

2. 研究の目的

積層集積回路は低電力、高速、小型の特長を有する。3次元積層集積回路は熱が重大な課題である。本研究の目的は、複数の積層集積回路を横に並べる方法、および垂直方向にのみ重ねる3次元積層集積回路の熱設計技術を開発することである。具体的には、1)パッケージの熱設計として、外部冷却装置を使う場合と使わない場合の3次元積層集積回路の冷却技術の開発、2)チップの熱設計として、熱を考慮した電源安定化技術と回路ブロックの配置最適化による熱密度低減技術、さらにウェアラブルデバイスの熱抵抗モデルの開発である。

3. 研究の方法

2.5次元および3次元積層集積回路におけるパッケージ熱設計として、熱伝導解析を実施し、効果的な冷却技術を明確にする。チップ熱設計として、回路解析ソフトと最適化アルゴリズムを用いて、積層集積回路の電源安定化と熱密度低減のための方法を明らかにする。

(1) 3次元積層集積回路の冷却技術の開発

ファン付きヒートシンクや水冷コールドプレートのようなパッケージ外部の冷却装置を利用できる比較的大型な電子機器向けの3次元積層集積回路の冷却技術を探索する。

スマートフォン、ウェアラブルデバイス、生体埋め込みのような小型軽量製品では外部冷却装置を使用できない。自然放熱のみだけで熱を抑制するための最適な冷却構造を探究する。外部冷却装置を使わない場合、一般にパッケージ基板やプリント基板から放熱するので、それらまでの熱伝導経路確保や、サーマルプレート自体をヒートシンクにする新たな方法を探索する。

(2) チップ内配線容量抽出と電源安定化技術の開発

ニューラルネットワークを用いた配線容量抽出のプログラムを作成する。さらに積層集積回路の電源回路網をモデリングし、回路解析を実施し、多目的遺伝的アルゴリズムを用いて、電圧変動が許容範囲に収まる各パラメータの最適値を求める。最適化するパラメータは電源用垂直配線のサイズや間隔、チップ内の電源線のサイズや間隔、各層のデカップリング容量などである。これらは主に設計初期段階で電源分配方法を決定するために利用できる。

(3) プリント基板上の配置最適化及びウェアラブルデバイスの熱抵抗モデルの開発

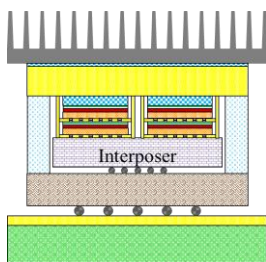
チップ内の回路ブロックの消費電力や積層順序による温度への効果を考慮し、遺伝的アルゴリズムを用いて最適化を試行して、最高温度を低減させる。また、ウェアラブルデバイスの熱解析を容易にするためのリスト型とメガネ型の熱抵抗モデルを開発する。

4. 研究成果

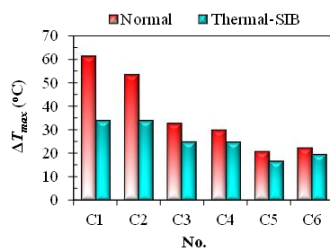
(1) 3次元積層集積回路の冷却技術の開発

ヒートシンクのような外部冷却装置が使える場合の3次元積層集積回路の熱対策として、積層チップの側壁をメタルで覆い、チップ間にメタルプレートを挿入し、底部にメタルプレートを配置するThermal-SIB (Sidewalls, Interchip plates, and Bottom plate) 構造を考案し、さらに、シングルチップを平面に並べる2.5次元集積回路を応用して、積層チップを平面に並べる構造を評価した(図1の(a))。その温度低減効果を図1(b)に示す。C1とC2は一箇所に全チップを積層した場合を示す。Thermal-SIB及び並列化の温度低減効果が高いことを明らかにした。

外部冷却装置が使えない場合の熱対策として、図2(a)に示すようにメタルで覆う構造(メタルハットと呼ぶ)を考案した。図2(b)に温度低減効果を示す。Capは底部につばがない場合を表す。メタルハット構造は温度低減効果が高いことを明らかにした。



(a) 構造

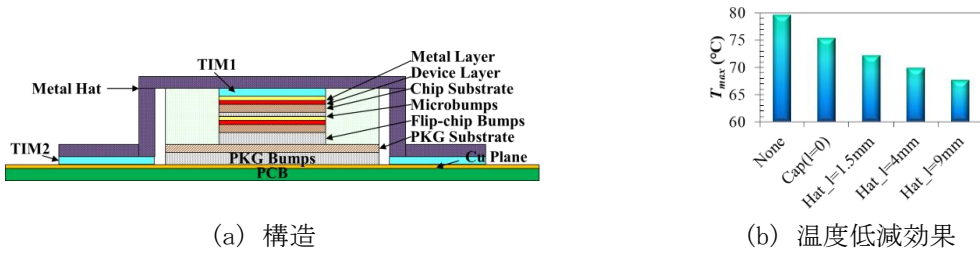


(b) 温度低減効果

図1 Thermal-SIBを用いた3D IC (外部冷却装置を使う場合)

表1 解析条件

No.	配置数	各チップの電力 (W) (Bottom/2nd/.../Top)
C1	1	5/5/5/5/5/5/5/5
C2	1	1/1/1/1/4/4/4/15/15
C3	2	5/5/5/5/5, 5/5/5/5/5
C4	2	1/1/4/4/15, 1/1/4/4/15
C5	4	5/5, 5/5, 5/5/5, 5/5/5
C6	4	1/15, 1/15, 1/4/4, 1/4/4



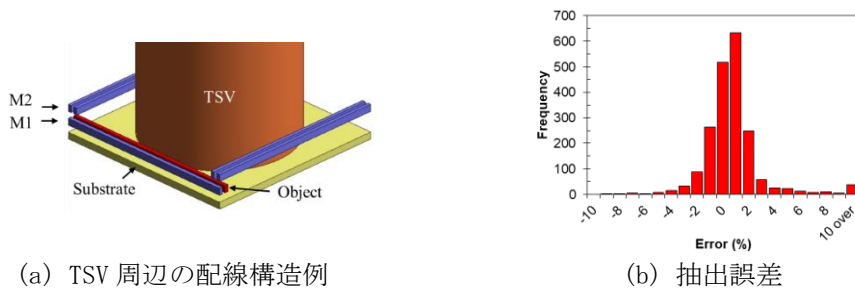
(a) 構造 (b) 温度低減効果
 図2 メタルハットを用いた3D IC (外部冷却装置を使わない場合)

(2) チップ内配線容量抽出と電源安定化技術の開発

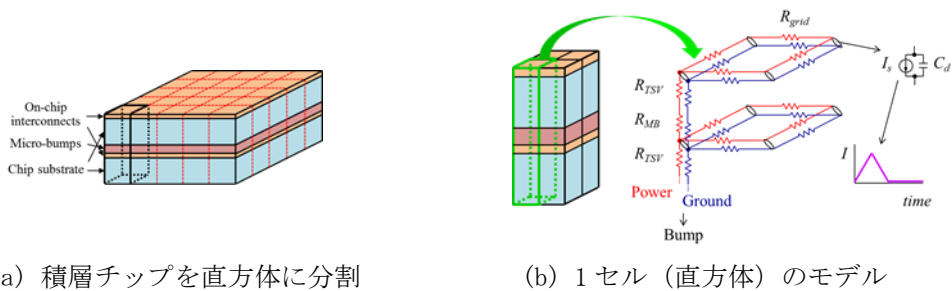
3次元積層集積回路の熱の発生源は消費電力である。例えばその消費電力として支配的なスイッチング電力は、 $P_{sw} = \frac{1}{2}fCV^2$ で表される。fは周波数、Cは配線やゲート等の容量、Vは電圧である。そこで3次元集積回路の熱に関する技術として、配線容量抽出と電源電圧安定化技術を開発した。

ニューラルネットワークを用いた配線容量抽出を考案し実験した。図3(a)に示すように、貫通シリコンビア (TSV) 付近の構造を用いた。その抽出誤差を図3(b)に示す。データを取るには電磁界解析ソフトを使用するので多くの時間を要するがそれを訓練データとして、各配線の容量を求める際は非常に高速に結果が得られる。抽出誤差も実用的であった。

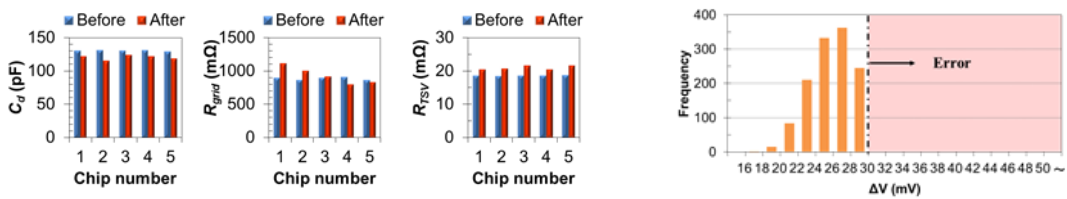
多目的遺伝的アルゴリズムを用いた電源電圧安定化技術を開発した。図4(a)に示すように、積層チップを幾つか直方体に分割し、その1つの直方体を図4(b)に示すように等価回路でモデリングする。デカップリング容量、電源グリッド抵抗、TSV抵抗を指定の電源電圧降下以内で最適化する。その結果が図5(a)である。また図5(b)に示すように全ノードが指定した電圧降下(ここでは30mV)以内となっていることがわかる。



(a) TSV 周辺の配線構造例 (b) 抽出誤差
 図3 ニューラルネットワークを用いた配線容量抽出



(a) 積層チップを直方体に分割 (b) 1セル (直方体) のモデル
 図4 3次元積層チップの電源解析のためのモデリング



(a) $C_d/R_{grid}/R_{TSV}$ の最適化 (b) 全チップのグリッドの電圧降下
 図5 多目的遺伝的アルゴリズムを用いた最適化の結果

(3) プリント基板上的配置最適化及びウェアラブルデバイスの熱抵抗モデルの開発

3次元集積回路のチップ構成組み換えを含むプリント基板 (PCB) 上の部品配置最適化技術の開発と、さらに集積回路が内蔵されたウェアラブルデバイスの熱対策技術の開発を実施した。

配置最適化では、遺伝的アルゴリズムを使って、PCB 上の最大温度と各部品間の配線長を最小化する。3次元集積回路の再構成、発熱部品と非発熱部品の両方を含む PCB 上の配置最適化は新しい技術である。温度を求めるための熱抵抗回路作成もプログラムで自動化した。図 6(a)に初期状態の配置と温度分布を示す。最適化後の結果が図 6(b)であり、温度が低減されていることがわかる。

ウェアラブルデバイスの熱対策では、3次元積層集積回路の複雑な熱抵抗回路網をシンプルな熱抵抗等価モデルに変換し、リスト型ウェアラブルデバイスの熱設計用に熱抵抗モデルを開発した。このモデルは非常に少ない熱抵抗素子で高精度な解析を実現し、様々な本体やベルトのサイズ、形状、材質等を表現できる。図 7に(a)構造と(b)モデルの誤差を示す。さらに、将来のグラス型ウェアラブルデバイスの熱設計のための熱抵抗モデルを開発した。これは各パーツを着脱可能にすることで、様々なタイプのスマートグラスに対応できるようにした。図 8に(a)メガネ型の構造と(b)熱抵抗モデルの誤差を示す。精度が非常に高いことがわかる。

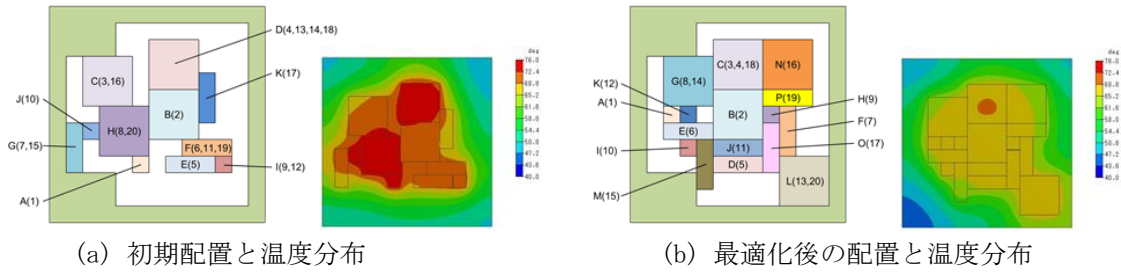
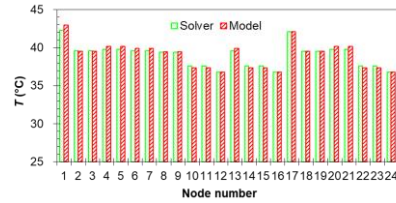
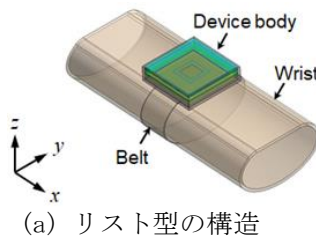
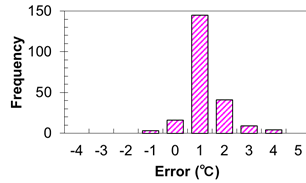
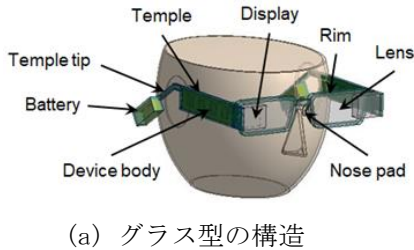


図 6 プリント基板上的コンポーネントの配置



(a) リスト型の構造 (b) 熱抵抗モデルの誤差

図 7 リストウェアラブルデバイスの熱抵抗モデル



(a) グラス型の構造 (b) 熱抵抗モデルの誤差

図 8 グラス型ウェアラブルデバイスの熱抵抗モデル

5. 主な発表論文等

〔雑誌論文〕 計2件（うち査読付論文 2件 / うち国際共著 0件 / うちオープンアクセス 1件）

1. 著者名 Kodai Matsuhashi, Toshiki Kanamoto, and Atsushi Kurokawa	4. 巻 20
2. 論文標題 Thermal model and countermeasures for future smart glasses	5. 発行年 2020年
3. 雑誌名 Sensors	6. 最初と最後の頁 1-20
掲載論文のDOI (デジタルオブジェクト識別子) 10.3390/s20051446	査読の有無 有
オープンアクセス オープンアクセスとしている (また、その予定である)	国際共著 -

1. 著者名 Yuuta Satomi, Koutaro Hachiya, Toshiki Kanamoto, Ryosuke Watanabe, and Atsushi Kurokawa	4. 巻 17
2. 論文標題 Thermal placement on PCB of components including 3D ICs	5. 発行年 2020年
3. 雑誌名 IEICE Electronics Express	6. 最初と最後の頁 1-6
掲載論文のDOI (デジタルオブジェクト識別子) 10.1587/elex.17.20190737	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

〔学会発表〕 計18件（うち招待講演 0件 / うち国際学会 9件）

1. 発表者名 Kodai Matsuhashi, Toshiki Kanamoto, and Atsushi Kurokawa
2. 発表標題 Thermal resistance model and analysis for future smart glasses
3. 学会等名 IEEE IMPACT (国際学会)
4. 発表年 2019年

1. 発表者名 Kodai Matsuhashi, Koutaro Hachiya, Toshiki Kanamoto, Masashi Imai, and Atsushi Kurokawa
2. 発表標題 Thermal modeling and simulation of a smart wrist-worn wearable device
3. 学会等名 SASIMI (国際学会)
4. 発表年 2019年

1. 発表者名 Yuuta Satomi, Koutaro Hachiya, and Atsushi Kurokawa
2. 発表標題 Thermal placement optimization of packages with stacked chips
3. 学会等名 TJCAS (国際学会)
4. 発表年 2019年

1. 発表者名 Kodai Matsushashi and Atsushi Kurokawa
2. 発表標題 Thermal countermeasures of glass wearable devices
3. 学会等名 IEEE International Conference on Consumer Electronics - Taiwan (国際学会)
4. 発表年 2019年

1. 発表者名 Ryosuke Kasai, Koutaro Hachiya, Toshiki Kanamoto, Masashi Imai, and Atsushi Kurokawa
2. 発表標題 Neural network-based 3D IC interconnect capacitance extraction
3. 学会等名 International Conference on Communication Engineering and Technology (国際学会)
4. 発表年 2019年

1. 発表者名 岡本慎太郎, 松橋功大, 今井雅, 金本俊幾, 黒川敦
2. 発表標題 リストウェアラブルデバイスのベルト放熱効果
3. 学会等名 電気学会 全国大会
4. 発表年 2019年

1. 発表者名 松橋功大, 黒川敦
2. 発表標題 メガネ型ウェアラブルデバイスの熱解析
3. 学会等名 電気学会 全国大会
4. 発表年 2019年

1. 発表者名 葛西亮介, 黒川敦
2. 発表標題 機械学習を用いたLSIオンチップ配線容量抽出
3. 学会等名 電気学会 全国大会
4. 発表年 2019年

1. 発表者名 Yuuta Satomi, Koutaro Hachiya, Toshiki Kanamoto, and Atsushi Kurokawa
2. 発表標題 Optimization of full-chip power distribution networks in 3D ICs
3. 学会等名 International Conference on Integrated Circuits and Microsystems (国際学会)
4. 発表年 2018年

1. 発表者名 Koudai Matsuhashi and Atsushi Kurokawa
2. 発表標題 Thermal management for future wrist wearable devices
3. 学会等名 International Conference on Integrated Circuits and Microsystems (国際学会)
4. 発表年 2018年

1. 発表者名 Kaoru Furumi, Shintaro Okamoto, Toshiki Kanamoto, Masashi Imai, and Atsushi Kurokawa
2. 発表標題 Impact of distributing 3D stacked ICs on maximum temperature reduction
3. 学会等名 the Workshop on Synthesis And System Integration of Mixed Information Technologies (SASIMI) (国際学会)
4. 発表年 2018年

1. 発表者名 Yuuta Satomi, Koutaro Hachiya, Masashi Imai, Toshiki Kanamoto, Kaoru Furumi, and Atsushi Kurokawa
2. 発表標題 Power delivery network optimization of 3D ICs using multi-objective genetic algorithm
3. 学会等名 the Workshop on Synthesis And System Integration of Mixed Information Technologies (SASIMI) (国際学会)
4. 発表年 2018年

1. 発表者名 松橋功大, 古見薫, 今井雅, 岡本慎太郎, 金本俊幾, 里見優太, 黒川敦
2. 発表標題 モバイル機器向け3D-ICの放熱促進方法
3. 学会等名 電気学会 全国大会
4. 発表年 2018年

1. 発表者名 Seira Kamiie, Toshiki Kanamoto, Masashi Imai, Shintaro Okamoto, and Atsushi Kurokawa
2. 発表標題 Modeling and analysis for predicting clock skew of stacked chips
3. 学会等名 Tohoku-Section Joint Convention of Institutes of Electrical and Information Engineers (IEEE Student Session)
4. 発表年 2017年

1 . 発表者名 Ryosuke Hatsuta, Masashi Imai, Toshiki Kanamoto, Shintaro Okamoto, and Atsushi Kurokawa
2 . 発表標題 Thermal-aware tile-based block placement for 3D ICs
3 . 学会等名 Tohoku-Section Joint Convention of Institutes of Electrical and Information Engineers (IEEE Student Session)
4 . 発表年 2017年

1 . 発表者名 Kaoru Furumi, Shintaro Okamoto, Toshiki Kanamoto, Masashi Imai, and Atsushi Kurokawa
2 . 発表標題 Reducing temperature by relocating 3D IC structures
3 . 学会等名 Tohoku-Section Joint Convention of Institutes of Electrical and Information Engineers (IEEE Student Session)
4 . 発表年 2017年

1 . 発表者名 Yuuta Satomi, Masashi Imai, Toshiki Kanamoto, Kaoru Furumi, and Atsushi Kurokawa
2 . 発表標題 Optimizing power distribution network using multi-objective genetic algorithm
3 . 学会等名 Tohoku-Section Joint Convention of Institutes of Electrical and Information Engineers (IEEE Student Session)
4 . 発表年 2017年

1 . 発表者名 Shintaro Okamoto, Kaoru Furumi, Masashi Imai, Toshiki Kanamoto, and Atsushi Kurokawa
2 . 発表標題 Method for mitigating heat of 3D stacked memory for small electronic devices
3 . 学会等名 Tohoku-Section Joint Convention of Institutes of Electrical and Information Engineers (IEEE Student Session)
4 . 発表年 2017年

〔図書〕 計0件

〔産業財産権〕

〔その他〕

-

6. 研究組織

	氏名 (ローマ字氏名) (研究者番号)	所属研究機関・部局・職 (機関番号)	備考
--	---------------------------	-----------------------	----