

令和 2 年 9 月 11 日現在

機関番号：32682

研究種目：基盤研究(C) (一般)

研究期間：2017～2019

課題番号：17K00086

研究課題名(和文) インデックス生成関数の分解に関する研究

研究課題名(英文) Study on decompositions of index generation functions.

研究代表者

笹尾 勤 (Sasao, Tsutomu)

明治大学・理工学部・専任教授

研究者番号：20112013

交付決定額(研究期間全体)：(直接経費) 3,400,000円

研究成果の概要(和文)：インデックス生成関数は、入力変数集合を分割することにより、二つのインデックス生成関数に分解できる。この性質を利用し分解を繰り返すと、任意のインデックス生成関数はインデックス生成関数のみで表現可能となる。本研究では、入力数 n が500程度までのインデックス関数を複数のインデックス生成関数に分解する能率の良いアルゴリズムを開発した。また、研究過程で、インデックス生成関数を線形関数と一般の関数に分解する能率の良い方法を開発した。インデックス生成関数に関する単行本を米国から出版した。インデックス生成関数を一般化した「分類関数」を開発した。分類関数は、機械学習やデータマイニングに有用である。

研究成果の学術的意義や社会的意義

インデックス生成関数は、連想メモリ(CAM)の機能を数学的に表現したものである。インデックス生成関数の能率の良い実現法を開発することにより、CAMの応用回路の大きさや消費電力を大幅に削減できるようになる。例えば、インターネットのルータやパターンマッチング回路である。本回路は、通常のメモリと若干の論理回路から実現できる。インデックス生成関数は、代数的な手法で実現可能であり、大規模回路にも適用できる。また、この手法は、インデックス生成関数を拡張した分類関数にも適用可能である。分類関数は、機械学習やデータマイニングにも応用できるため、電池で動く小型製品に組み込み可能である。

研究成果の概要(英文)：An index generation function can be decomposed into two index generation functions, by partitioning the set of the input variables into two. With this property, an arbitrary index generation function can be represented with only index generation functions, by iterative decompositions of the original index generation function. In this research, we developed an efficient decomposition algorithm, where the number of inputs n is up to 500. Also, during the research, we developed a very efficient linear decomposition method. We also published a book on index generation functions from the U.S.A.. The concept of index generation functions was extended to 'classification functions'. They are useful for machine learning and data mining.

研究分野：情報学

キーワード：国際研究者交流 線形関数 関数分解 ルータ CAM(連想メモリ) パターンマッチング 書き換え可能回路

科研費による研究は、研究者の自覚と責任において実施するものです。そのため、研究の実施や研究成果の公表等については、国の要請等に基づくものではなく、その研究成果に関する見解や責任は、研究者個人に帰属されます。

様式 C - 19, F - 19 - 1, Z - 19 (共通)

1. 研究開始当初の背景

本研究は、2002 年度に開始した文部科学省の知的クラスタ創成事業（第 1 期）に始まる。インデックス生成関数とは、CAM（連想メモリ）の働きを数学的に表現したものである。インデックス生成関数のアイデアは、共同研究先の企業の技術者との討論の過程で生まれた。インターネットのルータや、スイッチでは、CAM が広く用いられている。CAM は高速であるが、消費電力が大きいため大規模なものは製造が困難である。申請者は、CAM と同じ機能を持つ回路を汎用メモリで実現する手法（図 1 .IGU: Index Generation Unit）を考案し、国際特許を取得した。また、設計方法を示した単行本を米国から出版した。2007 年度～2009 年度の基盤研究(B)で、変数の最小化法を開発した。

2011 年度～2013 年度の基盤研究(B)で、線形回路を用いて変数削減法を開発した。2014 年度～2017 年度の基盤研究(C)で、インデックス生成関数を実現する回路を動作中に書き換える方法を開発し、米国特許を J S T の補助金で取得した。また、関数を分解することによって、必要なハードウェア量を大幅に削減する方法を示した。

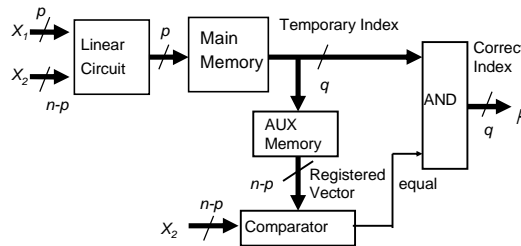


図 1 IGU

2. 研究の目的

インデックス生成関数は、図 1 に示すインデックス生成回路で実現できる。インデックス生成関数は、入力変数を分割することにより、図 2 に示すように二つのインデックス生成関数に分解できる。この性質を利用し分解を繰り返すと、任意のインデックス生成関数は 1 種類の IGU で実現可能となる。本研究では、入力数 n が 50 から 500 程度の関数を複数の関数に分解する能率のよいアルゴリズムを開発する。

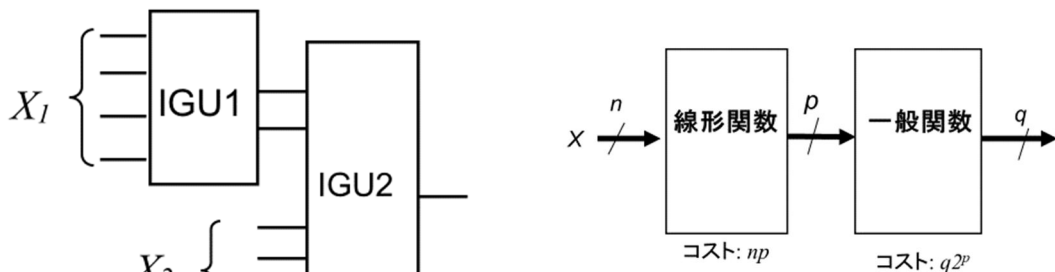


図 3 線形分解

図 2 関数分解（直列分解）

3. 研究の方法

関数の分解方法としては、図 2 の直列分解の他に、図 3 の線形分解がある。図 2 の関数分解では、IGU 1 のコストや、IGU 2 のコストは、入力数の指数に比例する。一方、図 3 の線形分解では、線形関数の部分のコストは、その入力数 n と出力数 p の積に比例する。従って、図 3 の線形分解の方が、分解による効果は大きい。図 2 の関数分解は、入力変数の分割を網羅的に行えば、最適な分割が求まるが、図 3 の線形分解では、能率の良い手法が知られておらず、発見的方法が用いられていた。線形分解の代数的な性質を検討する方法を用いた。

4. 研究成果

1. インデックス生成関数を複数の IGU で実現する方法を開発し、学会論文誌 (IEICE-2017) に発表した。

2. インデックス生成関数の変数最小化に関して、国際会議 (ISMVL-2017, Novi Sad, Serbia) で招待講演を行った。

3. インデックス生成関数の変数最小化に関して、国際会議 (ISMVL-2018, DATE-2019 Workshop) で発表した。

4. インデックス生成回路の変数最小化システムを国際会議のブースで展示した (DATE-2019).
5. インデックス生成関数の分解に関して幾つかの国際会議 (IWLS-2017, SASIMI-2017, ISMVL-2018, SASIMI-2018, IWLS-2019) で発表した. この方法は, インデックス生成関数をメモリのみで実現する際に有用である.
6. インデックス生成関数の分解に関する論文を, 二冊の単行本中に発表した.
7. インデックス生成回路の高速書き換えに関する国際特許 (JST 補助: 米国) が採択された.
8. **インデックス生成関数の分解に関する研究を纏めてた単行本 (T. Sasao, Index Generation Functions, Morgan and Claypool, Oct. 2019.) を米国から出版した.**
9. インデックス生成関数を表現するための変数の個数の平均値を導く公式を求めた (ISMVL-2018, IWLS-2019).
10. **インデックス生成関数を一般化した関数として, 分類関数を考案した. インデックス生成関数と同様な方法で, 変数最小化が可能であることを示した. また, 分類関数が, データマイニングや機械学習の分野にも応用できることを示した. また, この研究が, 2020年~2022年の科学研究費補助金に採択された.**
11. 海外から共同研究者を招聘し, インデックス生成関数の分解に関して理論的な研究を行った.
12. 論理関数のアフィン同値性を高速に検出するアルゴリズムを開発した (SASIMI-2018).
13. 線形関数を能率よく実現する方法を開発し国際会議で発表した (IWLS-2018).
14. TCAM の故障を検出する方法を開発し, 学会論文誌 (IEEE Trans. CAD 2018) に発表した.
15. TCAM のソフト故障を検出する方法を開発し, 国際会議 (IWLS-2018) で発表した.
16. ニューラルネットワークを FPGA で効率よく実現する方法を開発し国際会議で報告した (ISCAS-2018)
17. 日本のコンピュータの開発の歴史を国際会議で発表した (EUROCAST2019)
18. EXOR 論理ゲートを用いた論理合成に関する招待講演を国際会議で行った (RM-2019).

このうち, 関数分解に関する重要な結果を 2 個挙げる.

定理 1 : インデックス生成関数 $f(X)$ に対して, 二つの変数集合 X_a と X_b が関係 $X_a \leq X_b$ を満たすとき, 関係 $\mu(f : X_a) \leq \mu(f : X_b)$ が成立する. ここで, $\mu(f)$ は, 関数 f の列複雑度を示す.

定理 1 は, インデックス生成関数でのみ成立し, 通常の論理関数では成立しない. これより, 関数分解の探索範囲を大幅に削減できる.

定理 2 : n 変数部分定義インデックス生成関数が $n-1$ 個以下の複合変数を用いて表現可能であるための必要十分条件は, f の差分ベクトル集合を DF とするとき, $u \in \mathbb{B}^n - DF$, を満たす非零ベクトル u が存在することである.

定理 2 を繰り返し適用することにより, 変数削減可能な線形変換を組織的に求めることができる. 従来は, 発見的方法を用いて線形変換を求めていた. これにより, 変数の個数が 200 程度の関数の線形変換も, 容易に求めることが可能になった.

5. 主な発表論文等

〔雑誌論文〕 計4件（うち査読付論文 4件/うち国際共著 1件/うちオープンアクセス 0件）

1. 著者名 I. Syafalni, T. Sasao, and X. Wen,	4. 巻 37
2. 論文標題 A method to detect bit flips in a soft-error resilient TCAM	5. 発行年 2018年
3. 雑誌名 IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems.	6. 最初と最後の頁 1185-1196
掲載論文のDOI（デジタルオブジェクト識別子） 10.1109/TCAD.2017.2748019	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -
1. 著者名 SASAO Tsutomu	4. 巻 E100.D
2. 論文標題 A Fast Updatable Implementation of Index Generation Functions Using Multiple IGUs	5. 発行年 2017年
3. 雑誌名 IEICE Transactions on Information and Systems	6. 最初と最後の頁 1574 ~ 1582
掲載論文のDOI（デジタルオブジェクト識別子） https://doi.org/10.1587/transinf.2016LOP0001	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -
1. 著者名 NAGAYAMA Shinobu, SASAO Tsutomu, T. BUTLER Jon	4. 巻 E100.D
2. 論文標題 A Balanced Decision Tree Based Heuristic for Linear Decomposition of Index Generation Functions	5. 発行年 2017年
3. 雑誌名 IEICE Transactions on Information and Systems	6. 最初と最後の頁 1583 ~ 1591
掲載論文のDOI（デジタルオブジェクト識別子） https://doi.org/10.1587/transinf.2016LOP0013	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 該当する
1. 著者名 Syafalni Infall, Sasao Tsutomu, Wen Xiaoqing	4. 巻 37-8
2. 論文標題 A Method to Detect Bit Flips in a Soft-Error Resilient TCAM	5. 発行年 2017年
3. 雑誌名 IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems	6. 最初と最後の頁 1 ~ 1
掲載論文のDOI（デジタルオブジェクト識別子） 10.1109/TCAD.2017.2748019	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

[学会発表] 計31件(うち招待講演 4件/うち国際学会 29件)

1. 発表者名 R.S. Stankovic, T. Sasao, J. T. Astola, and ,A. Yamada,
2. 発表標題 Remarks on the design of first digital computer in Japan - Contributions of Yasuo Komamiya
3. 学会等名 International Conference on Computer Aided Systems Theory(EUROCAST-2019) (国際学会)
4. 発表年 2019年

1. 発表者名 T. Sasao
2. 発表標題 On a minimization of variables to represent sparse multi-valued input decision functions
3. 学会等名 DATE-2019 Workshop (招待講演) (国際学会)
4. 発表年 2019年

1. 発表者名 T. Sasao, K. Matsuura, K. Kai, and Y. Iguchi,
2. 発表標題 Logic minimizers for partially defined functions
3. 学会等名 University Booth at Design, Automation and Test in Europe (DATE 2019) (国際学会)
4. 発表年 2019年

1. 発表者名 T. Sasao
2. 発表標題 On a minimization of variables to represent sparse multi-valued input decision functions
3. 学会等名 International Symposium on Multiple-Valued Logic (ISMVL-2019) (国際学会)
4. 発表年 2019年

1 . 発表者名 J. T. Butler and T. Sasao
2 . 発表標題 Maximally asymmetric multiple-valued functions
3 . 学会等名 International Symposium on Multiple-Valued Logic (ISMVL-2019) (国際学会)
4 . 発表年 2019年

1 . 発表者名 S. Nagayama, T. Sasao and J. T. Butler,
2 . 発表標題 A dynamic programming based method for optimum linear decomposition of index generation functions
3 . 学会等名 International Symposium on Multiple-Valued Logic (ISMVL-2019) (国際学会)
4 . 発表年 2019年

1 . 発表者名 J. T. Butler and T. Sasao
2 . 発表標題 Realizing all index generation functions by the row-shift method
3 . 学会等名 International Symposium on Multiple-Valued Logic (ISMVL-2019) (国際学会)
4 . 発表年 2019年

1 . 発表者名 J. T. Butler and T. Sasao,
2 . 発表標題 Enumerative analysis of asymmetric functions,
3 . 学会等名 Reed-Muller Workshop (RM-2019) (国際学会)
4 . 発表年 2019年

1 . 発表者名 T. Sasao
2 . 発表標題 Thirty six years of EXOR logic synthesis: Memoir
3 . 学会等名 Reed-Muller Workshop (RM-2019) (招待講演) (国際学会)
4 . 発表年 2019年

1 . 発表者名 T. Sasao
2 . 発表標題 An improved bound on the number of variables to represent index generation functions using linear decompositions
3 . 学会等名 International Workshop on Logic and Synthesis (IWLS-2019), (国際学会)
4 . 発表年 2019年

1 . 発表者名 T. Sasao, K. Matsuura and Y. Iguchi,
2 . 発表標題 On irreducible index generation functions
3 . 学会等名 International Workshop on Logic and Synthesis (IWLS-2019), (国際学会)
4 . 発表年 2019年

1 . 発表者名 T. Sasao
2 . 発表標題 On a memory-based realization of sparse multiple-valued functions
3 . 学会等名 International Symposium on Multiple-Valued Logic (ISMVL-2018), (国際学会)
4 . 発表年 2018年

1 . 発表者名 J. T. Butler and T. Sasao
2 . 発表標題 An exact method to enumerate decomposition charts for index generation functions
3 . 学会等名 International Symposium on Multiple-Valued Logic (ISMVL-2018), (国際学会)
4 . 発表年 2018年

1 . 発表者名 S. Nagayama, T. Sasao and J. Butler
2 . 発表標題 An exact optimization method using ZDDs for linear decomposition of index generation function
3 . 学会等名 International Symposium on Multiple-Valued Logic (ISMVL-2018), (国際学会)
4 . 発表年 2018年

1 . 発表者名 H. Nakahara and T. Sasao
2 . 発表標題 A High-speed low-power deep neural network on an FPGA based on the nested RNS: Applied to an object detector
3 . 学会等名 International Symposium on Circuits and Systems (ISCAS-2018) (国際学会)
4 . 発表年 2018年

1 . 発表者名 J. T. Butler and T. Sasao
2 . 発表標題 Analysis of cyclic row-shift decompositions for index generation functions
3 . 学会等名 Workshop on Synthesis And System Integration of Mixed Information Technologies" (SASIMI 2018), (国際学会)
4 . 発表年 2018年

1 . 発表者名 T. Sasao, K. Matsuura and Y. Iguchi
2 . 発表標題 A Method to identify affine equivalence classes of logic functions
3 . 学会等名 Workshop on Synthesis And System Integration of Mixed Information Technologies" (SASIMI 2018), (国際学会)
4 . 発表年 2018年

1 . 発表者名 I. Syafalni, K. Wakasugi, Y. Tongxin, T. Sasao and X. Wen,
2 . 発表標題 Netlist conversion from costumer logic interface format (CLIF) to Verilog for legacy circuits
3 . 学会等名 Workshop on Synthesis And System Integration of Mixed Information Technologies" (SASIMI 2018), (国際学会)
4 . 発表年 2018年

1 . 発表者名 T. Sasao
2 . 発表標題 A logic synthesis for multiple-output linear circuits
3 . 学会等名 International Workshop on Logic & Synthesis (IWLS-2018) (国際学会)
4 . 発表年 2018年

1 . 発表者名 I. Syafalni, T. Sasao, and X. Wen
2 . 発表標題 Bit-flip errors detection using random partial don't-care keys for a soft-error-tolerant TCAM
3 . 学会等名 International Workshop on Logic & Synthesis (IWLS-2018) (国際学会)
4 . 発表年 2018年

1 . 発表者名 R.S. Stankovic, T. Sasao, J. T. Astola, and ,A. Yamada,
2 . 発表標題 Remarks on the design of first digital computer in Japan - Contributions of Yasuo Komamiya
3 . 学会等名 International Conference on Computer Aided Systems Theory(EUROCAST-2019) (国際学会)
4 . 発表年 2019年

1 . 発表者名 T. Sasao
2 . 発表標題 On a minimization of variables to represent sparse multi-valued input decision functions
3 . 学会等名 DATE-2019 Workshop (招待講演) (国際学会)
4 . 発表年 2019年

1 . 発表者名 T. Sasao, K. Matsuura, K. Kai, and Y. Iguchi,
2 . 発表標題 Logic minimizers for partially defined functions
3 . 学会等名 University Booth at Design, Automation and Test in Europe (DATE 2019) (国際学会)
4 . 発表年 2019年

1 . 発表者名 T. Sasao,
2 . 発表標題 Index generation functions: Minimization methods
3 . 学会等名 International Symposium on Multiple-Valued Logic (ISMVL-2017) (招待講演) (国際学会)
4 . 発表年 2017年

1 . 発表者名 H. Nakahara, A. Jinguji, S. Sato and T. Sasao,
2 . 発表標題 A random forest using a multi-valued decision diagram
3 . 学会等名 International Symposium on Multiple-Valued Logic (ISMVL-2017) (国際学会)
4 . 発表年 2017年

1 . 発表者名 S. Nagayama, T. Sasao and J.T. Butler
2 . 発表標題 An exact optimization algorithm for linear decomposition of index generation functions
3 . 学会等名 International Symposium on Multiple-Valued Logic (ISMVL-2017) (国際学会)
4 . 発表年 2017年

1 . 発表者名 T. Sasao and M. Maeta
2 . 発表標題 On affine equivalence of logic functions
3 . 学会等名 International Workshop on Logic and Synthesis (国際学会)
4 . 発表年 2017年

1 . 発表者名 I. Syafalni, K. Wakasugi, and T. Sasao,
2 . 発表標題 Probe location checker for IC physical verification
3 . 学会等名 2017 IEEE TENCON (国際学会)
4 . 発表年 2017年

1 . 発表者名 J. T. Butler and T. Sasao
2 . 発表標題 Analysis of cyclic row-shift decompositions for index generation functions
3 . 学会等名 The 21st Workshop on Synthesis And System Integration of Mixed Information Technologies (国際学会)
4 . 発表年 2018年

1 . 発表者名 T. Sasao, K. Matsuura and Y. Iguchi
2 . 発表標題 A Method to identify affine equivalence classes of logic functions
3 . 学会等名 The 21st Workshop on Synthesis And System Integration of Mixed Information Technologies
4 . 発表年 2018年

1 . 発表者名 I. Syafalni, K. Wakasugi, Y. Tongxin, T. Sasao and X. Wen,
2 . 発表標題 Netlist conversion from costumer logic interface format (CLIF) to Verilog for legacy circuits
3 . 学会等名 The 21st Workshop on Synthesis And System Integration of Mixed Information Technologies
4 . 発表年 2018年

〔図書〕 計3件

1 . 著者名 T. Sasao and J. T. Butler,	4 . 発行年 2017年
2 . 出版社 Springer	5 . 総ページ数 232
3 . 書名 Advance of Logic Synthesis	

1. 著者名 Jon T. Butler and T. Sasao,	4. 発行年 2018年
2. 出版社 Cambridge Scholars Publishe	5. 総ページ数 536
3. 書名 Further Improvements in the Boolean Domain	

1. 著者名 Tsutomu Sasao	4. 発行年 2019年
2. 出版社 Morgan and Claypool Publishers	5. 総ページ数 165
3. 書名 Index Generation Functions	

〔出願〕 計0件

〔取得〕 計1件

産業財産権の名称 Content addressable memory, an index generator, and a registered information update method	発明者 Tsutomu Sasao	権利者 明治大学
産業財産権の種類、番号 特許、US9865350B2	取得年 2018年	国内・外国の別 外国

〔その他〕

LSI-CAD.COM http://www.lsi-cad.com Welcome to LSI-CAD http://www.lsi-cad.com

6. 研究組織

	氏名 (ローマ字氏名) (研究者番号)	所属研究機関・部局・職 (機関番号)	備考
研究協力者	パトラー ジョン (Butler Jon T.)		
連携研究者	井口 幸洋 (Iguchi Yukihiro) (60201307)	明治大学・理工学部・専任教授 (32682)	
連携研究者	永山 忍 (Nagayama Shinobu) (10405491)	広島市立大学・情報科学部・教授 (25403)	