

令和 2 年 6 月 3 日現在

機関番号：23201

研究種目：基盤研究(C) (一般)

研究期間：2017～2019

課題番号：17K00090

研究課題名(和文) 深層学習及び脳型コンピューティングに向けた超近接有線通信に関する研究

研究課題名(英文) A short haul interconnect on 3DICs for neuromorphic computing and deep learning application

研究代表者

吉河 武文 (Yoshikawa, Takefumi)

富山県立大学・工学部・教授

研究者番号：60636702

交付決定額(研究期間全体)：(直接経費) 3,400,000円

研究成果の概要(和文)：本研究課題は、三次元実装された高密度なLSIチップ間において、その積層方向に延伸するThrough Silicon Via(TSV)で消費する電力を低減させることを目的としている。この消費電力の低減には、電荷再利用型の伝送方式を提案するとともに、その効果について、数式的なアプローチにより定量的に明確化した。このアプローチにより、32～64ビットバスが適切であることを示唆するとともに、このバス幅において特殊な半導体プロセスを使った従来例と同等の電力効率を標準CMOSプロセスで実現できることを示した。そして、該伝送方式を実現する半導体チップを、65nmCMOSプロセスを用いて実際に設計試作した。

研究成果の学術的意義や社会的意義

IoTやディープラーニングにおいて、膨大なデータを処理するには、ハイパフォーマンスな計算ユニット、すなわち半導体LSIが必要である。このような半導体LSIの高性能化の手段として3次元実装LSIがあり、これは今後のハイパフォーマンスコンピューティング(HPC)には欠かせないものとなってくる。一方、データサーバーへの膨大な冷却電力需要で分かるように、高性能化と同時に低消費電力化を実施しないと実社会で役に立たない。したがって、HPCを実社会で活用し豊かで持続的な高度情報化社会を実現するために、3次元実装LSI内のデータ通信にかかる電力を削減するとともに、その設計メソッドを示した。

研究成果の概要(英文)：This research aims for power reduction on Through Silicon Vias (TSVs) which extend in the stacking direction between three-dimensionally mounted high-density LSI chips. For the power reduction, we propose charge recycling transmission scheme of stacked I/O configuration. In the proposed scheme, we also show theoretical approach to clarify the power reduction ratio. The approach suggests that 32-64-bits bus width is suitable for the transmission scheme. Using the bus width, actual circuits has been designed in standard CMOS process. Simulations of the circuit shows that the power consumption is comparable to the prior art of special semiconductor process. This suggests that cutting-edge power reduction can be achieved by standard CMOS process and wide bus width. Then, test-chip has been actually prototyped using a 65 nm CMOS process.

研究分野：集積回路工学

キーワード：信号伝送 アナログ回路 TSV 3次元実装

様式 C-19、F-19-1、Z-19 (共通)

1. 研究開始当初の背景

IoT(Internet Of Things)による膨大なデータ取得や AI におけるディープラーニングが現代の実社会で浸透してきている。すべてのモノがネットに繋がり、それぞれのモノ(エッジ)から大量のデータが毎日データサーバー(クラウド)に収集されている。その年間に生成されるデータ量は、ZB(ゼータバイト)すなわち兆バイトのオーダーとなっている。このような巨大なデータを処理するためには、サーバー内にハイパフォーマンスな計算ユニット、すなわち半導体 LSI が必要である。このような半導体 LSI の更なる高性能化の手段として、複数の半導体チップを積層し Through Silicon Via (TSV) で接続してトータルパフォーマンスを向上させる 3 次元実装 LSI がある。この 3 次元実装 LSI は、今後のハイパフォーマンスコンピューティング(HPC)には欠かせないものとなって来るだろう。一方、データサーバーが集積されているデータセンターでは、当該サーバー群の冷却のため非常に強力な冷房を強いられており、この冷房にかかる電力は隣に発電所が要ると揶揄されるくらい膨大である。したがって、HPC を実社会で活用し豊かで持続的な高度情報化社会を実現するためには、高性能化と同時に低消費電力化を実施して計算の際の発熱を極限まで抑制しなければならない。

2. 研究の目的

3 次元実装 LSI では、積層されたチップ間において TSV を介して高速でデジタルデータがやり取りされる。この TSV については、微細化プロセスにより数千本の TSV でチップ間を接続することが技術的に可能になっている。これにより、非常に高いデータ帯域幅(Data Band Width)の確保が可能となるので、よく言われるデータの送受信による HPC のボトルネックが解消される。したがって、非常に高い計算能力が実現されるのである。しかし、このような状態においては、TSV を介してのデータ通信にかかる電力が問題になってくる。実際に Machine-Learning Supercomputer では、データの通信にかかる電力が全体の 50% を占めるといった報告もある。したがって、本研究では、この TSV におけるデータ通信の消費電力に注目し、その消費電力を低減できる通信方式の提案を目的とした。その際に、消費電力の低減効果を解析的に導く数学的アプローチを実施し、基礎工学的な理解に基づく設計基盤の確立を同時に目指した。

3. 研究の方法

本研究では、前述の目的を達成するために、以下の 3 つの項目について研究活動を進めた。すなわち、(1) TSV の高精度なモデル化、(2) 低消費電力化を実現する伝送方式の提案、(3) その低減効果を予め見積る解析的計算アプローチの確立、である。(1) については、実際に使われるであろう TSV のピッチや長さを想定し、電磁界解析を用いて最先端の TSV をモデリングした。これにより 3 次元実装 LSI を想定した通信シミュレーションが可能になる。(2) については、本研究のコアとなる技術であり、標準の CMOS プロセスで実現できるように回路に工夫を施した。(3) については、標準プロセスを前提としていることもあり、どのような条件でも所期の低電力化が実現できるわけではないので、その条件と電力削減量の関係を数式的に明確化して、解析的に効果を見積もれるようにした。これらにより、3 次元実装 LSI の TSV を用いたデジタル通信における有線通信の設計基盤の主要部分が構築される。

4. 研究成果

(1) TSV の高精度なモデル化

隣に GND 電位の TSV が存在する場合を想定し、ターゲットとなる TSV のモデル化を実施した。既存研究を参考にするとともに、表 1 に示す材質パラメータを用いてモデル化を試みた。まず、ANSIS Inc. の HFSS を用いて、full-wave finite-element-method (FEM) により電磁界解析を実施し、LCR の受動素子に置き換えるようにした。LCR に置き換えることができれば、通常の HSPICE シミュレーションが可能になるからである。

TSV の想定としては、TSV 長(L)を 100 μm 、TSV 径(D)を 20 μm 、TSV 間隔(S)を 20 μm とした。したがって、TSV ピッチは、40 μm を想定している。また、酸化膜の厚みは、0.5 μm とした。この電磁界解析により導き出した TSV の LCR 等価回路を図 1 に示す。ここに示す各パラメータを算出するとともに、AC 解析を実施して、透過特性(S21)と反射特性(S11)が電磁界解析の結果と一致することを確認して、LCR モデルの妥当性を検証している。

表 1 材質パラメータ

Material properties		
Parameter	Symbol	Value
Conductivity of TSV	ρ_M	$2 \times 10^{-5} \text{ } \Omega\text{cm}$
Conductivity of SiO ₂	ρ_{SiO_2}	$10^6 \text{ } \Omega\text{cm}$
Permittivity of SiO ₂	ϵ_{SiO_2}	3.9
Conductivity of Si	ρ_{Si}	$10^3 \text{ } \Omega\text{cm}$
Permittivity of Si	ϵ_{SiO}	11.2

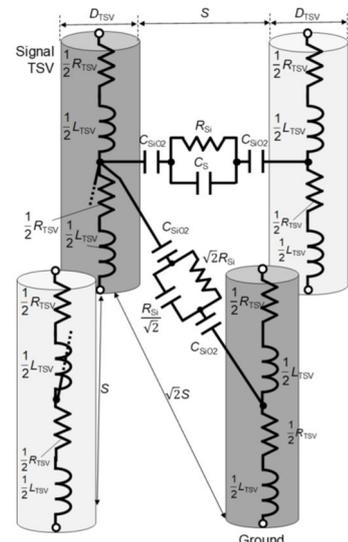


図 1 TSV のモデル化

この解析手法は汎用性があり、磁気抵抗などを考慮した場合や磁性材料を使った場合など色々なバリエーションが考えられ、これらを論文にまとめている。

(2) 低消費電力化を実現する伝送方式の提案

本研究のメインとなる部分である。低消費電力化の手段として、TSV 群を上下段に分けて 2 段構造でデータを送ることとした。この上下 2 段は、電源電圧とは別に 0.5VDD のポテンシャルを作成して、0.5VDD ~ VDD と 0 ~ 0.5VDD のそれぞれでデータを送受信するという意味である。そのコンセプトは、図 2 に示すとおりであり、従来例において Stacked I/O として紹介されている。

この構成とすると、電荷再利用 (Charge Recycling) が可能となる。すなわち、上段で中間電位 (0.5 VDD) にディスチャージする電荷を、下段で再利用することができる。これにより省電力化が図れるのである。さらに、デジタル信号の振幅が 0.5VDD となるので、これによっても電力が削減できる。この Stacked I/O の構成は、TSV にかかる電力の削減に有効な手段であるが、上段と下段の送信データ間に特に相関はないため、上下段の送信電力に差が生じる。この差は、中間電位 V_{REG} の変動となって表れるので、従来例では特殊プロセスを用いて大容量のトレンチキャパシタを埋め込み、 V_{REG} の容量を非常に大きくして対応している。このため、特殊プロセス且つ

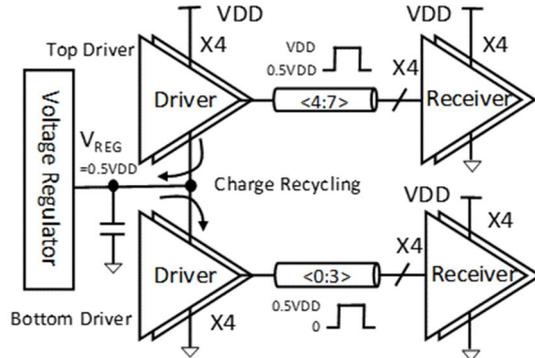


図 2 Stacked I/O コンセプト

大面積が必要という課題があった。これに対応するために、本研究では、標準 CMOS プロセスを用いるとともにキャパシタの容量値を小さく設定した。これに伴う V_{REG} の変動を抑止得するために、能動的に V_{REG} を安定させる機構を各上下のドライバペアに設けるようにした。

この機構を図 3 に示す。各ドライバペアごとに Local Voltage Stabilizer (LVS) を配置した。この LVS は、ゲート接地のシングルアンプであり、 V_{REG} が変動した際に、その変動を抑制する方向に電流を流入出させる。ただ、LVS が V_{REG} を抑制するまでにタイムラグがあるので、その間の急激な V_{REG} 変動を緩和するためにキャパシタを設けている。これにより、従来例に比べて、標準 CMOS を使用しながら半分以下の面積で送信システムを実現できた。

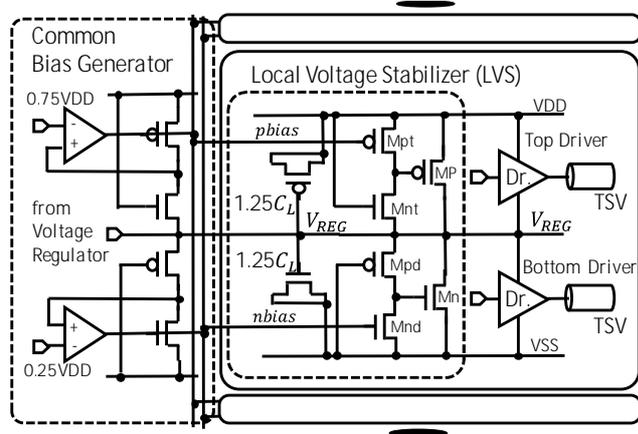


図 3 本提案の送信システム

ただし、この方式では、キャパシタの代わりに能動アンプを使用するので、このアンプの動作にかかる電力が従来例に比べてどうしても加算されてしまう。

そこで本研究では、クロックの伝送に着目した。

従来例では、クロックは電荷再利用の対処外であった。これは、受信側でデータを確定させるために、受信側のコンパレータには VDD 振幅のクロックがどうしても必要だったからである。本研究では、図 4 に示すように、2 つの施策を行った。すなわち、i) 上下のクロック (CKU, CKD) の伝送トポロジを、CKU が立ち下がった際に CKD が立ち上がることとし、電荷再利用率を 100% とした、ii) レベルシフトをデジタル的な ON/OFF 動作で振幅を倍化する新規構成としたため、非常にコンパクト化できた。

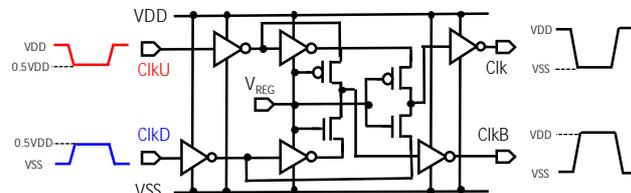


図 4 クロック伝送とレベルシフト

この新規レベルシフトによって、レベルシフトの面積を非常に小さくできたので、図 5 に示すように、当該レベルシフトを各ドライバペアごとに配置することができた。上記の 2 つの施策によって、クロック伝送にかかる電力を 1/8 程度とすることができた。

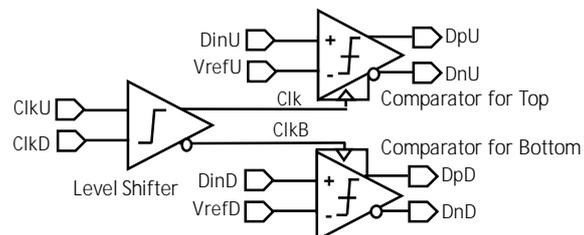


図 5 本提案の受信システム

上記の送信システムと受信システムに要する面積は、上下ペアあたり従例が $1608.5 \mu\text{m}^2$ のところ、本件では、 $703.46 \mu\text{m}^2$ に抑えることができた。

このように非常にコンパクトに TSV のデータ送受信システムを構成することができたのであるが、電力的には、図 6 に示すようになっている。

まず、電力がデータバス幅に依存する。横軸は上下各段のデータバス幅を示しており、上下段合わせると倍の本数の TSV でデータ伝送を行うこととなる。この依存性は、電荷再利用率が関係しており、データバス幅が広い方が電荷再利用率が向上するからである。これについては、次の(3)で述べる。

図に擦雌ように、クロック伝送を考慮しない比較では、データバス幅を 32 ~ 64 ビットとした場合でも、従来例に比べて 15% 程度の差がみられた。これは、主に LVS により電力消費に起因する。しかしながら、クロック伝送にかかる電力を考慮すると、データバス幅を 32 ~ 64 ビットにした場合は、ほぼ Comparable な結果となっている。これは、上述のように、クロック伝送に係る電力をおおよそ 1/8 にできたからである。この比較では、8 ビットのデータに対して 1 ビットのクロックを想定しているため、クロックでの電力削減効果は結果的には薄められることとなる。

もし、4 ビットごとにクロックを割り当てる

想定であれば、従来例以上の省電力化が図れる。図 7 に実際のドライバペアのレイアウトを示す。このように、40 μm ピッチに収まるようにレイアウトを実施した。

このように、データバス幅を適切に選択すれば、標準 CMOS プロセスながら半分以下の面積で同等の低消費電力化が可能になる。

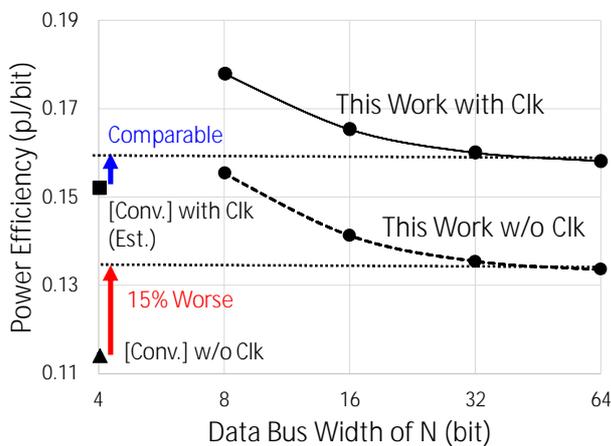


図 6 消費電力の比較

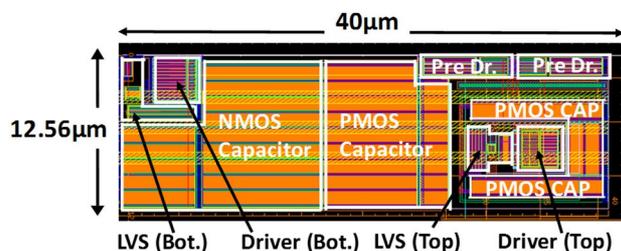


図 7 ドライバペアのレイアウト

(3) 電力の低減効果を見積もる解析的計算アプローチの確立

消費電力の削減効果を見積もるためには、電荷再利用率を算出できるようにしなければならない。この電荷再利用が実現される場合を上下 2 ビット (2×2) の送信システムを例に考えてみる。ここでポイントとなるのは、図 7 に示すように、上段のドライバが 1 から 0 に遷移したと同時に、下段のドライバが 0 から 1 に遷移した場合のみに電荷の再利用が行われる。したがって、図 8(a) ~ (c) では、1 ビットの電荷再利用が実施されたこととなり、図 8(d) では、2 ビットの電荷再利用が実施されたこととなる。このように、上段が 1 から 0 に、下段が 0 から 1 にそれぞれ同時に遷移する確率を求め、その状態に応じて電荷再利用可能となるビット数をかけ合わせれば、電荷再利用できるビット数の期待値が得られることとなる。この計算の前提として、データは、ランダムに遷移するとし、上下段の遷移に因果関係はないものとした。

まず、2×2 ビットのデータバス構成について、計算を行った。まず、上段の 2 ビットデータが、0 から 1 に遷移するパターンは表 2 に示す 7 パターンである。そして、それぞれは、以下の式で表せる。

表 2 遷移パターン (2 ビット)

Case	#1	#2
1	0->1	0->0
2	0->1	1->0
3	0->1	1->1
4	0->0	0->1
5	1->0	0->1
6	1->1	0->1
7	0->1	0->1

'0 to 1' transition at 1bit of 2bits
 $2C_1 \times 3^{(2-1)}$
 $\rightarrow 2C_2 \times 3^{(2-2)}$

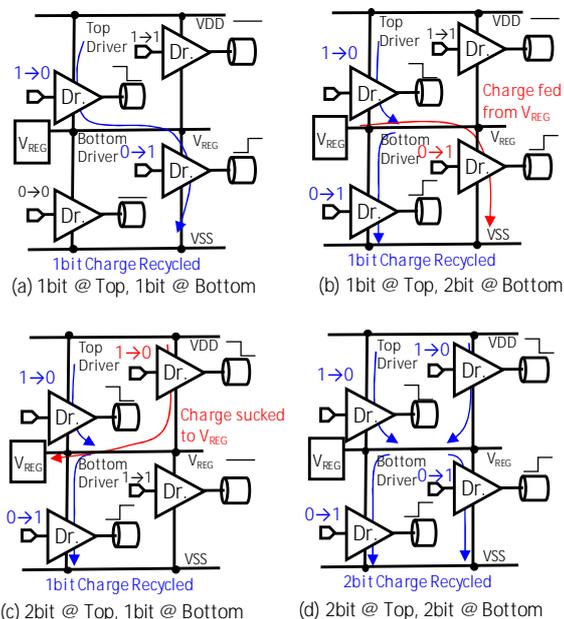


図 8 電荷再利用 (2×2 ビット)

$${}^2C_1 \times 3^{(2-1)} \quad (\text{eq.1})$$

$${}^2C_2 \times 3^{(2-2)} \quad (\text{eq.2})$$

また、これらの式は、下段の2ビット1から0に遷移する場合も同様である。これらのことを総合すると、2×2のデータバスの電荷再利用が発生する組合せ数は、表3のようになる。

表3 電荷再利用の組合せ数(2×2ビット)

図8	Event		Recycled Bits	Number of Combinations referred to Chapter 3.2 (1)(2)
	eq.			
(a)	1	1	1 bit	${}^2C_1 \times 3^{(2-1)} \times {}^2C_1 \times 3^{(2-1)}$
(b)	1	2	1 bit	${}^2C_1 \times 3^{(2-1)} \times {}^2C_2 \times 3^{(2-2)}$
(c)	2	1	1 bit	${}^2C_2 \times 3^{(2-2)} \times {}^2C_1 \times 3^{(2-1)}$
(d)	2	2	2 bits	${}^2C_2 \times 3^{(2-2)} \times {}^2C_2 \times 3^{(2-2)}$

したがって、2×2ビットデータバスの電荷再利用ビット数 $N_{CR,2 \times 2}$ は、

$$N_{CR,2 \times 2} = \sum_{p=1}^2 \sum_{q=1}^2 {}^2C_p \times 3^{2-p} \times {}^2C_q \times 3^{2-q} \times \min(p, q) \quad \text{となる。}$$

また、実際に電力を消費する遷移は0から1の場合であるから、電荷再利用をしない場合の4ビットデータバスの0から1への遷移ビット数は、 $N_{01,4} = \sum_{k=1}^4 {}^4C_k \times 3^{4-k} \times k$ である。これらから、2×2ビットバスの場合の電荷再利用による電力削減率は、

$$RR_{2 \times 2} = \frac{N_{CR,2 \times 2}}{N_{01,4}} = \frac{\sum_{p=1}^2 \sum_{q=1}^2 {}^2C_p \times 3^{2-p} \times {}^2C_q \times 3^{2-q} \times \min(p, q)}{\sum_{k=1}^4 {}^4C_k \times 3^{4-k} \times k}$$

で表される。

これらの考え方をNビットのバス幅に拡張するとともに、電荷再利用のビット率が向上する要因と低下する要因を加味した。向上する要因としては、バス幅Nが増えると、それに繋がる中間電位 V_{REG} の寄生容量も増大するので、この寄生容量に蓄積された電荷で電荷再利用が出来るようになる場合がある。また、低下する要因としては、バス幅Nが増えると中間電位 V_{REG} の配線が長尺になり配線抵抗が増えるので、遠くで電荷が注入されてもすぐには反映されずLVSが動作してしまう。これらの要因を加味して式をたてた。具体的には、N=8の時の向上要因を1.1ビット(8ビット時の寄生容量で1.1ビットの電荷再利用が可能)とし、低下要因を0.25ビット(8ビット時の配線抵抗で0.25ビットの電荷再利用の機会が損なわれる)とした。そして、バス幅Nが倍化していった場合の係数を、向上要因では2.3(Nが倍になれば、2.3倍のビット数の電荷再利用が可能)、低下要因では2.45(Nが倍になれば、2.45倍のビット数の電荷再利用の機会が失われる)とした。これらを計算するとともに、この計算値とシミュレーションの比較を行った。

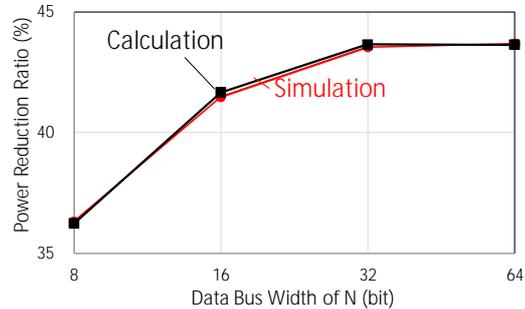


図9 計算値とシミュレーションの比較

この比較結果を図9に示す。この図に示すように、シミュレーションと計算値との相関について、かなりの一致をみる事ができた。また、このグラフより、データバス幅が32ビットから64ビットにした場合に電力の削減効果が高いことが分かる。

ここで得られた計算式および算出方法を利用し、設計前に計算を実施すれば、どれくらいのデータバス幅にすれば、高い電力削減効果が得られるのかが予め分かるのである。これは非常に有用なことである。すなわち、設計開発において、データビット幅の単位を決めることは非常に重要であるが、電力削減効果を得るためにシミュレーションを実施すると、そのバス幅の組み合わせ分のシミュレーションパターンと回路図が必要になる。さらに、平均電流を出す必要があるため、そもそもシミュレーション時間が長い。したがって、非常に手間と時間がかかる作業となるからである。これが、机上の計算で出来るとなると、設計者が享受するメリットは非常に大きい。

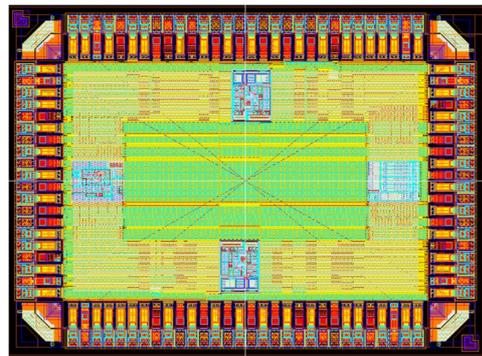


図10 試作チップのレイアウト

なお、図10に試作チップのレイアウトを示す。このチップは、現在測定中である。

このように、本研究の(1)(2)(3)で実施した取り組みは、3次元実装LSIの省電力化において非常に意義のあるものであると考えられる。

5. 主な発表論文等

〔雑誌論文〕 計4件（うち査読付論文 4件／うち国際共著 0件／うちオープンアクセス 2件）

1. 著者名 Takefumi Yoshikawa, Tatsuya Iwata, Junji Shibasaki, Sho Muroga, and Hiroaki Ikeda	4. 巻 ADVANCE ONLINE PUBLICATION
2. 論文標題 A Charge Recycling Stacked I/O in Standard CMOS Technology for Wide TSV Data Bus	5. 発行年 2020年
3. 雑誌名 IEICE Electronics Express	6. 最初と最後の頁 -
掲載論文のDOI（デジタルオブジェクト識別子） https://doi.org/10.1587/elex.17.20200112	査読の有無 有
オープンアクセス オープンアクセスとしている（また、その予定である）	国際共著 -
1. 著者名 Muroga Sho, Tanaka Motoshi, Yoshikawa Takefumi, Endo Yasushi	4. 巻 ADVANCE ONLINE PUBLICATION
2. 論文標題 Effect of Complex Permeability on Circuit Parameters of CPW with Magnetic Noise Suppression Sheet	5. 発行年 2020年
3. 雑誌名 IEICE Transactions on Communications	6. 最初と最後の頁 -
掲載論文のDOI（デジタルオブジェクト識別子） https://doi.org/10.1587/transcom.2019MCP0002	査読の有無 有
オープンアクセス オープンアクセスとしている（また、その予定である）	国際共著 -
1. 著者名 Muroga Sho, Endo Yasushi, Takamatsu Masanari, Andoh Hiroya	4. 巻 54
2. 論文標題 T-Type Equivalent Circuit of On-Chip Microstrip Line With Magnetic Film-Type Noise Suppressor	5. 発行年 2018年
3. 雑誌名 IEEE Transactions on Magnetics	6. 最初と最後の頁 1~4
掲載論文のDOI（デジタルオブジェクト識別子） 10.1109/TMAG.2018.2818119	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -
1. 著者名 Muroga Sho, Endo Yasushi, Tanaka Motoshi	4. 巻 48
2. 論文標題 Inductance Evaluation of CPW with Co-Zr-Nb Film Using Magnetic Circuit Analysis	5. 発行年 2018年
3. 雑誌名 Journal of Electronic Materials	6. 最初と最後の頁 1342~1346
掲載論文のDOI（デジタルオブジェクト識別子） https://doi.org/10.1007/s11664-018-6835-z	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

〔学会発表〕 計8件（うち招待講演 0件 / うち国際学会 5件）

1. 発表者名 T. Yoshikawa, A. Aoyama, T. Iwata, K. Kobayashi
2. 発表標題 LVDS Transmitter for Cold-Spare Systems in High Flux Environments
3. 学会等名 RADECS2019 (国際学会)
4. 発表年 2019年

1. 発表者名 青山晃大, 岩田達哉, 吉河武文
2. 発表標題 入力ダイナミックレンジを拡張した有線通信用レーザー回路の設計開発
3. 学会等名 DAシンポジウム2019
4. 発表年 2019年

1. 発表者名 T. Yoshikawa, A. Aoyama, T. Iwata, K. Kobayashi
2. 発表標題 LVDS Transmitter for Cold-Spare Systems in High Flux Environments
3. 学会等名 RADECS2019 (国際学会)
4. 発表年 2019年

1. 発表者名 Sho Muroga, Motoshi Tanaka, Yasushi Endo
2. 発表標題 Effect of FMR Loss on Circuit Parameters of CPW with Co-Zr-Nb Film for Noise Suppression
3. 学会等名 EMC Sapporo & APEMC 2019 (国際学会)
4. 発表年 2019年

1. 発表者名 青山晃大、岩田達哉、吉河武文
2. 発表標題 入力ダイナミックレンジを拡張した有線通信用レシーバ回路の設計開発
3. 学会等名 DAシンポジウム 2019
4. 発表年 2019年

1. 発表者名 Sho Muroga, Yasushi Endo, Motoshi Tanaka
2. 発表標題 Effect of Complex Permeability on Circuit Parameters of CPW with Co-Zr-Nb Film
3. 学会等名 5th International Conference of Asian Union of Magnetics Societies (国際学会)
4. 発表年 2018年

1. 発表者名 Daiki Hara, Takefumi Yoshikawa
2. 発表標題 A Low Power Data Bus Architecture by Charge Recycling Utilization on Single-Ended Transmission Line
3. 学会等名 The 21st Workshop on Synthesis And System Integration of Mixed Information technologies (国際学会)
4. 発表年 2018年

1. 発表者名 原大樹、吉河武文
2. 発表標題 低電圧インターフェースにおける電圧モードドライバに関する検討
3. 学会等名 LSIとシステムのワークショップ2017
4. 発表年 2017年

〔図書〕 計0件

〔産業財産権〕

〔その他〕

-

6. 研究組織

	氏名 (ローマ字氏名) (研究者番号)	所属研究機関・部局・職 (機関番号)	備考
研究分担者	室賀 翔 (Muroga Sho) (60633378)	秋田大学・理工学研究科・講師 (11401)	
研究分担者	池田 博明 (Ikeda Hiroaki) (50530200)	神戸大学・科学技術イノベーション研究科・客員教授 (14501)	
研究分担者	上口 光 (Johguchi Koh) (30536925)	信州大学・学術研究院工学系・准教授 (13601)	