

科学研究費助成事業 研究成果報告書

令和 4 年 6 月 27 日現在

機関番号：32678

研究種目：基盤研究(C) (一般)

研究期間：2017～2021

課題番号：17K06400

研究課題名(和文)低電力AD変換器のデジタルアシストによる高精度化の研究

研究課題名(英文)A research on high-precision low-power ADC by digital assist technique

研究代表者

松浦 達治 (Matsuura, Tatsuji)

東京都市大学・理工学部・講師

研究者番号：60737609

交付決定額(研究期間全体)：(直接経費) 3,600,000円

研究成果の概要(和文)：「低電力AD変換器のデジタルアシストによる高精度化の研究」を行った。集積回路の微細化によりアナログ回路の性能は劣化する一方、デジタル回路は大規模集積化が可能になる。本研究ではサイクリックAD変換器を取り上げ、内部アンプ増幅度が正確に2倍でなくても、倍($1 < \beta < 2$)と分かれば、デジタル計算により2進データに直せるという発想を使う。高速化のため、後半のビットは2進逐次比較AD変換器で変換する。65nm CMOSで回路設計、試作して評価した結果、提案する変換方式で、約11-bit～12-bitの有効ビットの250kHz変換速度程度のAD変換が、300 μ W程度の低電力で実現できることを実証した。

研究成果の学術的意義や社会的意義

集積回路の微細化によりアナログ回路の性能は劣化し、一方デジタル回路は大規模集積化が可能になる。情報処理はデジタル化されて高度な信号処理ができる世界になっているが、現実の物理量はアナログであり、A/D変換器の高精度化、低電力化、高速化はますます要求される。アナログの性能劣化をデジタルで補う技術は今後ますます重要になってくると考えられる。その一つの方法を提案・特許化・試作評価して実証した意義は重要である。試作化したアイデアの他、科研費の期間に他のデジタルアシストアナログ技術をいくつか提案しており、今後の高性能集積回路技術の開発に役立つと確信している。

研究成果の概要(英文)：We researched on the digital assisted technique for a circuit design on high-precision low-power ADCs (Analog to Digital Converters). As the progress of solid-state integrated circuit miniaturization, the performance of analog circuit is degrading, on the other hand, more larger scale digital circuitry can be integrated on the same die. In this research, we depicted cyclic AD converter architecture, even if the gain of the amplifier is not precisely two, if precise gain of beta ($1 < \beta < 2$) can be measured, the binary AD conversion value can be calculated using beta by digital signal procession circuitry in the same die. In order to increase conversion speed, lower bits can be converted by successive approximation (SAR) ADC. By trial production of this architecture using 65nm CMOS process, we proved that the high-precision of 11-to-12 bits effective number of bits, 250 kSample/sec. and low-power of 300 micro-W can be achieved by this digital assisted hybrid AD converter architecture.

研究分野：集積回路設計

キーワード：アナログデジタル変換器 集積回路 A/D変換器 高精度 高分解能 デジタルアシスト

1. 研究開始当初(2017年)の背景

(1) 集積回路設計の国際的世界トップの学会 ISSCC(International Solid State Circuit Conference: 国際固体素子回路学会)においては、デジタル・アシスト技術は当時徐々に提案され認識されつつあったが、企業にとってはアナログとデジタルの連携設計が必要で設計が難しく、まだアカデミックな世界の話題と認識されていた。しかしながら微細化が進んでアナログの性能が劣化するため何らかのデジタル・アシスト技術を考えなければならない時点であることは明白であったと報告者は考えている。

(2) その中で、サイクリック AD 変換において、2進ではなく β 重み($1 < \beta < 2$)を使って、いったんアナログ情報を β 進のデジタル値に変換し、その後、正確な β 値を AD 変換器自身の回路を使って測定し、その値を使って β 進の値を 2 進に直す技術が提案・検討されていた(文献(1))。

しかしながら、この β 変換サイクリック AD 変換器では、上位ビットから下位ビットを決めるまでビット数+ α の変換が必要で高速化に課題があると考えた。

2. 研究の目的

(1) そこで報告者は、 β 変換サイクリック AD 変換器の高速化について検討し、必要精度が落とせる下位のビットの変換については高速変換が実現できる逐次比較 AD 変換器で変換すれば変換時間が短くできると考え、ハイブリッド型の AD 変換方式を提案することにした。

このハイブリッド型の AD 変換方式について特許を出願し(文献(2))、詳細設計を行ってチップ試作を行い本方式の有効性を実証するプロジェクトを実施することとした。

(2) 具体的にはチップ試作を行い、 β 変換サイクリック AD 変換方式に逐次比較 AD 変換を組合わせたハイブリッド方式で、高精度(10-bit 以上)、低電力(1mW 以下)の AD 変換器が実現できることを実証する。

3. 研究方法

(1) 半導体集積回路でアナログ回路を扱いその精度を議論するためには、回路シミュレーションだけで主張しても ISSCC など世界トップレベルの半導体学会では実証結果が伴わないと信用してもらえない。そこで実際にチップ試作を行って AD 変換器で性能を出せることを実証する方法を取った。チップ試作は業務委託する必要がある費用と期間がかかる。当初科研費を提案した時点では報告者は東京理科大学へ所属していたが、定年となり、東京都市大学へ移籍したため、 β 変換 AD 変換器を研究していた都市大の傘先生の研究室と共同で本研究を進めることとした。

(2) 具体的には、VLSI 試作をアカデミック分野に提供する機関である東京大学 VDEC のルネサスエレクトロニクス 65nm SOTB CMOS プロセスを使って、実証の試作をすることとした。低電力化を目指すので、電源電圧をアグレッシブに 1V 以下、0.75V~0.9V 程度で動作するハイブリッド AD 変換器の設計を目指した。

4. 研究成果

(1) 設計した β 変換を使ったサイクリック AD 変換と逐次比較 AD 変換を組合わせたハイブリッド方式 AD 変換器の構造と動作を説明する。

図 1 は本 AD 変換器の回路を示す図である。上部に逐次比較 AD 変換器に使う 2 進重みの容量アレイがある。この容量アレイの全容量をスイッチの動作で一つの合成された容量 C_b として扱うこともできる。下部はアンプと容量 C_a, C_b で作られた β 倍の増幅回路であり、入力電圧 V_{in} が 1-bit 比較器により入力フルスケールレンジの(1/2)より大きい小さいか判定される。その判定結果を DA 変換器に相当する MUX で制御される DAC により +Vref または -Vref につないで DA 変換結果を引算して残差信号を作る。そしてそれを 2 進であれば 2 倍に増幅、 β 進であれば β 倍に増幅する。その増幅された残差信号を入力端子に戻して次のビットの決定に進む。

提案するハイブリッド変換器では、精度の必要な上位 MSB 側の変換は β 変換サイクリック AD 変換器で高精度に変換し、その後、変換の残りの残差信号を逐次比較 AD 変換器で変換する。

つぎに β 進変換結果を 2 進重みに変換する方法について説明する。まず 2 進重みの場合のアナログ入力電圧 V_{in} に相当するデジタル値を再生する式が式(1)である。ここで Vref は AD 変換器のフルスケール電圧、 b_1, b_2, \dots, b_n は 0 または 1 の 2 進デジタル値であり b_1 が MSB、 b_n が LSB である。

$$\frac{V_{in}}{V_{ref}} = \frac{1}{2} b_1 + \frac{1}{2^2} b_2 + \dots + \frac{1}{2^n} b_n \quad (1)$$

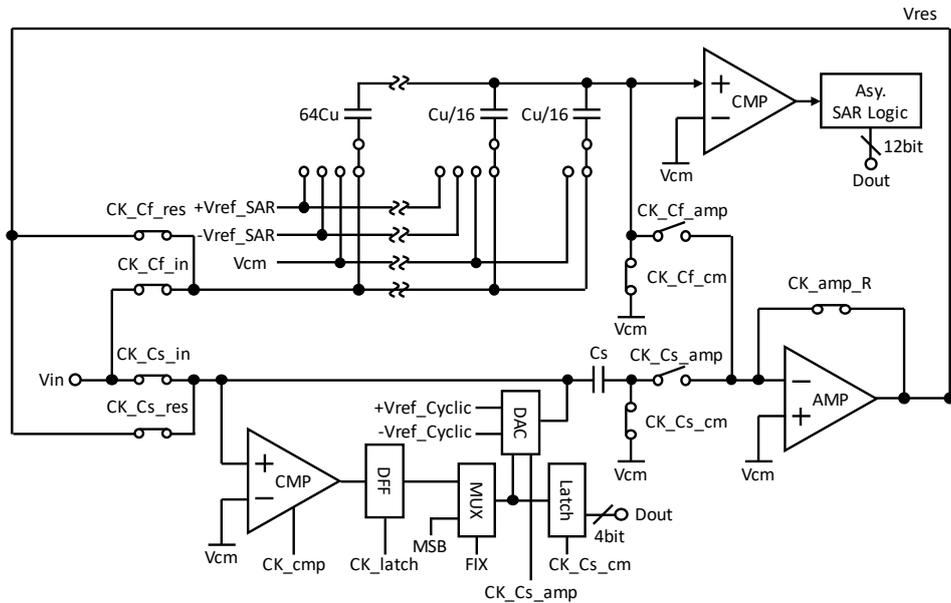


図1 β 変換サイクリックADCと逐次比較ADCを組合せたハイブリッドADC

一方、容量比が $(\beta-1):1$ である場合、デジタル値を再生する式は(2)式である(文献(1))。

$$\frac{V_{in}}{V_{ref}} = \frac{1}{\beta} b_1 + \frac{1}{\beta^2} b_2 + \dots + \frac{1}{\beta^n} b_n \quad (2)$$

したがって、容量比が正しくなくても、容量比 $(\beta-1):1$ を正しく推定できればデジタルで正しい値 V_{in}/V_{ref} を再生できる。

一般に半導体プロセスの容量比は10bit精度程度までは、レイアウトを工夫することによって取ることができる。しかし11bitを超えてくるとその比精度は十分でなくなる。そこで β 変換サイクリックAD変換器がとっている方法で、上位ビットはサイクリックAD変換方式で変換を行い、10bit精度以下に精度が下がった領域では、従来通りレイアウトによるマッチングに期待した通常の2進変換のAD変換器で十分であると考えられる。図1は、例えば14-bit精度のAD変換器を実現する方法として、初めの5-bit分を β 変換サイクリックAD変換器で分解し、その後の10bit分を通常の2進重みの逐次比較AD変換器で分解しようとするものである。

$$\frac{V_{in}}{V_{ref}} = (\beta - 1) \left(\frac{b_1}{\beta} + \frac{b_2}{\beta^2} + \frac{b_3}{\beta^3} + \frac{b_4}{\beta^4} + \frac{b_5}{\beta^5} \right) + \frac{1}{\beta^5} \sum_{i=6}^N \frac{1}{2^{n-5}} d_i \quad (3)$$

式(3)は、上位5-bitを β 変換サイクリックAD変換器で分解し、その後のビットを2進逐次比較AD変換器で分解したときのデジタル値を合成する式である。このハイブリッド形式のAD変換器には新規性があり、精度の劣化する上位ビットを β 変換で正しく重みを見つけて合成することにより、高精度で達成でき、かつ下位ビットを通常の2進逐次比較AD変換器で分解することで、アンプを使う変換クロックサイクルが少なくなり、低消費電力のAD変換器が実現できる。

なお、本アイデアについては文献(2)の特許にて出願し現在特許が認められている。

- (2) 65nm SOTB CMOS で回路を設計し、レイアウトし試作した。電源電圧0.75V~0.9Vで設計し、演算増幅器にはリングアンプと言われる方式を完全差動型にして採用している。図2はハイブリッドAD変換器の動作タイミングチャートである。MSBから4-bit分のサイクリックADC動作をさせ、残りの11-bitの変換は2進重みをもった逐次比較ADCで行わせている。図3に試作チップのレイアウトを示す。

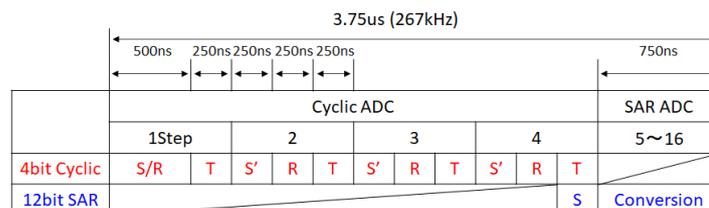


図2 設計したハイブリッドADCの動作タイミングチャート

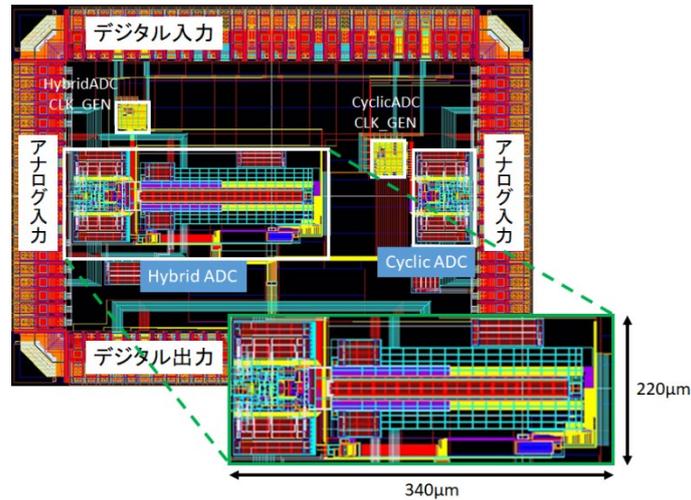


図3 試作チップのレイアウト図

- (3) 本 ADC を試作して評価した結果、図4に測定した再生波形、図5に測定したスペクトラムの様子を示す。この図に示すように SNDR=68.74dB が得られ、有効ビット ENOB=11.13bit が得られた。サンプリング周波数 $f_s=250\text{kHz}$ である。消費電力は $305\mu\text{W}$ となる。目論見通り、11.13bit と高い分解能、有効ビットが得られている。

試作の結果わかったことは、当初の目論見では式(1)のように再生すれば、 β 変換で変換した結果を使って正しい2進変換値が得られると考えていた。しかしながら実際は β 変換 ADC から逐次比較 ADC に切り替わるところで、わずかな段間誤差が発生することが分かった。この誤差は、 β の正確な値を自動で測定する方法と同様な方法で、チップごとに自動測定した値を使って計算式に入れれば、きれいに補正できることが分かった。

電源投入時に、 β の値と段間誤差の値を自動測定するルーチンを走らせ、その値を使って式(3)にさらに段間誤差の係数を入れた式で2進変換値を合成すれば通常のAD変換器と同様に使うことができる。

なお、電源電圧を $0.75\text{V}\sim 0.9\text{V}$ と非常に低くしているため、実際のAD変換器では、素子の熱雑音のため、SNDR がリミットされており、それ以上の高精度化はできない（この設計例では12-bit以上の有効ビットは回路熱雑音リミットのため出せない）。これは今回開発した容量ミスマッチによる劣化の問題ではなく、原理的な熱雑音の問題である。

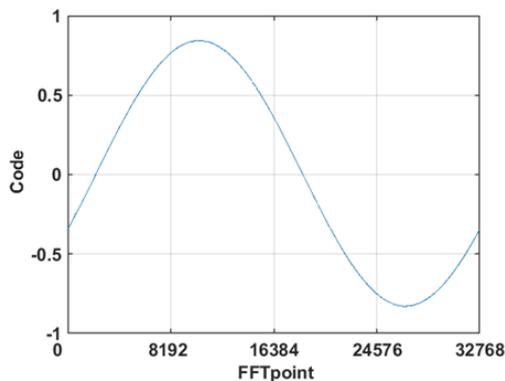


図4 測定した再生波形

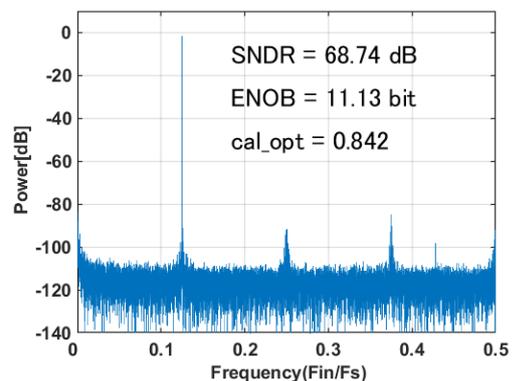


図5 測定した再生波形のスペクトラム

- (4) 残された課題

本 ADC では電源電圧を当初は 0.75V で設計することを狙っていた。消費電力を低減するためである。ところが演算増幅器として設計したリングアンプが 0.75V では発振してしまい SNDR が劣化することが分かった。そこでリングアンプ3段目のMOSトランジスタのバックゲート電圧を調整することで帯域を落として安定化を図って、 0.75V 動作をさせている。したがって、サンプリング周波数は $f_s=250\text{kHz}$ となり当初狙っていた 500kHz よりも遅くしている。現在、この発振の問題を解決すべく検討を行っている。このハイブリッドADCの試作結果については、まだ学会発表は行っていないが、今後、傘先生と相談して発表する予定である。

- (5) β +SAR-ADC 以外のデジタル・アシスト AD 変換方式の各種提案
本研究で行ったハイブリッド AD 変換方式の他、いくつかのデジタル・アシストを使った高精度 AD 変換方式の提案を行っている。
- a) Digital Calibration Algorithm of Conversion Error Influenced by Parasitic Capacitance in C-C SAR-ADC Based on γ -Estimation (文献(3))
 - b) Design method of C-2C D/A converter using integer capacitance ratio (文献(4))
 - c) 整数容量比を用いた高精度 C-2C D/A 変換器の設計手法 (文献(5))
- などである。
- (6) 今後のデジタル・アシスト AD 変換技術
今後高精度を狙う AD 変換器においては、 $\Delta\Sigma$ AD 変換方式の他、今回提案するようなデジタル補正を行う変換方式が多数提案されていくと思われる。今回の研究がその動向の先駆けとなれば報告者としては幸いである。

参考文献

- (1) H. San, R. Sugawara, M. Hotta, T. Matsuura, 'A 12-bit 1.25MS/s area-efficient radix-value self-estimated non-binary cyclic ADC with relaxed requirements on analog components,' IEICE Transactions on Fundamentals of Electronics, Communications and Computer Sciences, 2017
- (2) 特許 6810931、A/D 変換器、発明者：松浦達治、兵庫明、鈴木拓真、井上晃汰、傘昊、権利者：東京理科大学、ミツミ電機（株）、取得年：2020 年
- (3) S. Sekine, T. Matsuura, R. Kishida and A. Hyogo, 'Digital Calibration Algorithm of Conversion Error Influenced by Parasitic Capacitance in C-C SAR-ADC Based on γ -Estimation' IEEEJ Transaction on Electronics, Information and Systems, vol. 141, pp. 1313-1320, 2021.
- (4) Satoshi Sekine, Tatsuji Matsuura, Ryo Kishida, Akira Hyogo, 'Design method of C-2C D/A converter using integer capacitance ratio' IEEEJ Transactions on Electronics, Information and Systems, vol. 140, pp. 194-203, 2020.
- (5) 関根慧、松浦達治、岸田亮、兵庫明、「整数容量比を用いた高精度 C-2C D/A 変換器の設計手法」電気学会論文誌 C 2020 Feb. 139 巻、pp. 194-203

5. 主な発表論文等

〔雑誌論文〕 計7件（うち査読付論文 3件/うち国際共著 0件/うちオープンアクセス 0件）

1. 著者名 Takita Hayato, Matsuura Tatsuji, Kishida Ryo, Hyogo Akira	4. 巻 141
2. 論文標題 Discrete-Time Second-Order Delta-Sigma A/D Modulator Improving SQNR and Suppressing Harmonic Distortions by Correlated Level Shifting Technique	5. 発行年 2021年
3. 雑誌名 IEEJ Transactions on Electronics, Information and Systems	6. 最初と最後の頁 1313 ~ 1320
掲載論文のDOI (デジタルオブジェクト識別子) 10.1541/ieejeiss.141.1313	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -
1. 著者名 S. Sekine, T. Matsuura, R. Kishida and A. Hyogo	4. 巻 E104-A
2. 論文標題 Digital Calibration Algorithm of Conversion Error Influenced by Parasitic Capacitance in C-C SAR-ADC Based on σ -Estimation	5. 発行年 2021年
3. 雑誌名 IEICE Transaction on Fundamentals of Electronics, Communications and Computer Sciences	6. 最初と最後の頁 516-524
掲載論文のDOI (デジタルオブジェクト識別子) 10.1587/transfun.2020GCP0008	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -
1. 著者名 Sekine Satoshi, Matsuura Tatsuji, Kishida Ryo, Hyogo Akira	4. 巻 140
2. 論文標題 Design Method of C-2C D/A Converter Using Integer Capacitance Ratio	5. 発行年 2020年
3. 雑誌名 IEEJ Transactions on Electronics, Information and Systems	6. 最初と最後の頁 194 ~ 203
掲載論文のDOI (デジタルオブジェクト識別子) 10.1541/ieejeiss.140.194	査読の有無 無
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -
1. 著者名 関根慧、松浦達治、岸田亮、兵庫明	4. 巻 139
2. 論文標題 整数容量比を用いた高精度C-2C D/A変換器の設計手法	5. 発行年 2020年
3. 雑誌名 電気学会論文誌C 2020 Feb.	6. 最初と最後の頁 194-203
掲載論文のDOI (デジタルオブジェクト識別子) 10.1541/ieejeiss.140.194	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

1. 著者名 Watanabe Yuki, Narita Hayato, Tsuchiya Hiroyuki, Matsuura Tatsuji, San Hao, Hotta Masao	4. 巻 97
2. 論文標題 Experimental implementation of a 14 bit 80kSPS non-binary cyclic ADC	5. 発行年 2018年
3. 雑誌名 Analog Integrated Circuits and Signal Processing	6. 最初と最後の頁 207 ~ 214
掲載論文のDOI (デジタルオブジェクト識別子) 10.1007/s10470-018-1197-2	査読の有無 無
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

1. 著者名 SAN Hao, SUGAWARA Rompei, HOTTA Masao, MATSUURA Tatsuji, AIHARA Kazuyuki	4. 巻 E100.A
2. 論文標題 A 12-bit 1.25MS/s Area-Efficient Radix-Value Self-Estimated Non-Binary Cyclic ADC with Relaxed Requirements on Analog Components	5. 発行年 2017年
3. 雑誌名 IEICE Transactions on Fundamentals of Electronics, Communications and Computer Sciences	6. 最初と最後の頁 534 ~ 540
掲載論文のDOI (デジタルオブジェクト識別子) 10.1587/transfun.E100.A.534	査読の有無 無
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

1. 著者名 Matsuura Tatsuji	4. 巻 11
2. 論文標題 Recent progress on CMOS successive approximation ADCs	5. 発行年 2017年
3. 雑誌名 IEEJ Transactions on Electrical and Electronic Engineering	6. 最初と最後の頁 535 ~ 548
掲載論文のDOI (デジタルオブジェクト識別子) 10.1002/tee.22290	査読の有無 無
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

〔学会発表〕 計38件 (うち招待講演 2件 / うち国際学会 14件)

1. 発表者名 足立 侑弥, 松浦 達治, 岸田 亮, 兵庫 明
2. 発表標題 三進の逐次比較型を用いたノイズシェーピング逐次比較型アナログデジタル変換器の高速化
3. 学会等名 電気学会・電子回路研究会6月・岐阜大学
4. 発表年 2022年

1. 発表者名 大槻 一世, 松浦 達治, 岸田 亮, 兵庫 明
2. 発表標題 スケーリング容量を用いた3進逐次比較型アナログデジタル変換器に発生する寄生容量と容量誤差の影響評価及び校正手法
3. 学会等名 電気学会・電子回路研究会6月・岐阜大学
4. 発表年 2022年

1. 発表者名 加藤 聡一, 松浦 達治, 岸田 亮, 兵庫 明
2. 発表標題 Zoom ADCの初段逐次比較型ADCの容量誤差に対する最適オーバーレンジ調整法の提案
3. 学会等名 電気学会・電子回路研究会6月・岐阜大学
4. 発表年 2022年

1. 発表者名 松本 泰輔, 松浦 達治, 岸田 亮, 兵庫 明
2. 発表標題 比較器の判定時間を用いた2bit/cycle ADCの提案
3. 学会等名 電気学会・電子回路研究会6月・岐阜大学
4. 発表年 2022年

1. 発表者名 平野 涼太, 松浦 達治, 岸田 亮, 兵庫 明
2. 発表標題 電流注入により安定性を向上したパイプライン型アナログ/デジタル変換器用リングアンプ回路の提案
3. 学会等名 電気学会・電子回路研究会6月・岐阜大学
4. 発表年 2022年

1. 発表者名 鈴木 敦也, 岸田 亮, 松浦 達治, 兵庫 明
2. 発表標題 カスコードカレントミラーによるスイッチトカレント積分器を用いた ADCのSNDR向上に関する検討
3. 学会等名 電気学会・電子回路研究会12月オンライン
4. 発表年 2021年

1. 発表者名 増田 竜成, 松浦 達治, 岸田 亮, 兵庫 明
2. 発表標題 FIR-DACを使った連続時間型 変調器における回路熱雑音を考慮したクロックジッタ感度の最適化
3. 学会等名 電気学会・電子回路研究会11月オンライン
4. 発表年 2021年

1. 発表者名 R. Hirai, R. Kishida, T. Matsuura, and A. Hyogo
2. 発表標題 An 8-bit Hybrid Analog-to-Digital Converter Combining Flash with Radix-3
3. 学会等名 International Conference on Analog VLSI Circuits (AVIC), 2021, Oct. Online/Bordeaux France (国際学会)
4. 発表年 2021年

1. 発表者名 平井 龍吉, 岸田 亮, 松浦 達治, 兵庫 明
2. 発表標題 ハイブリッドアナログ/デジタル変換器に適用するための三進と2-bit-per-cycleを組み合わせた逐次比較型変換器の検討
3. 学会等名 回路とシステムワークショップ, 2021/08/26
4. 発表年 2021年

1. 発表者名 滝田 颯人、松浦 達治、岸田 亮、兵庫 明
2. 発表標題 Correlated Level Shifting技術による離散時間二次 A/D変換器のSQNR改善
3. 学会等名 電気学会電子回路研究会12月 p.81-84
4. 発表年 2020年

1. 発表者名 平井 龍吉、岸田 亮、松浦 達治、兵庫 明
2. 発表標題 三進SAR-ADCを用いたFlash-SAR ADCアーキテクチャの提案
3. 学会等名 電気学会電子回路研究会10月 p.79-74
4. 発表年 2020年

1. 発表者名 関根 慧、松浦 達治、岸田 亮、兵庫 明
2. 発表標題 推定を用いたC-C SAR-ADCの寄生容量補正法
3. 学会等名 電気学会電子回路研究会3月 p.43-47
4. 発表年 2020年

1. 発表者名 関根 慧、松浦 達治、岸田 亮、兵庫 明
2. 発表標題 C-C Ladderを用いたSAR-ADCの基数推定アルゴリズムに関する研究
3. 学会等名 電気学会電子回路研究会1月 p.51-56
4. 発表年 2020年

1 . 発表者名 Tatsuji Matsuura
2 . 発表標題 Recent Trend of High-Resolution Low-Power ADC for IoT Use
3 . 学会等名 2019 International Conference on Analog VLSI Circuits (AVIC 2019) (招待講演) (国際学会)
4 . 発表年 2019年

1 . 発表者名 Morichika Sakuma, Toshiki Ohtsu, Shuichiro Yamada, Minami Sasaki, Hao San, Tatsuji Matsuura, Masao Hotta
2 . 発表標題 A non-binary cyclic ADC with dynamic analog components in 65nm SOTB CMOS
3 . 学会等名 2019 International Conference on Analog VLSI Circuits (AVIC 2019) (国際学会)
4 . 発表年 2019年

1 . 発表者名 Daigo Kaneko, Minami Sasaki, Toshiki Ohtsu, Syuichiro Yamada, Hao San, Tatsuji Matsuura, Masao Hotta
2 . 発表標題 A 0.7V 12bit 3Msps SAR ADC in SOTB CMOS
3 . 学会等名 2019 International Conference on Analog VLSI Circuits (AVIC 2019) (国際学会)
4 . 発表年 2019年

1 . 発表者名 Satoshi Sekine, Tatsuji Matsuura, Ryo Kishida, Akira Hyogo
2 . 発表標題 Design theory of Sub-Radix-3 SAR-ADC with C-C Ladder Based D/A Converter
3 . 学会等名 2019 International Conference on Analog VLSI Circuits (AVIC 2019) Oct. Yilan, Taiwan (国際学会)
4 . 発表年 2019年

1. 発表者名 Yuichiro Kobayashi, Tatsuji Matsuura, Ryo Kishida, Akira Hyogo
2. 発表標題 Investigation of Hybrid ADC Combined with First-Order Feedforward Incremental and SAR ADC
3. 学会等名 2019 International Symposium on Intelligent Signal Processing and Communication Systems (ISPACS 2019) Dec. Taipei, Taiwan (国際学会)
4. 発表年 2019年

1. 発表者名 Yuichiro Unno, Tatsuji Matsuura, Ryo Kishida, Akira Hyogo
2. 発表標題 Examination of Incremental ADC with SAR ADC that can reduce conversion time with high accuracy
3. 学会等名 2019 International Symposium on Intelligent Signal Processing and Communication Systems (ISPACS 2019) Dec. Taipei, Taiwan (国際学会)
4. 発表年 2019年

1. 発表者名 S. Yamada, T. Ohtsu, M. Sasaki, H. San, T. Matsuura, M. Hotta
2. 発表標題 A 0.8V 14bit 62.5kSPS non-binary cyclic ADC using SOTB CMOS technology
3. 学会等名 Proceedings - 2019 International Symposium on Intelligent Signal Processing and Communication Systems, ISPACS 2019 (国際学会)
4. 発表年 2019年

1. 発表者名 関根 慧, 松浦達治, 岸田 亮, 兵庫 明
2. 発表標題 フローティングノードの寄生容量を補償する C-2C DACの設計法の提案
3. 学会等名 電子回路研究会2019/03/08 ECT-19-025
4. 発表年 2019年

1. 発表者名 工藤龍平,松浦達治,岸田 亮,兵庫 明
2. 発表標題 DC測定用INS-SAR ADCに対するDWAの効果に関する検討
3. 学会等名 電子回路研究会2019/06/21 ECT-19-041
4. 発表年 2019年

1. 発表者名 関根 慧,松浦達治,岸田 亮,兵庫 明
2. 発表標題 非二進C-2C DACの基数の推定方式に関する研究
3. 学会等名 電子回路研究会2019/06/21 ECT-19-042
4. 発表年 2019年

1. 発表者名 関根 慧,松浦達治,岸田 亮,兵庫 明
2. 発表標題 ビット毎の基数が異なるA/D変換器における 基数変換テーブルを用いた基数変換法に関する研究
3. 学会等名 電子回路研究会2019/09/19 ECT-19-052
4. 発表年 2019年

1. 発表者名 関根 慧,松浦達治,岸田 亮,兵庫 明
2. 発表標題 C-C ladderを用いた省面積SAR-ADCの提案
3. 学会等名 電子回路研究会2019/12/16 ECT-19-096
4. 発表年 2019年

1. 発表者名 吉田 浩志, 松浦 達治, 岸田 亮, 兵庫 明
2. 発表標題 Sturdy-MASH A/Dコンバータの離散時間実現法と低消費電力化構成の提案
3. 学会等名 電気学会電子回路研究会2019/03/08 東京都武蔵野市
4. 発表年 2019年

1. 発表者名 S. Sekine, T. Matsuura, R. Kishida, and A. Hyogo
2. 発表標題 A Novel C-2 C Ladder Based Non-binary DAC for SAR-ADC Using Unit Capacitors
3. 学会等名 International Symposium on Intelligent Signal Processing and Communication Systems (ISPACS) 2018/11 Ishigaki, Okinawa, Japan (国際学会)
4. 発表年 2018年

1. 発表者名 Taro Mishiro, Tatsuji Matsuura, Ryo Kishida, Akira Hyogo
2. 発表標題 Digital foreground calibration for SAR ADCs with redundancy implementation
3. 学会等名 電気学会電子・情報・システム部門大会 北海道・札幌市2018/09/05
4. 発表年 2018年

1. 発表者名 Taro Mishiro, Tatsuji Matsuura, Ryo Kishida, Akira Hyogo
2. 発表標題 A Digital Foreground Calibration Method Using Redundancy for SAR-ADCs
3. 学会等名 AVIC 2018 (Analog VLSI Circuit Conference, 2018), 2018/11, Chiang Mai, Thailand (国際学会)
4. 発表年 2018年

1. 発表者名 Ryohei Kudo, Tatsuji Matsuura, Ryo Kishida, Akira Hyogo
2. 発表標題 Consideration on Noise-Shaping SAR ADC in Incremental Useo for High Resolution and Low Power Application
3. 学会等名 AVIC 2018 (Analog VLSI Circuit Conference, 2018), 2018/11, Chiang Mai, Thailand (国際学会)
4. 発表年 2018年

1. 発表者名 井上晃汰、松浦達治、兵庫明
2. 発表標題 サイクリック+逐次比較一体型A/D変換器の基本検討
3. 学会等名 電気学会電子回路研究会 ECT-17-048 法政大学工学部(東京都小金井市)
4. 発表年 2017年

1. 発表者名 Kota Inoue, Tatsuji Matsuura, Akira Hyogo, Hao San
2. 発表標題 Non-binary Cyclic and binary SAR Hybrid ADC
3. 学会等名 24th International Conference on Mixed Design of Integrated Circuits and Systems, Bydgoszcz (Poland) (国際学会)
4. 発表年 2017年

1. 発表者名 K. Chin, Y. Mishima, Y. Watanabe, H. Tsuchiya, H. San, T. Matsuura, M. Hotta
2. 発表標題 A 12-Bit 3.3MS/S pipeline cyclic ADC with correlated level shifting technique
3. 学会等名 2017 International Symposium on Intelligent Signal Processing and Communication Systems, ISPACS 2017 (国際学会)
4. 発表年 2017年

1 . 発表者名 H. Tsuchiya, Y. Watanabe, K. Chin, H. San, T. Matsuura, M. Hotta
2 . 発表標題 The design of a 14-bit 400kSPS non-binary pipeline cyclic ADC
3 . 学会等名 2017 International Symposium on Intelligent Signal Processing and Communication Systems, ISPACS 2017
4 . 発表年 2017年

1 . 発表者名 Y. Watanabe, K. Chin, H. Tsuchiya, H. San, T. Matsuura, M. Hotta
2 . 発表標題 Experimental results of reconfigurable non-binary cyclic ADC
3 . 学会等名 2017 International Symposium on Intelligent Signal Processing and Communication Systems, ISPACS 2017 - Proceedings
4 . 発表年 2017年

1 . 発表者名 Y. Watanabe, H. Narita, H. Tsuchiya, T. Matsuura, H. San, M. Hotta
2 . 発表標題 A 14bit 80kSPS non-binary Cyclic ADC without high accuracy analog components
3 . 学会等名 Proceedings of the Asia and South Pacific Design Automation Conference, ASP-DAC
4 . 発表年 2017年

1 . 発表者名 H. Tsuchiya, A. Uchiyama, Y. Mishima, Y. Watanabe, H. San, T. Matsuura, M. Hotta
2 . 発表標題 Non-Binary cyclic ADC with correlated level shifting technique
3 . 学会等名 Proceedings of the 24th International Conference on Mixed Design of Integrated Circuits and Systems, MIXDES 2017
4 . 発表年 2017年

1. 発表者名 Tatsuji Matsuura
2. 発表標題 Integrated CMOS ADC; Tutorial review on resent hybrid SAR-ADCs
3. 学会等名 24th International Conference on Mixed Design of Integrated Circuits and Systems, Bydgoszcz (Poland) (招待講演) (国際学会)
4. 発表年 2017年

〔図書〕 計0件

〔出願〕 計0件

〔取得〕 計1件

産業財産権の名称 A/D変換器	発明者 松浦達治、兵庫明、 鈴木拓真、井上晃 汰、傘 昊	権利者 東京理科大学、 ミツミ電機 (株)
産業財産権の種類、番号 特許、6810931	取得年 2020年	国内・外国の別 国内

〔その他〕

-

6. 研究組織

氏名 (ローマ字氏名) (研究者番号)	所属研究機関・部局・職 (機関番号)	備考
---------------------------	-----------------------	----

7. 科研費を使用して開催した国際研究集会

〔国際研究集会〕 計0件

8. 本研究に関連して実施した国際共同研究の実施状況

共同研究相手国	相手方研究機関
---------	---------