

令和元年6月19日現在

機関番号：13701

研究種目：若手研究(B)

研究期間：2017～2018

課題番号：17K14664

研究課題名（和文）低電圧および低消費電力特性を有するサブスレッショルド断熱的論理の電力モデル構築

研究課題名（英文）Development of Power Consumption Model of Low-voltage and Low-power Sub-threshold Adiabatic Logic

研究代表者

高橋 康宏 (Takahashi, Yasuhiro)

岐阜大学・工学部・准教授

研究者番号：00402214

交付決定額（研究期間全体）：（直接経費） 2,400,000円

研究成果の概要（和文）：本研究では低電圧・低消費電力であるサブスレッショルド断熱的論理回路の電力特性について、等価回路モデルおよび電力モデル式を明らかにするために、先行研究にて計測した回路の消費電力値より電氣的等価回路モデルを導いた。導出した電氣的等価モデルは、RC等価回路モデルと似た関係にあるが、トランジスタのオン抵抗 R が時間の平方根に反比例する値を示すことが分かった。この等価回路モデルから電力式を導出した結果、平方根に反比例する理由が、トランジスタの寄生容量を充放電するのに要する時間に起因することが分かった。これら結果は、今後の集積回路分野において、消費電力モデル化の一つの解をなす重要な結論であるといえる。

研究成果の学術的意義や社会的意義

環境発電技術を用いたワイヤレスセンサネットワーク（WSN）に使用される集積回路の最小動作電圧と動作周波数の関係は、今まで明らかではなかった。本研究の結果から、低電圧で動作する論理回路の電力メカニズムが明らかになったことから、WSN用集積回路の電源電圧を限界まで低下することが可能となる。その結果、従来技術では不可能だった極低電圧および極低消費電力特性を有する新しいWSN用集積回路開発の契機につながると期待できる。

研究成果の概要（英文）：In this research, we present a new power consumption model of adiabatic sub-threshold logic circuit. To analyze the power model, at first, we measured our designed sub-threshold logic and then derived the power consumption model of that logic. Secondly, We tried to recalculate the power consumption through the model. From the results, we found that the adiabatic sub-threshold power model depends on the parasitic factor, that is internal capacitance and resistance. Finally, we show a new power consumption model.

研究分野：半導体集積回路設計

キーワード：断熱的論理 サブスレッショルド論理 低電圧 低消費電力

様式 C - 19、F - 19 - 1、Z - 19、CK - 19 (共通)

1. 研究開始当初の背景

安全、安心かつ豊かな社会を実現するために、環境などをモニタリングするセンサネットワーク(WSN)技術が着目を集めている。このような機器に用いられている集積回路は、低電圧かつ低消費電力特性が求められる。集積回路を低電圧で駆動する技術には、従来よりサブスレッショルド動作と呼ばれるものが用いられている。2015年には、このサブスレッショルド動作による WSN 向け集積回路が報告され、その消費電力は 11.7pJ/Cycle と極めて低いものであった (J. Myers, Proc. IEEE SSSC, 2015)。

ワイヤレスセンサネットワーク (WSN) 技術は、電源に環境発電 (エネルギーハーベスティング) 技術を使用することが多い。環境発電とは、光や振動、熱といった周囲環境からエネルギーを収穫し電力に変換する技術である。しかし、取り出せる電力は小さいことから、現状では、集積回路が動作する電圧へ昇圧・変換して使用している (図 1)。そこで、申請者は電圧を昇圧せずに集積回路を直接駆動すれば、WSN 機器が高効率で動作すると考えた。この着想の元、申請者が従来より研究している断熱的論理回路とサブスレッショルド動作を組み合わせた新しい論理回路を提案し、集積回路試作を行った。

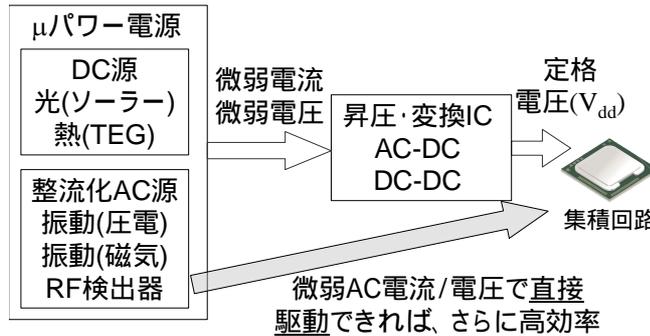


図 1 環境発電技術による WSN の電源現状

提案したサブスレッショルド断熱的論理回路を用いて集積回路を試作し、動作周波数および消費電力を測定したところ、最高動作周波数は 50kHz、消費電力は 10pJ/Cycle と極低消費電力特性を示した (加藤, 高橋, 関根, IEICE Elex, 2015)。しかし、消費電力測定値と電力モデル式に差があることが分かった。これは、従来のモデルが電源を定格電圧としているためであり、低電圧動作は考慮されていないことによる (図 2)。

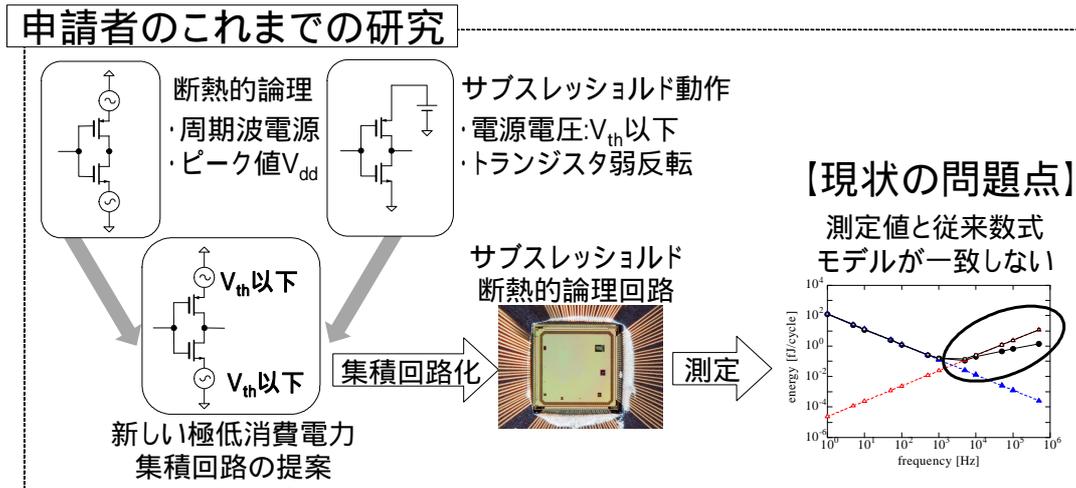


図 2 サブスレッショルド断熱的論理回路の研究課題

2. 研究の目的

本研究では、サブスレッショルド断熱的論理回路の動的電力特性について、等価回路モデルおよび電力モデル式を明らかにする。また、低電圧で動作する論理回路の電力メカニズムが明らかにすることで、WSN 用集積回路の電源電圧の限界値を論理的に求める。

3. 研究の方法

本研究では、以下の課題について年次ごとに研究を行った。

【初年次(平成 29 年度)】

- ・ 論理回路の RC 等価回路を導出し、動的電力差がどこで生じるのかを検討を行う。
- ・ RC 等価回路の妥当性を証明し、電力モデル式の導出を行う。

定格電圧 (V_{DD}) 動作時の RC 等価回路の報告は数多くあるが (例えば、Weste, et. al, Principles of CMOS VLSI design, 1993) 低電圧ないしサブスレッショルド動作での報告は今のところなく、定格電圧で求めた RC 等価回路の電圧をスケールリングして対応させているのが現状である (Soeleman, et. al, IEEE Trans. VLSI 2001)。しかし、申請者が提案した断熱的論理を組み合わせたサブスレッショルド動作論理では、電源が交流電圧であるために電圧スケールリング則が適用できない。そこで、28 年度の研究課題は、先行研究の測定結果をもとに動的電力の RC 等価回路を導出し、電力モデル式の作成を行う。等価回路導出にあたって、事前研究より動的電力は寄生容量が大きく影響していることが分かっているため (加藤, 高橋, 関根, 回路とシステムワークショップ論文集, 2015) 従来の RC 等価回路に寄生容量を考慮したモデルの導出を試みる。その後、その等価回路モデルより電力モデルの式を計算する。導出計算は回路網解析によるラプラス変換より行い、その後、式のコンパクト化を図った。

【2 年次 (平成 30 年度)】

- ・前年度に求めた電力モデルが他 MOS プロセスにおいても適用可能かの検討を行う。

MOS プロセスに依らずに使用できる電力モデル式は非常に有用であり、今後の低電圧動作限界に挑戦する極低消費電力集積回路設計の指針となる。そこで、30 年度の研究課題は、提案電力モデルがプロセスに依らず広く利用できるかを検討するために、65nmCMOS プロセスを用いた集積回路の消費電力特性と 180nm プロセスの結果から求めた提案電力モデルの消費電力特性の一致検証を行った。

4. 研究成果

一般的な断熱的サブスレッショルド論理回路の数理モデルは次式で表すことができる。

$$W_{adiabatic} = \xi \alpha \frac{C_L R}{T} C_L V_{DD}^2 + 4\tau I_o e^{-\frac{V_{th}}{nV_T}} V_{DD} \quad (1)$$

第 1 項は回路の充放電電流による消費エネルギー、第 2 項は漏れ電流による消費エネルギーを表している。この数理モデルを用いて求めた消費エネルギーは、回路シミュレーションから得た消費エネルギーと充放電電流による消費エネルギー、漏れ電流による消費エネルギーとともに異なる特性となっており、測定結果もそれを示唆する。そこで、サブスレッショルド断熱的論理回路の消費エネルギー特性を表現できるように従来の数理モデルの修正を行った。まず、充放電電流による消費エネルギーを検討すると回路シミュレーションの結果とは周波数変化に対する傾きが異なっていることが分かった。そこで、傾きを SPICE シミュレーションの結果と一致させるために充放電電流による消費エネルギーの式を以下のように修正した。

$$W_{sub-adia-dyn} = \alpha \xi \frac{RC}{\sqrt{\tau}} C V_{DD}^2 \quad (2)$$

続いて、漏れ電流による消費エネルギーにおいて、従来の数理モデルから得た消費エネルギーを検討すると回路シミュレーションの結果よりも値が大きくなってしまっていることが分かった。そこでこの値を修正するために従来では一定として計算されていた、電源電圧の変化を考慮して数理モデルの導出を行った。

以上の検討結果から、本研究では以下の式を得ることができ、この式より、サブスレッショルド領域での論理回路の消費電力が負荷容量と負荷抵抗の平方根に依存することが分かった。

$$W_{sub-adia} = \alpha \xi \frac{RC}{\sqrt{\tau}} C V_{DD}^2 + \tau I_o e^{-\frac{V_{th}}{nV_T}} V_{DD} \quad (3)$$

得られた数値モデルと測定値から求めたシミュレーションモデルを検討した結果、提案モデルは従来モデルと異なり、シミュレーションモデルと一致することが図 3 のように確認できた。ゆえに、本研究における電力モデルは優れたモデルであるといえる。

また、異なるのトランジスタプロセスにより比較検討したところ、本モデルの妥当性が確認できた。

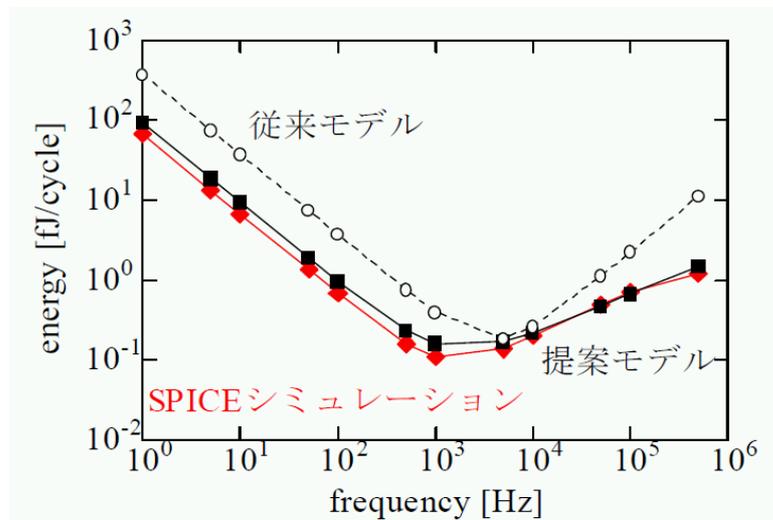


図3 従来電力モデルと提案電力モデルの比較

5. 主な発表論文等

〔雑誌論文〕(計9件)

1. H. Koyasu, and Y. Takahashi, "Current pass optimized symmetric pass gate adiabatic logic for cryptographic circuits," IPSJ Trans. System LSI Design Methodology, 査読有, vol.12, pp.50-52, Feb. 2019.
2. C. Monteiro, A. Maria, and Y. Takahashi, "Low power source biased semi-adiabatic logic circuit for IoT devices," Proc. IEEE ISPACS 2018, 査読有, pp.43-47, Nov. 27-30, Okinawa, Japan.
3. R. Ohashi, and Y. Takahashi, "A new adiabatic logic without charge sharing gate for cryptographic devices," Proc. IEEE ISPACS 2018, 査読有, pp.117-121, Nov. 27-30, Okinawa, Japan.
4. H. Koyasu, and Y. Takahashi, "Current pass optimized-symmetric pass gate adiabatic logic in countermeasures against power analysis attacks," Proc. IEEE ISPACS 2018, 査読有, pp.122-126, Nov. 27-30, Okinawa, Japan.
5. Y. Masaki, and Y. Takahashi, "Diode based adiabatic logic with feedback circuit in countermeasure against power analysis attacks," Proc. IEEJ AVIC 2018, 査読有, pp.165-168, Oct. 31-Nov. 2, Chiang Mai, Thailand.
6. M. Han, Y. Takahashi, and T. Sekine, "A performance comparison of adiabatic logic circuits," Proc. IEEJ AVIC 2018, 査読有, pp.149-152, Oct. 31-Nov. 2, Chiang Mai, Thailand.
7. Y. Takahashi, T. Sekine, and M. Yokoyama, "A verification of resonant clock driver design for the IoT era," Proc. IEEE IMPACT 2017, 査読有, pp.492-494, Oct. 24-27, Taipei, Taiwan.
8. Y. Takahashi, T. Sekine, and M. Han, "Operational amplifier based LC resonant circuit for adiabatic logic," Proc. IEEE MIXDES 2017, 査読有, pp.110-113, June 22-24, Bydgoszcz, Poland.
9. M. Han, Y. Takahashi, and T. Sekine, "Low power adiabatic logic based on 2PC2AL," Proc. IEEE ICICDT 2017, 査読有, pp.1-4, May 23-25, Austin TX.

〔学会発表〕(計12件)

1. 子安博貴, 高橋康宏, "断熱的論理回路による暗号回路への電力解析攻撃による評価," 2018年電気学会電子回路研究会, 査読無, vol.ECT-18, pp.1-4 (ETC-18-61), Oct. 2018.
2. 大橋遼介, 高橋康宏, "ブートストラップ構造を有する断熱的暗号用論理回路," 2018年電気学会電子回路研究会, 査読無, vol.ECT-18, pp.5-10 (ETC-18-62), Oct. 2018.
3. 正木豊, 高橋康宏, "ダイオードを用いた断熱的論理回路で構成したS-Boxの特性評価," 2018年電気学会電子回路研究会, 査読無, vol.ECT-18, pp.11-14 (ETC-18-63), Oct. 2018.
4. 西脇友崇, 高橋康宏, 関根敏和, "断熱的可逆論理回路の一提案," 2018年電気学会電子回路研究会, 査読無, vol.ECT-18, pp.15-19 (ETC-18-64), Oct. 2018.
5. 韓梅, 高橋康宏, 関根敏和, "A comparison of energy dissipation of 4-bit adiabatic multiplier," 2018年電気学会電子回路研究会, 査読無, vol.ECT-18, pp.45-48 (ETC-18-19), March 2018.
6. 子安博貴, 高橋康宏, "電流経路均一化による暗号用断熱的論理回路の提案," 2018年電気学会電子回路研究会, 査読無, vol.ECT-18, pp.121-124 (ETC-18-35), March 2018.

7. 浅野雄作, 高橋康宏, “ダイオードを基にした断熱的論理による暗号用論理回路の提案,” 2018 年電気学会電子回路研究会, 査読無, vol.ECT-18, pp.125-128 (ETC-18-36), March 2018.
8. M. Han, Y. Takahashi and T. Sekine, “Evaluation of 4-bit array multiplier of adiabatic logic family,” 信学技報, 査読無, vol.117, no.343, CAS2017-68, pp.27-30, Dec. 2017.
9. 西脇友崇, 高橋康宏, 関根敏和, “PADDL に基づく断熱的可逆論理回路のセキュリティ性向上の一提案,” 信学技報, 査読無, vol.117, no.344, ICD2017-76, pp.113-117, Dec. 2017.
10. 西脇友崇, 高橋康宏, 関根敏和, “PADDL に基づく断熱的可逆論理回路,” 2017 年電気学会電子回路研究会, 査読無, vol.ECT-17, pp.7-12 (ETC-17-054), July 2017.
11. 林勇輝, 高橋康宏, 関根敏和, “FinFET によるダイオード接続断熱的論理回路の消費エネルギーの検討,” 第 30 回 IEICE 回路とシステムワークショップ論文集, 査読有, pp.117-120, May 2017.
12. 山本秀朗, 高橋康宏, 関根敏和, “65nmSOTB を用いた断熱的論理回路群による S-BOX 回路の検証,” 第 30 回 IEICE 回路とシステムワークショップ論文集, 査読有, pp.121-126, May 2017.

〔図書〕(計 0 件)

〔産業財産権〕

出願状況 (計 0 件)

取得状況 (計 0 件)

〔その他〕

ホームページ等

<https://www1.gifu-u.ac.jp/~yasut/>

6 . 研究組織

(1)研究分担者

なし

(2)研究協力者

なし