

令和元年6月3日現在

機関番号：12601

研究種目：挑戦的研究(萌芽)

研究期間：2017～2018

課題番号：17K18866

研究課題名(和文) 電源電圧0.1V動作に向けたトランジスタの特性ばらつきの自己収束機構に関する研究

研究課題名(英文) Self-Convergence Mechanism of Transistor Characteristics Variability for 0.1V Operation

研究代表者

平本 俊郎 (Hiramoto, Toshiro)

東京大学・生産技術研究所・教授

研究者番号：20192718

交付決定額(研究期間全体)：(直接経費) 5,000,000円

研究成果の概要(和文)：本研究の目的は、大規模集積回路(VLSI)の超低エネルギー化を目指し、超低電圧で動作するVLSIを実現するための挑戦的基礎研究を行うことである。本研究では、スタティックランダムアクセスメモリ(SRAM)において、ストレス電圧を複数回印加し特性ばらつきを自己収束させる方法を提案した。SRAMにストレス電圧を印加すると、しきい値電圧 V_{th} がもともと低いトランジスタの V_{th} が上昇し、セルの安定性が「自己収束」する。実験の結果、情報保持エラーが発生する最低電圧を下げることに成功した。この自己収束機構により、SRAMセルを従来より低電圧で動作させることができることが明らかとなった。

研究成果の学術的意義や社会的意義

大規模集積回路(VLSI)の課題の一つは消費電力の削減であり、そのほぼ唯一の方法は電源電圧の低減である。ところが、VLSIを構成する微細トランジスタの特性ばらつきのため電源電圧の低減は困難であった。本研究で提案した自己収束機構により、SRAMと呼ばれるメモリの電源電圧が下げられることが明らかとなった。本研究は将来のVLSIの低消費電力化に繋がる成果である。

研究成果の概要(英文)：The objective of this study is to lower the operation voltage of very large scale integration (VLSI) for ultra-low energy operation. A self-convergence method of transistor characteristics variability in static random access memory (SRAM) by applying multiple stress voltage has been proposed. The experimental results showed that the minimum operation voltage of SRAM was lowered by the self-convergence mechanism.

研究分野：集積デバイス工学

キーワード：MOSFET 大規模集積回路 特性ばらつき SRAM 低電圧

様式 C - 19、F - 19 - 1、Z - 19、CK - 19 (共通)

1. 研究開始当初の背景

現在の VLSI は 1 億個以上もの微細な MOS トランジスタで構成されている。その喫緊の課題は、消費電力の爆発的増大の抑制である。VLSI の消費電力は動作電源電圧 V_{DD} の 2 乗に比例するため、消費電力の低減には V_{DD} の低減が必須である。しかし、 V_{DD} は 0.5V 程度より下げるとは非常に困難である。最大の理由は、個々のトランジスタの特性ばらつき増大である。100 万個のトランジスタの特性ばらつきを測定すると、しきい値電圧 V_{th} は約 0.4V 以上にもわたってばらついている。これでは VLSI を $V_{DD}=0.4V$ で動作させることも困難であり、消費電力の問題は解決不可能となってしまう。

2. 研究の目的

本研究の目的は、大規模集積回路(VLSI)の劇的な超低エネルギー化を目指し、超低電圧で動作する VLSI を実現するための挑戦的基礎研究を行うことである。超低電圧では、トランジスタの特性ばらつきにより一般に回路は正常に動作しない。微細トランジスタの特性ばらつきの抑制は、もはやデバイス技術あるいはプロセス技術のみでは解決不可能であり、回路技術やシステム技術まで含めた総合的な対策が必須である。そこで VLSI の安定動作を狙い、研究代表者が考案したストレス電圧印加による「しきい値電圧自己収束機構」を用いる。

3. 研究の方法

本研究で提案する「しきい値電圧自己収束機構」について説明する。図 1 はスタティックランダムアクセスメモリ(SRAM)セルの回路図である。SRAM セルの電源を投入すると、ランダムばらつきによって生じる各セルトランジスタの V_{TH} ミスマッチによって、ビットセルの記憶ノードは自動的に安定な状態に固定、すなわち 1 か 0 に固定される。この状態はバタフライカーブの目の大きい側の状態に対応する(図 2)。本研究では、電源を投入した直後のビットセルの状態を電源投入状態と呼ぶ。一般に、SRAM セルに情報を記憶させてから通常のレベルより十分に高い電源電圧を印加すると、高電圧高温 (BTI: bias-temperature-instability) ストレスにより、セルトランジスタのうち ON 状態にある pFET と nFET (それぞれ p-ON, n-ON と呼ぶ) の駆動力が選択的に弱くなり、OFF 状態にある pFET と nFET (それぞれ p-OFF, n-OFF と呼ぶ) は選択的に強くなる。その結果、記憶された情報がより不安定になるようにセルバランスが変化し、バタフライカーブの形状はより対称的になるように変化する。この性質を利用すると、SRAM セルのランダムばらつきによるセルトランジスタの V_{TH} ミスマッチを自動的に緩和させ、セルの安定性 (セルの対称性) を自己修復することができる。これが「しきい値電圧自己収束機構」である。

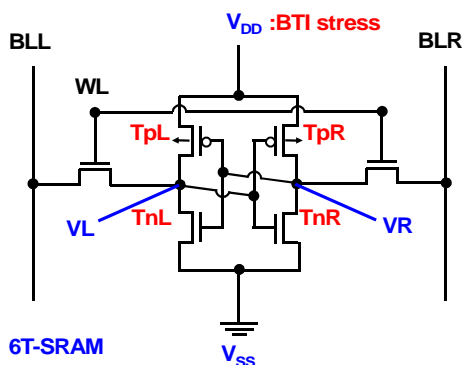


図 1. SRAM セルの回路図。各セルの記憶ノード (VL, VR) は直接アクセス可能である。

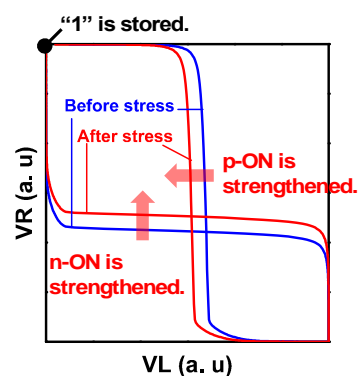


図 2. ストレス印加前後のバタフライカーブ。VR=high を”1”とすると、この例では電源投入状態は”1”であり、右側の pFET が ON 状態(p-ON)、左側の nFET も ON 状態(n-ON)である。

しかしながら、この手法では、非常に不安定なセルの安定性は向上するが、もともと安定なセルでは逆に不安定になることがある。図 3 にストレス印加前後のバタフライカーブの変化を示す。非常に不安定なセルのバタフライカーブは、BTI ストレスによって対称性がよくなるが(図 3a)、もともと安定なセルのバタフライカーブは、過剰な特性修正により逆に対称性が悪く

なっている (図 3b) .

本研究では, ストレスを複数回に分けて印加することで, 安定なセルの安定性を劣化させずに, 不安定なセルの安定性を向上させることを試みた. 図 4 にストレスを複数回に分けて印加 (毎回電源は切る) した前後のパラフライカーブの変化を模式的に示す. 非常に不安定なセルは, 電源投入状態は変化せず (この例では常に電源投入状態は"1"である), 同じ方向にストレスが印加されるが (図 4a), もともと安定なセルは, ストレスごとに電源投入状態が変化するため (この例では"0"→"1"→"0"→"1"の順に電源投入状態が変化する), ストレスが印加される方向が交互に変化する (図 4b). その結果, もともと安定なセルの過剰な特性修正による対称性の劣化を抑制しながら, 非常に不安定なセルにストレスを印加し, セルの安定性を向上させることができる.

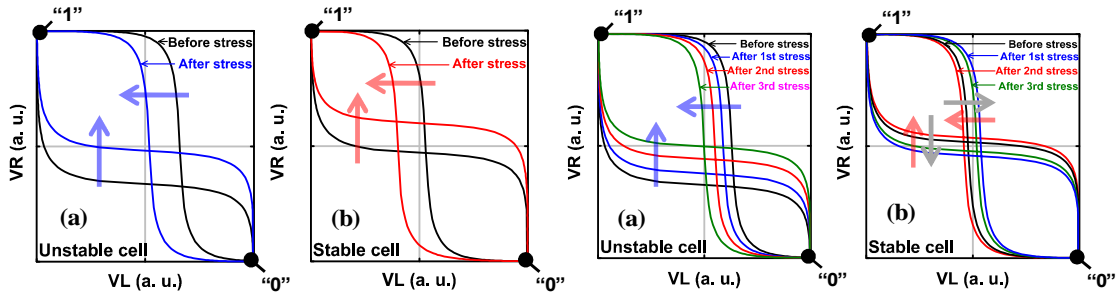


図 3. ストレスを 1 回印加した前後のパラフライカーブ. この例ではストレス印加前は左上の目の方が大きいので, 電源投入状態は"1"である. (a) 非常に不安定なセル. (b) もともと安定なセル.

図 4. ストレス印加前, 2 回ストレス印加後, 2 回ストレス印加後, 3 回ストレス印加後ののパラフライカーブ. (a) 非常に不安定なセル. (b) もともと安定なセル.

4. 研究成果

本手法の効果を実証するために, 65nm の Silicon-on-thin-BOX (SOTB) 技術で作製した 6T-SRAM セルをアレイ状に配置したデバイスマトリックスアレイ (DMA) TEG を利用して測定した. SRAM DMA TEG はスイッチを介して外部のパッドに接続されており, 各セルの電源 (V_{DD}), ワード線 (WL), ビット線 (BL_L, BL_R), 記憶ノード (VL, VR) 端子に直接アクセス可能である (図 1). したがって, 各セルのパラフライカーブおよび, セルを構成する個々のセルトランジスタの I-V 特性を直接測定することができる. 図 5 にストレスの印加手順を示す. V_{DD} を 0V から 1V までゆっくり (~1s) と上昇させ, 記憶ノードの電源投入状態 ("1"または"0") を確定させる. 次に, V_{DD} 端子に一定時間ストレスを印加する. 複数回ストレスを印加する場合は, 1 回ストレスを印加後, V_{DD} を 0V に戻し, ストレス印加の手順を複数回繰り返す. 本手法を, 1 回ストレスを印加した手法と比較した.

図 5 に, ストレス印加前, 1 回ストレス印加後, 2 回ストレス印加後, 3 回ストレス印加後の $|V_{ds}|=50\text{mV}$ における $|V_{TH}|$ の変化を示す. (a) 非常に不安定なセルの nFET と pFET, (b) もともと安定なセルの nFET と pFET についてプロットした. いずれの場合も電源投入状態では nFET が ON 状態であった. 非常に不安定なセルでは (図 5a), ON 状態, OFF 状態は入れ替わることなく, pFET の $|V_{TH}|$ は単調に減少し, nFET の $|V_{TH}|$ はほとんど変化していない. 一方, もともと安定なセルでは (図 5b), ストレスを印加するごとに OFF 状態と ON 状態が交互に入れ替わり, pFET, nFET とともに $|V_{TH}|$ の値が振動している様子がわかる. BTI ストレスによる $|V_{TH}|$ の変化は統計的にばらついており, 同じストレスを印加してもその変化量は必ずしも同じではない. 本研究では, OFF トランジスタの $|V_{TH}|$ シフトの方が ON トランジスタの $|V_{TH}|$ シフトより大きい傾向がある.

図 6 にストレス印加前, 1 回ストレス印加後, 2 回ストレス印加後, 3 回ストレス印加後の $V_{DD}=0.2\text{V}$ におけるパラフライカーブを示す. 図 5 のセルに対応している. 非常に不安定なセルのパラフライカーブは, ストレスを印加するごとに同じ方向に変化している. 一方, もともと安定なセルのパラフライカーブは, ストレスを印加するごとに方向が交互に入れ替わって変化する様子がわかる.

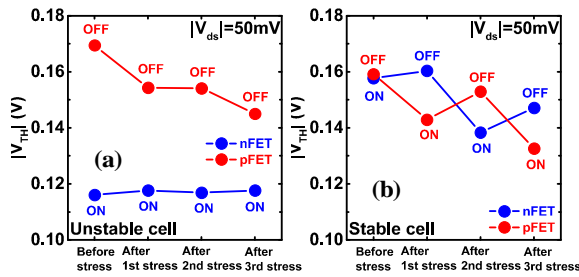


図 5. ストレス印加前, 1 回ストレス印加後, 2 回ストレス印加後, 3 回ストレス印加後の $|V_{ds}|=50\text{mV}$ における $|V_{TH}|$ の変化 . (a) 非常に不安定なセルの nFET と pFET . (b) もともと安定なセルの nFET と pFET .

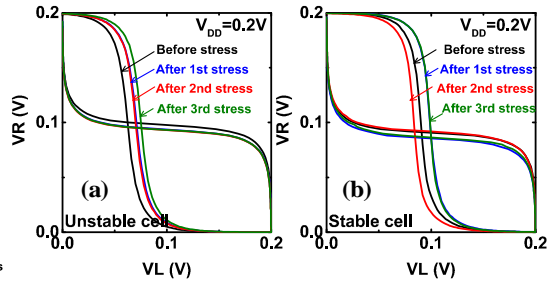


図 6. ストレス印加前, 1 回ストレス印加後, 2 回ストレス印加後, 3 回ストレス印加後の $V_{DD}=0.2\text{V}$ におけるバタフライカーブの変化 . (a) 非常に不安定なセル . (b) もともと安定なセル . 図 7 のセルに対応している .

図 7 はストレス印加前後のデータ保持電圧(DRV)の正規確率プロットである . (a) 1 回ストレス ($1.5\text{s}\times 1$) 印加後の結果と (b) 3 回ストレス ($0.5\text{s}\times 3$) 印加後の結果を比較した . 複数回に分けてストレスを印加した場合は, 最も悪いセルの DRV は 0.130V か 0.115V に減少した . 一方, 1 回でストレスを印加した場合は, 若干の改善しかみられないことがわかった . 以上の結果より, ストレス印加による自己収束機構により最低動作電圧が低減でき, 複数回のストレス印加によりさらに効果を高めることができることが明らかとなった . この実験では, もともと特性ばらつきの少ない SOTB 技術の SRAM を用いたが, 特性ばらつきの大きなバルク SRAM においても複数回ストレスを用いた自己収束機構の手法が有効であることが明らかとなっている .

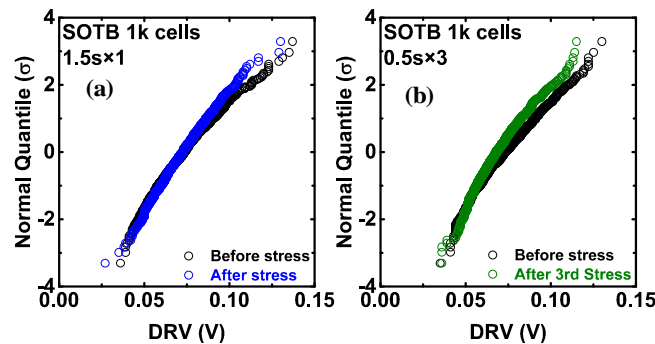


図 9 ストレス印加前後の 1k SRAM セルの DRV の正規確率プロット . (a) 1 回ストレス . (b) 複数回(3 回)ストレス .

5 . 主な発表論文等

〔雑誌論文〕(計 1 件)

- [1] Tomoko Mizutani, Kiyoshi Takeuchi, Takuya Saraya, Masaharu Kobayashi, and Toshiro Hiramoto, “Lowering data retention voltage in static random access memory array by post fabrication self-improvement of cell stability by multiple stress application”, Japanese Journal of Applied Physics, vol. 57, no.4S, 04FD08, March, 2017.

〔学会発表〕(計 5 件)

- [1] Tomoko Mizutani, Kiyoshi Takeuchi, Takuya Saraya, Masaharu Kobayashi and Toshiro Hiramoto, “Lowering Minimum Operation Voltage (V_{min}) in SRAM Array by Post-Fabrication Self-Improvement of Cell Stability by Multiple Stress Application”, International Conference on Solid State Devices and Materials (SSDM), Sendai International Center, Miyagi, pp. 245 - 246, September 22, 2017.
- [2] 水谷朋子, 竹内 潔, 更屋拓哉, 小林正治, 平本俊郎, 「複数回ストレスを利用した特性ばらつき自己修復手法による SRAM データ保持電圧の最小化」, 第 65 回応用物理学会春季学

術講演会，早稲田大学西早稲田キャンパス（東京），18p-G203-1，2018年3月18日．

- [3] T. Mizutani, K. Takeuchi, T. Saraya, M. Kobayashi, T. Hiramoto, “Multiple Stress Technique for Post-Fabrication Cell Stability Self-Improvement of Bulk SRAM Cell Array”, IEEE Silicon Nanoelectronics Workshop, Hilton Hawaiian Village, Honolulu, HI. USA, pp. 143 - 144, June 18, 2018.
- [4] 水谷朋子，竹内 潔，更屋拓哉，小林正治，平本俊郎，「SRAM の安定性自己修復手法における複数回ストレス印加の効果」，電子情報通信学会シリコン材料・デバイス研究会（SDM）および集積回路研究会(ICD)合同研究会，北海道大学大学院情報科学研究科，SDM2018-49，2018年8月9日．
- [5] 水谷朋子，竹内 潔，更屋拓哉，小林正治，平本俊郎，「複数回ストレスを利用した特性ばらつき自己修復手法のBulk SRAM セルへの応用」第79回応用物理学会秋季学術講演会，名古屋国際会議場，20a-CE-4，2018年9月20日．

〔図書〕(計0件)

〔産業財産権〕

- 出願状況(計0件)
- 取得状況(計0件)

6．研究組織

- (1)研究分担者 なし
- (2)研究協力者 なし

科研費による研究は、研究者の自覚と責任において実施するものです。そのため、研究の実施や研究成果の公表等については、国の要請等に基づくものではなく、その研究成果に関する見解や責任は、研究者個人に帰属されます。