

令和 5 年 6 月 2 日現在

機関番号：11301

研究種目：国際共同研究加速基金（国際共同研究強化）

研究期間：2017～2022

課題番号：17KK0001

研究課題名（和文）知的環境適応型VLSI基盤技術の構築と高信頼脳型LSIシステムへの応用展開

研究課題名（英文）VLSI platform with intelligent environment adaptation technology and its application to highly reliable brain LSI systems

研究代表者

夏井 雅典（NATSUI, MASANORI）

東北大学・電気通信研究所・准教授

研究者番号：10402661

交付決定額（研究期間全体）：（直接経費） 10,200,000円

渡航期間： 6ヶ月

研究成果の概要（和文）：本研究では、脳の情報処理過程における学習・記憶、超並列、自律分散といった原理に基づく柔軟かつ複雑な処理をハードウェアアルゴリズムとして実装することにより、高次の処理を極めてコンパクトなシステム構成で実現することを目標とした研究を行った。脳の可塑性（環境適応性）と呼ばれる機能にヒントを得、従来の延長上にはない知的環境適応型新概念LSI基盤技術の構築を推進した。IoT応用を念頭に置いた各種回路設計と評価を通じ、提案技術の有効性を実証した。

研究成果の学術的意義や社会的意義

情報科学技術の一層の進展に伴い、VLSIが果たす役割がより人間の生活に密着したものになっていくことは想像に難くない。本研究によって得られた成果は、人間に与えられた役割をこなす単なる道具としてではなく、人間の脳において行われるようなより高次の情報処理を可能とする次世代VLSIの実現を促すものであるとともに、限界を迎えつつあると考えられてきたVLSI設計におけるパラダイムシフトを現実のものとし、VLSI設計技術を含む次世代の科学・産業技術の重要な礎となる成果であるといえる。

研究成果の概要（英文）：In this research, this researcher aimed to realize high-level processing in an extremely compact system configuration by implementing flexible and complex processing based on the principles of learning and memory, massively parallel, and autonomous distribution in the information processing process of the brain as hardware algorithms. Inspired by the brain's plasticity (environmental adaptability), the researcher promoted the realization of a new concept of intelligent environment-adaptive LSI platform technology that is not an extension of conventional ones. The effectiveness of the proposed technology was demonstrated through the design and evaluation of various circuits for IoT applications.

研究分野：集積回路設計技術

キーワード：集積回路 不揮発素子 IoT 高信頼化 脳型LSI

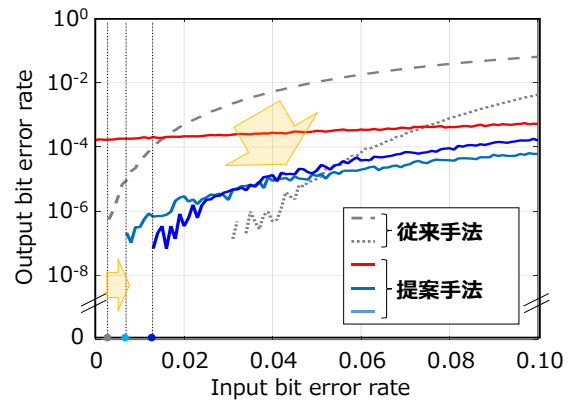
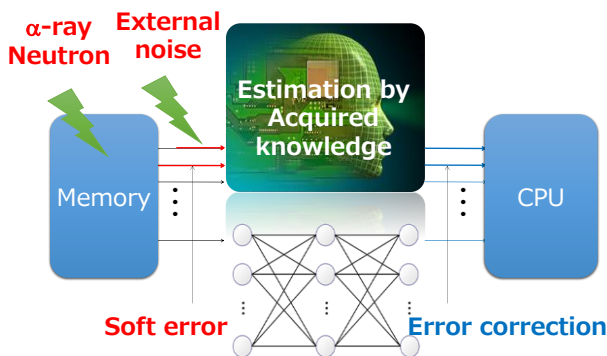
様式 F-19-2

1. 研究開始当初の背景

半導体素子の極限的微小化にともない、年々増加する製造バラツキの影響を抑制しつつ動作時の信頼性を如何に確保するかが集積回路設計における主要なボトルネックになりつつある。十分な性能と信頼性を両立するシステムを構築することが将来的に極めて困難になることは想像に難くなく、概念そのものを根本から変えた新しい設計手法の確立が急務となる。

この根本的な解決においては、従来の静的な補償だけでなく、時々刻々と変わる環境に応じて動的かつ自律的にその構造および動作を変化する性質、すなわち生物の脳における「知的環境適応性（可塑性）」を有する次世代 VLSI が革新的な解決策となりうる。この信念に基づき、本研究者は、LSI に内蔵された不揮発性可変抵抗素子の確率的動作を考慮することで、LSI の高信頼性と回路本来の高性能・低消費電力性の両立を実現する設計技術について研究を推進している。これまでの成果として、可変抵抗素子に対する書込みが成功したか否かではなく、LSI として所望の演算が行われるかどうかを判断基準としたデータドリブン型のエラーマスキング処理を採用することにより、可変抵抗素子に要求する歩留りを大きく緩和でき、結果として LSI の低電力動作が達成できることを証明している。

また、脳型計算に基づくハードウェア高信頼化技術についても検討を行い、その有効性を確認している。ネットワークを伝搬する信号にある種の時系列特徴が含まれることに着目し、リカレントニューラルネットワーク（RNN）に基づくマイクロプロセッサ内データ転送の誤り訂正技術、ならびに車載ネットワーク向け不正侵入検出アルゴリズムを提案し、マイクロプロセッサ内のデータ伝送を対象としたエラー訂正技術として RNN を活用することで、従来手法に比べ 800 倍以上のエラー訂正性能を達成可能であるとともに、車載ネットワークの packets についても、RNN を用いることで攻撃者による情報の改竄を検知することが可能であることを計算機シミュレーションにより確認している。

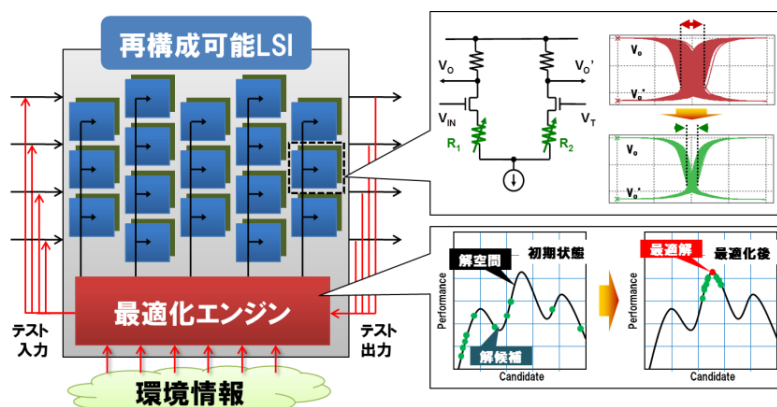


時系列特徴の学習が可能な脳型計算アルゴリズム (RNN) に基づく高効率エラー検出技術

性能評価：情報の冗長化なしに 800 倍以上のエラー訂正性能を達成可能であることを確認

2. 研究の目的

本研究では、脳の情報処理過程における学習・記憶、超並列、自律分散といった原理に基づく柔軟かつ複雑な処理をハードウェアアルゴリズムとして実装することにより、高次の処理を極めてコンパクトなシステム構成で実現することを目指す。特に本研究においては、脳の可塑性（環境適応性）と呼ばれる機能にヒントを得、従来の延長上でない知的環境適応型新概念 LSI 基盤技術の構築を目標とする。



環境適応型新概念 LSI の基本アーキテクチャ

本研究においては、本研究者がこれまでの研究で得た成果をもとに、センサからの時系列入力情報を内部に蓄積することで、動作環境に即した適切な処理へと機能を変化させる環境適応型 LSI の基本アーキテクチャの策定、ならびにそのさらなる高度化とハードウェアへの実装に関する検討を行う。最適化アルゴリズムについては、ニューラルネットワークに代表される学習型ネットワークを回路構造に内包することとし、オンチップ・オフチップ両面からのアプローチにより、アルゴリズムの実装方法とそのオーバーヘッドについて評価を行う。

3. 研究の方法

上記の目的を達成するためには、入力情報を適切に処理する計算アルゴリズムのみならず、入力情報を適切にハードウェアに取り込むためのセンシング技術、ならびに、本アルゴリズムをコンパクトかつ低消費電力で実装するためのハードウェア技術の検討が必要不可欠である。そこで、本共同研究加速基金の活用により、センシング技術および LSI モニタリング技術を専門とする Wai Tung Ng 教授（カナダ・トロント大）のもとで共同研究を実施し、「再構成可能 LSI 設計技術」および「最適化アルゴリズム」を基本構成要素とする環境適応型新概念 LSI 設計技術の基本アーキテクチャ（下図）、ならびに本アーキテクチャに基づくハードウェアの検討を行う。上記構成要素について計算機シミュレーションによる性能評価を行うとともに、その結果から得られる知見をもとに問題点の洗い出しおよび高度化の検討を行った上で、新概念 LSI の設計ならびに有効性実証への道筋を決定する。以上の検討結果に基づき、上記構成要素を包含するハードウェアの設計を行った上で、知的環境適応型新概念 LSI 設計技術の基盤構築に向けた総合的な評価を行う。

4. 研究成果

・新概念 VLSI 設計技術の基盤構築に向けた初期検討

本技術の実現においては、入力情報を適切に処理する計算アルゴリズムのみならず、本アルゴリズムを如何にしてコンパクトかつ低消費電力なハードウェアとして実装するかが重要な課題となる。そこで、主たる海外共同研究者として、集積回路設計技術ならびにパワーマネジメント技術の第一人者であるカナダ・トロント大学の Wai Tung Ng 教授を受入先として選定し、昨年度末から本年度半ばにかけ、海外共同研究先であるトロント大にて 6 ヶ月間に渡る研究を行った。Wai-Tung Ng 教授および講座の配属学生・研究生らとの議論を通し、本研究者がこれまで提案してきた高信頼 LSI 設計技術と、Ng 教授が専門とするセンシング技術および LSI モニタリング技術を融合することによる、センサからの時系列入力情報を内部に蓄積することで、動作環境に即した適切な処理へと機能を変化させる新概念 VLSI 設計技術の基盤構築に向けた重要な知見を得た。

・不揮発回路技術を活用した脳型計算向けハードウェアの設計と評価

知的環境適応処理をコンパクトにハードウェア実装し、かつ省エネルギーで動作させることを可能にするための回路技術について研究を推進した。情報の量子化技術および不揮発回路技術を用いることにより、従来の CMOS を用いた回路構成と比較して高いエネルギー効率を有する脳型計算向けハードウェアの実現を可能にする要素回路を設計し、回路シミュレーションによる性能評価を通して、その有効性とさらなる高性能化に向けた課題を明らかにした。また、環境変動や素子特性の変化によって生じる性能ばらつきを抑制するための回路技術についても並行して研究を推進し、具体的応用事例におけるその有効性を評価した。

・エッジデバイス向け不揮発パワーゲーティング技術

エッジデバイスへの省電力なハードウェア実装に必須となる不揮発パワーゲーティング技術について、環境変動や動作状況の変化によって生じる性能劣化・信頼性低下を抑制するための回路技術について研究を推進し、具体的応用事例におけるその有効性を評価した。電源制御に用いるパワーゲーティングスイッチを細粒度化し、動作環境に応じた段階的な ON/OFF を行うことにより、パワーゲーティングに生じる貫通電流に伴う回路破壊、および、電源電圧変動に伴う周辺回路の性能低下を抑制することを可能にした。

・不揮発 CPU 向け命令セットアーキテクチャの開発

既提案の各種回路技術を機能として盛り込んだ IoT 応用向け不揮発 CPU の設計開発を推進した。本 CPU は、Magnetic Tunnel Junction (MTJ) 素子と呼ばれる不揮発記憶デバイスを組み込むことによる不揮発記憶機能によって細粒度のパワーゲーティングを可能とするとともに、エッジデバイスにおいて想定される脳型計算処理を高効率に実行可能なアクセラレータを備えることで極めてエネルギー効率の高い演算処理が可能である。さらに、オープンソースの命令セットアーキテクチャである RISC-V をベースとした不揮発 CPU 向け命令セットを新たに定義することで、それらの円滑な制御を可能としている。実際に設計した本 CPU の、実応用を念頭に置いたベンチマークにより、その有効性を実証した。また、当該 CPU に組み込む不揮発レジスタについて、パワーゲーティング時における高信頼なデータ退避・復帰動作、および、その省エネルギー化を可能とする回路技術を新たに提案し、CPU 実装時における有効性を検証した。

5. 主な発表論文等

〔雑誌論文〕 計8件（うち査読付論文 6件 / うち国際共著 0件 / うちオープンアクセス 2件）

1. 著者名 M. Natsui, K. Sakamoto, and T. Hanyu	4. 巻 4
2. 論文標題 Design of a Nonvolatile-Register-Embedded RISC-V CPU with Software-Controlled Data-Retention and Hardware-Acceleration Functions	5. 発行年 2023年
3. 雑誌名 Memories - Materials, Devices, Circuits and Systems	6. 最初と最後の頁 100035-1-9
掲載論文のDOI (デジタルオブジェクト識別子) 10.1016/j.memori.2023.100035	査読の有無 有
オープンアクセス オープンアクセスとしている (また、その予定である)	国際共著 -

1. 著者名 夏井雅典, 羽生貴弘	4. 巻 J104-C
2. 論文標題 不揮発記憶機能が拓く新概念ロジックLSI設計技術とその将来展望	5. 発行年 2021年
3. 雑誌名 電子情報通信学会論文誌C	6. 最初と最後の頁 185-192
掲載論文のDOI (デジタルオブジェクト識別子) なし	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

1. 著者名 F. Zhong, M. Natsui, and T. Hanyu	4. 巻 61
2. 論文標題 Dynamic activation of power-gating-switch configuration for highly reliable nonvolatile large-scale integrated circuits	5. 発行年 2022年
3. 雑誌名 Japanese Journal of Applied Physics	6. 最初と最後の頁 SC1035-1-10
掲載論文のDOI (デジタルオブジェクト識別子) 10.35848/1347-4065/ac461a	査読の有無 有
オープンアクセス オープンアクセスとしている (また、その予定である)	国際共著 -

1. 著者名 M. Natsui, T. Chiba and T. Hanyu	4. 巻 59
2. 論文標題 Impact of MTJ-Based Nonvolatile Circuit Techniques for Energy-Efficient Binary Neural Network Hardware	5. 発行年 2020年
3. 雑誌名 Japanese Journal of Applied Physics	6. 最初と最後の頁 050602-1-7
掲載論文のDOI (デジタルオブジェクト識別子) 10.35848/1347-4065/ab82ae	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

1. 著者名 M. Natsui, G. Yamagishi, and T. Hanyu	4. 巻 60
2. 論文標題 Design of a highly reliable nonvolatile flip-flop incorporating a common-mode write error detection capability	5. 発行年 2021年
3. 雑誌名 Japanese Journal of Applied Physics	6. 最初と最後の頁 SBBB02-1-9
掲載論文のDOI (デジタルオブジェクト識別子) 10.35848/1347-4065/abdc0	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

1. 著者名 M. Natsui, D. Suzuki, A. Tamakoshi, T. Watanabe, H. Honjo, H. Koike, T. Nasuno, Y. Ma, T. Tanigawa, Y. Noguchi, M. Yasuhira, H. Sato, S. Ikeda, H. Ohno, T. Endoh, and T. Hanyu	4. 巻 54
2. 論文標題 A 47.14 μ W 200MHz MOS/MTJ-Hybrid Nonvolatile Microcontroller Unit Embedding STT-MRAM and FPGA for IoT Applications	5. 発行年 2019年
3. 雑誌名 IEEE Journal of Solid State Circuits	6. 最初と最後の頁 2991-3004
掲載論文のDOI (デジタルオブジェクト識別子) 10.1109/JSSC.2019.2930910	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

1. 著者名 Natsui Masanori, Chiba Tomoki, Hanyu Takahiro	4. 巻 58
2. 論文標題 Design of an energy-efficient XNOR gate based on MTJ-based nonvolatile logic-in-memory architecture for binary neural network hardware	5. 発行年 2019年
3. 雑誌名 Japanese Journal of Applied Physics	6. 最初と最後の頁 SBBB01 ~ SBBB01
掲載論文のDOI (デジタルオブジェクト識別子) 10.7567/1347-4065/aafb4d	査読の有無 無
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

1. 著者名 Natsui Masanori, Chiba Tomoki, Hanyu Takahiro	4. 巻 82
2. 論文標題 Design of MTJ-Based nonvolatile logic gates for quantized neural networks	5. 発行年 2018年
3. 雑誌名 Microelectronics Journal	6. 最初と最後の頁 13 ~ 21
掲載論文のDOI (デジタルオブジェクト識別子) 10.1016/j.mejo.2018.10.005	査読の有無 無
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

〔学会発表〕 計35件（うち招待講演 7件 / うち国際学会 17件）

1. 発表者名 M. Natsui, D. Suzuki, Y. Takako, A. Tamakoshi, and T. Hanyu
2. 発表標題 Prospects of Energy-Efficient Edge-AI Accelerator Architecture Using Nonvolatile Logic
3. 学会等名 2022 International Symposium on Nonlinear Theory and Its Applications (NOLTA2022) (国際学会)
4. 発表年 2022年

1. 発表者名 D. Suzuki, M. Natsui, A. Tamakoshi, Y. Takako, and T. Hanyu
2. 発表標題 Design of a Low-Power FPGA-Based CNN Accelerator Based on Nonvolatile Logic-in-Memory Circuitry
3. 学会等名 2022 International Symposium on Nonlinear Theory and Its Applications (NOLTA2022) (国際学会)
4. 発表年 2022年

1. 発表者名 K. Sakamoto, M. Natsui, and T. Hanyu
2. 発表標題 Energy-Efficient Nonvolatile RISC-V CPU with a Custom Instruction-Controlled Accelerator
3. 学会等名 2022 IEEE International Midwest Symposium on Circuits and Systems (MWSCAS2022) (国際学会)
4. 発表年 2022年

1. 発表者名 F. Zhong, M. Natsui, and T. Hanyu
2. 発表標題 Operation-Condition-Aware Dynamic Power Gating for Nonvolatile LSIs,
3. 学会等名 31st International Workshop on Post-Binary ULSI Systems (国際学会)
4. 発表年 2022年

1. 発表者名 夏井雅典
2. 発表標題 不揮発ロジックLSI技術に基づく次世代エッジコンピューティングパラダイムの展望
3. 学会等名 NV-FPGA Initiative 第4回公開シンポジウム(招待講演)
4. 発表年 2023年

1. 発表者名 浅野健, 夏井雅典, 羽生貴弘
2. 発表標題 MTJベース量子化ニューラルネットワークハードウェアの書き込みエネルギー削減手法に関する研究
3. 学会等名 ICD学生・若手研究会
4. 発表年 2022年

1. 発表者名 酒井楓, 夏井雅典, 羽生貴弘
2. 発表標題 書き込みエラー特性に基づく MTJ ベース不揮発レジスタの制御部最適化に関する一検討
3. 学会等名 ICD学生・若手研究会
4. 発表年 2022年

1. 発表者名 浅野健, 夏井雅典, 羽生貴弘
2. 発表標題 ビットエラー耐性を活用した省エネルギーニューラルネットワークの構成に関する基礎的研究
3. 学会等名 2022年度電気関係学会東北支部連合大会
4. 発表年 2022年

1. 発表者名 酒井楓, 夏井雅典, 羽生貴弘
2. 発表標題 書込みエラー検出機能を有する高信頼不揮発レジスタの構成
3. 学会等名 2022年度電気関係学会東北支部連合大会
4. 発表年 2022年

1. 発表者名 坂本佳介, 夏井雅典, 羽生貴弘
2. 発表標題 アクセラレータ制御命令を組み込んだRISC-Vベース省エネルギー不揮発CPUの構成
3. 学会等名 LSIとシステムのワークショップ2022
4. 発表年 2022年

1. 発表者名 F. Zhong, M. Natsui, and T. Hanyu
2. 発表標題 Dynamic Power-Gating-Switch Control Technique and Its Application to an Energy-Efficient Embedded STT-MRAM
3. 学会等名 2021 International Conference on Solid State Devices and Materials (SSDM2021) (国際学会)
4. 発表年 2021年

1. 発表者名 夏井雅典
2. 発表標題 K.C.Smith賞受賞時の研究とその後の研究の展望について ~不揮発ロジックインメモリ構造を活用したポストプロセスばらつき補正技術とその応用展開~
3. 学会等名 第44回多値論理フォーラム(招待講演)
4. 発表年 2021年

1. 発表者名 夏井雅典
2. 発表標題 磁気トンネル接合素子を活用した高性能・省エネルギー不揮発LSIの開発
3. 学会等名 R025先進薄膜界面機能創成委員会 第6回研究会（招待講演）
4. 発表年 2021年

1. 発表者名 夏井雅典
2. 発表標題 次世代エッジコンピューティングを支える集積回路技術
3. 学会等名 電子情報通信学会東北支部学術講演会（招待講演）
4. 発表年 2021年

1. 発表者名 鐘方岑, 夏井雅典, 羽生貴弘
2. 発表標題 動作環境適応型パワーゲーティングスイッチ制御技術とその不揮発ロジックLSIへの応用
3. 学会等名 デザインガイア2021 -VLSI設計の新しい大地-
4. 発表年 2021年

1. 発表者名 鐘方岑, 夏井雅典, 羽生貴弘
2. 発表標題 不揮発LSI向け可変パワーゲーティングスイッチ構造とその動的制御に関する研究
3. 学会等名 ICD学生・若手研究会
4. 発表年 2022年

1. 発表者名 G. Yamagishi, M. Natsui, and T. Hanyu
2. 発表標題 Design of a Magnetic-Tunnel-Junction-Based Nonvolatile Flip-Flop with Common-Mode Write Error Detection
3. 学会等名 2020 International Conference on Solid State Devices and Materials (国際学会)
4. 発表年 2020年

1. 発表者名 F. Zhong, M. Natsui, and T. Hanyu
2. 発表標題 Power-Gating Switch-Control Technique for Nonvolatile Logic LSI
3. 学会等名 The 4th Symposium for The Core Research Clusters for Materials Science and Spintronics (国際学会)
4. 発表年 2021年

1. 発表者名 鐘方岑, 夏井雅典, 羽生貴弘
2. 発表標題 不揮発ロジックLSIのパワーゲーティングスイッチ制御技術に関する一検討
3. 学会等名 デザインガイア2020 -VLSI設計の新しい大地-
4. 発表年 2020年

1. 発表者名 T. Chiba, M. Natsui and T. Hanyu
2. 発表標題 Design of a Current-Mode Linear-Sum-Based Bitcounting Circuit with an MTJ-Based Compensator for Binarized Neural Networks
3. 学会等名 49th IEEE International Symposium on Multiple-Valued Logic (ISMVL2019) (国際学会)
4. 発表年 2019年

1. 発表者名 M. Natsui and T. Hanyu
2. 発表標題 Design of an MTJ-Based Fully-Nonvolatile Microcontroller LSI and Its Impact on IoT Applications
3. 学会等名 28th International Workshop on Post-Binary ULSI Systems (国際学会)
4. 発表年 2019年

1. 発表者名 M. Natsui
2. 発表標題 Nonvolatile Logic LSI Design Technology and Its Application to AI Hardware
3. 学会等名 2019 International Conference on Solid State Devices and Materials (SSDM2019) (招待講演) (国際学会)
4. 発表年 2019年

1. 発表者名 M. Natsui and T. Hanyu
2. 発表標題 MTJ-Based Nonvolatile Logic-in-Memory Circuit with Feedback-Type Equal-Resistance Sensing Mechanism for Ternary Neural Network Hardware
3. 学会等名 IEEE SOI-3D-Subthreshold Microelectronics Technology Unified Conference (国際学会)
4. 発表年 2019年

1. 発表者名 M. Natsui, T. Chiba and T. Hanyu
2. 発表標題 Impact of nonvolatile-logic design techniques for spintronics-based edge AI computing
3. 学会等名 The 8th RIEC International Symposium on Brain Functions and Brain Computer (国際学会)
4. 発表年 2020年

1. 発表者名 G. Yamagishi, M. Natsui, and T. Hanyu
2. 発表標題 Design of a Resilient Nonvolatile Flip-Flop with Common-Mode Write Error Detection
3. 学会等名 The 3rd Symposium for The Core Research Clusters for Materials Science and Spintronics (国際学会)
4. 発表年 2020年

1. 発表者名 山岸源征, 夏井雅典, 羽生貴弘
2. 発表標題 非相補抵抗状態検出機能を有する高信頼MTJベース不揮発性フリップフロップの構成
3. 学会等名 令和元年度電気関係学会東北支部連合大会
4. 発表年 2019年

1. 発表者名 千葉智貴, 夏井雅典, 羽生貴弘
2. 発表標題 省エネルギー二値化ニューラルネットワーク向けMTJベース積和演算回路の構成
3. 学会等名 デザインガイア2019 -VLSI設計の新しい大地-
4. 発表年 2019年

1. 発表者名 M. Natsui, D. Suzuki, A. Tamakoshi, H. Sato, S. Ikeda, T. Endoh, and T. Hanyu
2. 発表標題 Impact of MTJ-Based Nonvolatile Microcontroller LSI for IoT Applications
3. 学会等名 5th CIES Technology Forum / DAY 1 International Symposium (招待講演) (国際学会)
4. 発表年 2019年

1 . 発表者名 M. Natsui, T. Chiba and T. Hanyu
2 . 発表標題 MTJ-Based Nonvolatile Logic Gates for Quantized Neural Network Hardware
3 . 学会等名 The 6th International Symposium on Brainware LSI (国際学会)
4 . 発表年 2019年

1 . 発表者名 M. Natsui, D. Suzuki, A. Tamakoshi, T. Watanabe, H. Honjo, H. Koike, T. Nasuno, Y. Ma, T. Tanigawa, Y. Noguchi, M. Yasuhira, H. Sato, S. Ikeda, H. Ohno, T. Endoh, and T. Hanyu
2 . 発表標題 An FPGA-Accelerated Fully Nonvolatile Microcontroller Unit for Sensor-Node Applications in 40nm CMOS/MTJHybrid Technology Achieving 47.14 μ W Operation at 200MHz
3 . 学会等名 2019 IEEE International Solid-State Circuits Conference (ISSCC2019) (国際学会)
4 . 発表年 2019年

1 . 発表者名 M. Natsui, T. Chiba and T. Hanyu
2 . 発表標題 MTJ-Based Nonvolatile Ternary Logic Gate for Quantized Convolutional Neural Networks
3 . 学会等名 IEEE SOI-3D-Subthreshold Microelectronics Technology Unified Conference (国際学会)
4 . 発表年 2018年

1 . 発表者名 M. Natsui, T. Chiba and T. Hanyu
2 . 発表標題 MTJ-Based Nonvolatile Logic Gate for Binarized Convolutional Neural Networks and Its Impact
3 . 学会等名 2018 International Conference on Solid State Devices and Materials (SSDM2018)
4 . 発表年 2018年

1. 発表者名 M. Natsui
2. 発表標題 An FPGA-Accelerated Fully Nonvolatile Microcontroller Unit for Sensor-Node Applications in 40nm CMOS/MTJHybrid Technology Achieving 47.14 μ W Operation at 200MHz
3. 学会等名 IEEE SSCS Kansai Chapter Technical Seminar (招待講演)
4. 発表年 2019年

1. 発表者名 千葉智貴, 夏井雅典, 羽生貴弘
2. 発表標題 不揮発量子化ニューラルネットワーク構造に基づく小型・超低消費電力XNOR回路の構成
3. 学会等名 平成30年度電気関係学会東北支部連合大会
4. 発表年 2018年

1. 発表者名 千葉智貴, 夏井雅典, 羽生貴弘
2. 発表標題 MTJベースばらつき補正機能を用いた2値化ニューラルネットワーク向け低消費電力・省面積bitcount回路の構成
3. 学会等名 第32回多値論理とその応用研究会
4. 発表年 2019年

〔図書〕 計0件

〔産業財産権〕

〔その他〕

-

6. 研究組織

	氏名 (ローマ字氏名) (研究者番号)	所属研究機関・部局・職 (機関番号)	備考
主たる渡航先の主たる海外共同研究者	イング ワイトン (Ng Wai-Tung)	トロント大学・Department of Electrical & Computer Engineering・Professor	

7. 科研費を使用して開催した国際研究集会

〔国際研究集会〕 計0件

8. 本研究に関連して実施した国際共同研究の実施状況

共同研究相手国	相手方研究機関			
カナダ	University of Toronto			