

## 平成26年度科学研究費助成事業（特別推進研究）自己評価書 〔追跡評価用〕

◆記入に当たっては、「平成26年度科学研究費助成事業（特別推進研究）自己評価書等記入要領」を参照してください。

平成26年 4月25日現在

<b>研究代表者 氏名</b>	大見 忠弘	<b>所属研究機関・ 部局・職 (研究期間終了時)</b>	東北大学・未来科学技術共同研究 センター・教授
<b>研究課題名</b>	超高速・超低消費電力バランスドフルCMOSシステムLSIの研究		
<b>課題番号</b>	18002004		
<b>研究組織 (研究期間終了時)</b>	研究代表者 大見 忠弘（東北大学・未来科学技術共同研究センター・教授） 研究分担者 白井 泰雪（東北大学・未来科学技術共同研究センター・准教授） 研究分担者 北野 真史（東北大学・未来科学技術共同研究センター・准教授） 研究分担者 寺本 章伸（東北大学・未来科学技術共同研究センター・准教授）		

### 【補助金交付額】

年度	直接経費
平成18年度	209,300 千円
平成19年度	142,000 千円
平成20年度	83,200 千円
総計	434,500 千円

## 1. 特別推進研究の研究期間終了後、研究代表者自身の研究がどのように発展したか

特別推進研究によってなされた研究が、どのように発展しているか、次の(1)～(4)の項目ごとに具体的かつ明確に記述してください。

## (1) 研究の概要

(研究期間終了後における研究の実施状況及び研究の発展過程がわかるような具体的内容を記述してください。)

本特別推進研究は、現状のシリコン CMOS LSI の欠点を全て克服するために 10GHz を超える周波数まで動作するシリコンバランスドフル CMOS デジタル・アナログ・RF 混載システム LSI を創出するために必要不可欠な開発課題である、①原子オーダで平坦なゲート絶縁膜/シリコン基板界面の形成、②ソース・ドレイン直列抵抗 2 桁低減に向けた n-MOSFET と p-MOSFET にそれぞれ最適な金属電極またはシリサイド電極の形成、③従来の Inversion-mode MOSFET に代わる Accumulation-mode MOSFET の導入、④(551)面の導入、⑤n-MOSFET と p-MOSFET の寸法を一致させたバランスド CMOS の実現、これら 5 つの研究課題を達成し、微細化に寄らず MOSFET の動作速度が劇的に向上することを実証した。特別推進研究終了後は上記の要素技術をさらに発展させるとともに、トランジスタ作製工程において、汚染やダメージを一切与えないプロセスを確立することにより、さらなる MOSFET の動作速度向上、ばらつき・雑音の低減を目指し、研究を継続している。また、平成 22 年度から平成 26 年度にかけて採択された特別推進研究では、本特別推進研究の成果・知見をベースとし、三次元立体構造 MOS トランジスタの創出を目指している。

## ① 原子オーダで平坦なゲート絶縁膜/シリコン界面 (特別推進研究, H.22～H.26)

本研究期間中に 800°C 以上の高温熱処理によりシリコン (100) 表面の平坦化を実現したが、2012 年にシリコン (551) 表面に同平坦化処理を行うと粗れてしまうことを見出し、その後、シリコン (551) 表面の平坦化には 600°C 程度まで温度を下げる必要があることを明らかにした。さらに平坦化温度を下げるために、これまでの高純度 Ar 雰囲気中熱処理に替えて、Xe/H<sub>2</sub> プラズマ処理による平坦化プロセスの開発を進めている。代表者は、熱エネルギーに替ってシリコン表面に、シリコン結晶の結合を切断しない程度のエネルギーのイオン照射を行うと(Ar<sup>+</sup>イオンでは 25eV 程度以下、Xe<sup>+</sup>イオンでは 32eV 以下)、表面数原子層のシリコンが活性化されて高温熱処理と同様の挙動をすることを明らかにしてきた。特にシリコンの格子間隔よりも原子直径が大きい Xe<sup>+</sup>イオン照射は、最表面のシリコン原子だけを活性化させるから、表面活性化の効果が大きいことをこれまでに明らかにしてきている。さらに、Xe/H<sub>2</sub> プラズマ中で生成される H<sup>\*</sup>ラジカルにより、表面で不安定な状態にある Si 原子をマイグレーションさせることによって、Si 表面の平坦化が促進される。Xe/H<sub>2</sub> プラズマ平坦化プロセスの開発は、三次元立体構造のシリコン表面の平坦化を実現するために必要不可欠な開発課題である。

## ② プラズマドーピング (特別推進研究, H.22～H.26)

文字通り超高速・超低消費電力の ULSI の創出には、トランジスタ作製工程において、汚染やダメージを一切与えないプロセスが必要不可欠である。極めて厳しい汚染やダメージを与える従来のプラズマプロセスについては、2.45GHz マイクロ波励起高密度プラズマ装置や 915MHz 金属表面波励起高密度プラズマ装置の開発により、汚染やダメージは大幅に低減されたが、唯一イオン注入プロセスのみ未だ改善されていない。超高速・超低消費電力の ULSI の創出には、汚染やダメージを一切与えないイオン注入装置が必須であり、既に開発した 915MHz 金属表面波励起高密度プラズマ装置を応用したプラズマイオン注入装置を用いた汚染やダメージを一切与えないイオン注入プロセスの開発を進めている。

現在開発中の研究課題、開発課題が達成されれば、インテル社のマイクロプロセッサに代表されるような現在およそ 4 GHz クロックで停滞してしまったシリコン LSI の動作速度を 100GHz クロック以上に超高速化することが理論的には可能である。完全に停滞している現在のシリコン LSI 技術を、その理論限界に向かって連続的に超高速化させる道が拓けると自負している。

## 1. 特別推進研究の研究期間終了後、研究代表者自身の研究がどのように発展したか（続き）

(2) 論文発表、国際会議等への招待講演における発表など（研究の発展過程でなされた研究成果の発表状況を記述してください。）

## 【1】論文発表

- 1) T. Isogai et al., *Jpn. J. Appl. Phys.*, Vol. 48, No. 4, pp.04C046-1-5 (2009).
- 2) W. Cheng et al., *Jpn. J. Appl. Phys.*, Vol. 48, No. 4, pp.04C047-1-4 (2009).
- 3) R. Kuroda et al., *Jpn. J. Appl. Phys.*, Vol. 48, No. 4, pp.04C048-1-6 (2009).
- 4) M. Konda et al., *IEICE TRANS. ELECTRON*, Vol. E92-C, No. 5, pp.664-670 (2009).
- 5) W. Cheng et al., *ECS Trans.* Vol.9 No.4, pp.65-70 (2009).
- 6) W. Cheng et al., *Microelectronic Eng.* Vol.86/7-9, pp.1786-1788 (2009).
- 7) W. Cheng et al., *ECS Trans.* Vol.25 No.7, pp.115-129 (2009)
- 8) W. Cheng et al., *J. ECS*, Vol.157, Issue 3, pp.H389-H393 (2010).
- 9) H. Tanaka et al., *Jpn. J. Appl. Phys.*, Vol.49, No.4, p.04DA03 (2010).
- 10) T. Suwa et al., *J. Appl. Phys. Lett.*, Vol.96, No.17, p.173103 (2010).
- 11) Y. Nakao et al., *ECS Trans.*, Vol.28, No.1, pp.315-324 (2010).
- 12) X. Li et al., *ECS Trans.*, Vol.28, No.1, pp.299-309 (2010).
- 13) S. Watabe et al., *IEEE Trans. Electron Devices*, Vol.57, No.6, pp.1310-1318 (2010).
- 14) P. Gaubert et al., *IEEE Trans. Electron Devices*, Vol.57, No.7, pp.1597-1607 (2010).
- 15) T. Ohmi et al., *J. Korean Phys. Soc.*, Vol.59, No.2, pp.391-401 (2011).
- 16) P. Gaubert et al., *Jpn. J. Appl. Phys.*, Vol.50, No.4, p.04DC01 (2011).
- 17) R. Kuroda et al., *Jpn. J. Appl. Phys.*, Vol.50, No.4, p.04DC03 (2011).
- 18) T. Ohmi et al., *ECS Trans.*, Vol.35, No.2, pp.275-284 (2011).
- 19) T. Suwa et al., *ECS Trans.*, Vol.35, No.4, pp.115-122 (2011).
- 20) X. Li et al., *Microelectronic Eng.*, Vol.88, Issue 10, pp.3133-3139 (2011).
- 21) A. Teramoto et al., *ECS Trans.*, Vol.41, No.7, pp.147-156 (2011).
- 22) H. Tanaka et al., *ECS Trans.*, Vol.41, No.7, pp.365-373 (2011).
- 23) X. Li et al., *Jpn. J. Appl. Phys.*, Vol.50, No. 10, p.10PB05 (2011).
- 24) R. Kuroda et al., *Jpn. J. Appl. Phys.*, Vol.51, No.2, p.02BA01 (2012).
- 25) P. Gaubert et al., *Jpn. J. Appl. Phys.*, Vol.51, No.4, p.04DC07 (2012).
- 26) T. Suwa et al., *ECS Trans.*, Vol.45, No.3, pp.453-460 (2012).
- 27) H. Tanaka et al., *ECS Trans.*, Vol.45, No.3, pp.371-378 (2012).
- 28) Y. Nakao et al., *ECS Trans.*, Vol.45, No.3, pp.421-428 (2012).
- 29) T. Suwa et al., *ECS Trans.*, Vol.50, No.4, pp.313-318 (2012).
- 30) H. Tanaka et al., *ECS Trans.*, Vol.50, No.4, pp.343-348 (2012).
- 31) T. Suwa et al., *Jpn. J. Appl. Phys.*, Vol.52, p.031302 (2013).
- 32) H. Tanaka et al., *ECS Trans.*, Vol.53, No.1, pp.343-350 (2013).
- 33) T. Suwa et al., *Microelectronic Eng.*, Vol. 109, pp.197-199 (2013).
- 34) H. Tanaka et al., *ECS Trans.*, Vol.58, No.7, pp.349-354 (2013).
- 35) R. Kuroda et al., *Jpn. J. Appl. Phys.*, Vol.53, p.04EC04 (2014).

## 【2】招待講演

大見忠弘（研究代表者）

- 1) “Science Based New Silicon Technologies Exhibiting Very High Speed Performance Up to 100GHz Clock Rate,”  
**International Conference on Sensors and Related Networks (SENNET'09)**, Vellore, India, December 2009. (招待講演)
- 2) “Semiconductor Industry for 21<sup>st</sup> century,”  
**The 12th International Conference on Magnetic Fluids**, Sendai, August 2010. (招待講演)
- 3) “Science Based New Silicon Devices Exhibiting Super High Performance by Very New Plasma Equipment Completely Free From Damages,”  
**World Automation Congress 2010**, Kobe, Keynote Lifetime Lecture, September 2010. (基調講演)
- 4) “Science Based New Silicon Technologies Exhibiting Super High Performance due to Radical Reaction Based Semiconductor Manufacturing,”  
**The 18<sup>th</sup> Korean Conference on Semiconductors**, Jeju, Korea, February 2011. (招待講演)

**1. 特別推進研究の研究期間終了後、研究代表者自身の研究がどのように発展したか（続き）**

- 5) **30<sup>th</sup> Electronic Materials Symposium**, Shiga, June 2011. (記念講演)
- 6) “Radical Oxidation and Radical Nitridation for High Integrity Gate Insulator Films on Any Crystal Orientation Silicon Surface for Super High Performance 3D MOS Transistors,”  
**China Semiconductor Technology International Conference 2012 (CSTIC 2012)**, Shanghai, China, March 2012. (招待講演)

寺本章伸 (研究分担者)

- 7) “MOS Transistors fabricated on Si(551) surface based on radical reaction processes,”  
**2009 Asia-Pacific Workshop on Fundamentals and Applications of Advanced Semiconductor Devices(AWAD 2009)**, Korea, June 2009. (招待講演)
- 8) "Accumulation-mode SOI CMOS Performance on Very Flat Si(551) Surface,"  
**BIT's 2nd Annual World Congress of Nanoscience and Nanotechnology**, Qindao, China, October 2012. (招待講演)

## 1. 特別推進研究の研究期間終了後、研究代表者自身の研究がどのように発展したか（続き）

## (3) 研究費の取得状況（研究代表者として取得したもののみ）

## ◆ 科学研究費補助金 特別推進研究

「原子オーダー平坦な界面を有する3次元立体構造トランジスタの製造プロセスに関する研究」

（期間：2010～2014年度，交付額：474,400千円，代表：大見忠弘）

任意のシリコン表面上に、ゲート絶縁膜とシリコンの界面が原子オーダーで平坦になされた3次元立体構造MOSトランジスタを製造するプロセス技術を創出して、シリコン結晶の有する全性能を駆使することにより、超低消費電力で文字通り超高速動作するバランスド CMOS シリコン集積回路(LSI)を創出することを目的とする。

## (4) 特別推進研究の研究成果を背景に生み出された新たな発見・知見

## ☆シリコン表面の原子オーダー平坦化

本研究において、シリコン(100)表面に対して、高純度Ar雰囲気中で1000°C以上の温度で熱処理することにより、1原子ステップと原子スケールで平坦なテラスから構成される原子オーダー平坦表面を実現した。代表者が20年以上に亘り開発し続けてきたウルトラクリーンテクノロジーを上記平坦化プロセスに適用することにより、平坦化温度を800°Cまで低減することに成功しており、シリコン表面を原子オーダーで平坦化するには雰囲気の高純度化が極めて重要であることを明らかにした。現在は、これらの平坦化プロセス開発で得られた知見を基に、熱処理プロセスに替わりプラズマを用いて、600°C以下の平坦化プロセスの開発を進めており、シリコン(100)面を含め、任意の面方位のシリコン表面の平坦化を目指している。

## ☆低接触抵抗のためのシリサイド技術

本研究において、完全に大気を遮断したプロセスを確立したことにより、n<sup>+</sup>領域にはW/ErSi<sub>2</sub>、p<sup>+</sup>領域にはPd<sub>2</sub>Siをシリサイドすることによりソース・ドレインの直列抵抗を10<sup>-10</sup>Ω cm<sup>2</sup>台まで低減することに成功した。開発した大気遮断プロセスを含む表面制御技術は、今後のデバイス開発における新規材料の導入に際し、反応し易い材料や表面制御が困難な材料を扱う上で極めて有用である。

## ☆三次元立体構造MOSトランジスタの創出

近年開発が進み一部実用化もされている三次元立体構造MOSトランジスタは、複数の面方位のシリコン表面を有する。高性能な三次元立体構造MOSトランジスタを実現するには、任意の面方位のシリコン表面を完全に制御し、任意の面方位のシリコン表面上に品質の良い絶縁膜形成することが必要不可欠であり、本研究で培われた表面制御技術やラジカル反応ベースのプロセス開発は三次元立体構造MOSトランジスタの創出に大きく貢献するものである。

2. 特別推進研究の研究成果が他の研究者により活用された状況

特別推進研究の研究成果が他の研究者に活用された状況について、次の(1)、(2)の項目ごとに具体的かつ明確に記述してください。

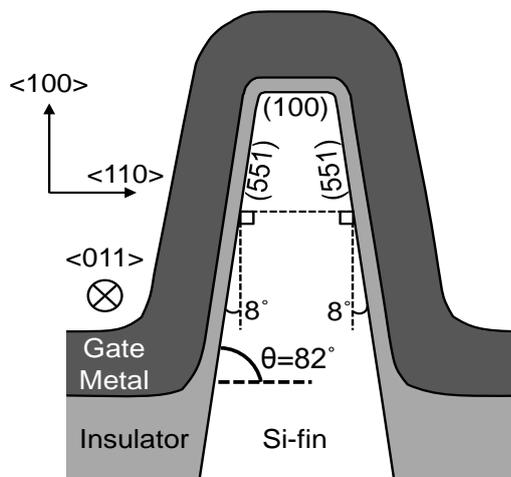
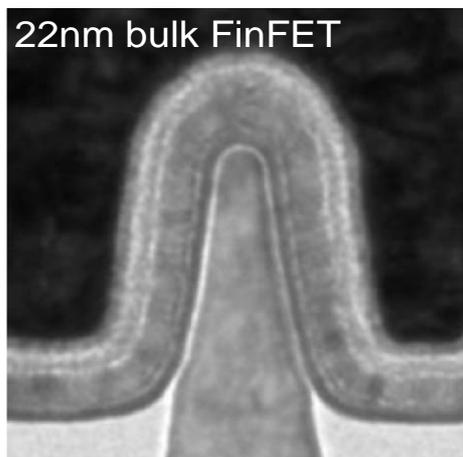
(1) 学界への貢献の状況（学術研究へのインパクト及び関連領域のその後の動向、関連領域への関わり等）

☆ラジカル反応ベースプラズマプロセス

本研究では、マイクロ波励起低電子温度プラズマ装置を用いて、ダメージを与えないプラズマプロセスを確立している。本プラズマプロセスは、プラズマ中で生成されるラジカル種の反応力で反応が進行するため、物性上や構造上の問題で高温工程に耐えられない材料の酸化や窒化等に応用可能である。特に、近年研究開発が盛んな高誘電率薄膜の形成、GaN等の化合物半導体基板上への薄膜形成、原子層堆積法への適用、など幅広く応用されており、新規材料を導入したデバイス開発の分野に貢献するものである。また、ダメージの小さいプラズマエッチング技術は三次元構造トランジスタのFinを形成する際に数多く用いられている。

☆任意の面方位のシリコン表面の活用

本研究では、従来のシリコン(100)面に替わり、シリコン(551)面上にCMOSを作製し、(100)面上のCMOSに比べて電流駆動能力が向上することを実証することで、シリコン集積回路の微細化に寄らない高性能化への指針を示した。シリコン(100)面以外の面方位のシリコン表面は極めて制御が困難であり、これらの面方位を活用するために、表面制御技術、プロセス雰囲気制御技術を開発した。任意の面方位のシリコン表面に対して、完全に制御された表面制御技術、雰囲気制御技術を駆使したウェットプロセス、薄膜形成プロセス、シリサイド形成プロセス、デバイス試作等の実験から得られた結果は、ベンチマーク的意義を有し、学術的にも産業的にも貢献するものである。近年では、三次元立体構造のMOSFETの開発が盛んであり、一例として図1に示すように、シリコン(100)基板を用いてFin状に形成されたシリコンは、表面は(100)面、側面は(100)面の垂直方向から8度傾いた(551)面があらわれており、(100)面と(551)面を組み合わせた高性能デバイスが実用化されている。



C. H. Jan et al. (Intel),  
IEDM, p.44, 2012.

図1 Fin-FETの断面図とシリコン面方位

## 2. 特別推進研究の研究成果が他の研究者により活用された状況（続き）

(2) 論文引用状況（上位10報程度を記述してください。）

## 【研究期間中に発表した論文】

No	論文名	日本語による簡潔な内容紹介	引用数
1	A. Teramoto et al., "Very High Carrier Mobility for High-Performance CMOS on a Si(110) Surface," <i>IEEE Transactions on Electron Devices</i> , VOL.54, NO.6, pp.1438-1445 (2007).	ラジカル酸化と5工程洗浄によりSi(110)表面を平坦化することにより、従来のSi(100)表面上に形成した場合に比べpMOSの電流駆動能力が3倍以上大きく、nMOSとpMOSが同じ寸法で同じ電流駆動能力を有し、nMOS、pMOSの1/fノイズが1桁低いMOSFETを実現した。	38
2	T. Ohmi et al., "Revolutional Progress of Silicon Technologies Exhibiting Very High Speed Performance Over a 50-GHz Clock Rate," <i>IEEE Transactions on Electron Devices</i> , VOL.54, NO.6, pp.1471-1477 (2007).	Si(551)表面上に、ラジカル窒化ゲート絶縁膜、原子オーダーで平坦なゲート絶縁膜とSi界面、ソース・ドレイン電極直列抵抗の2桁低減、蓄積型MOSトランジスタ、で構成される3次元立体構造MOSトランジスタを創出することにより、動作周波数が50GHzを超えるシリコン集積回路が実現可能であることをシミュレーションにより実証した。	30
3	W. Cheng et al., "Impact of Improved High-Performance Si(110)-Oriented Metal-Oxide-Semiconductor Field-Effect Transistors Using Accumulation-Mode Fully Depleted Silicon-on-Insulator Devices," <i>Japanese Journal of Applied Physics</i> Vol. 45, No. 4B, pp. 3110-3116 (2006).	Si(110)面上に蓄積型MOSFETを試作し、従来のSi(100)面上反転型MOSFETよりもnMOSで1.5倍、pMOSで3倍の電流駆動能力を実現した。	28
4	P. Gaubert et al., "1/f Noise Suppression of pMOSFETs Fabricated on Si(100) and Si(110) Using an Alkali-Free Cleaning Process," <i>IEEE Transactions on Electron Devices</i> , VOL.53, NO.4, pp.851-856 (2006).	Si表面粗れを抑制した5工程洗浄とラジカル酸化によりゲート絶縁膜を形成したpMOSFETをSi(100)表面とSi(110)表面上に試作した結果、従来のRCA洗浄と熱酸化によりゲート絶縁膜を形成したpMOSFETに比べ、Si(100)表面、Si(110)表面ともに1/fノイズが1桁以上低減されることを実証した。	26
5	A. Itoh et al., "Low-Dielectric-Constant Nonporous Fluorocarbon Films for Interlayer Dielectric," <i>Japanese Journal of Applied Physics</i> Vol. 47, No. 4, Issue 2 of 2, pp. 2515-2520 (2008).	2段シャワープレート構造のマイクロ波励起高密度プラズマ装置を用いることにより、原料ガスのC5F8が過剰解離することなく、誘電率2.0以下、低リーク電流、機械強度・密着性・耐熱性・表面平滑性の良好な低誘電率フロロカーボン膜の形成を実現した。	15
6	S. Watabe et al., "New Statistical Evaluation Method for the Variation of Metal-Oxide-Semiconductor Field Effect Transistors," <i>Japanese Journal of Applied Physics</i> Vol. 46, No. 4B, pp. 2054-2057 (2007).	MOSFETの電気的特性の統計的・局所的なばらつきを短時間で評価可能なテスト回路を開発し、約30000個のMOSFETを0.05秒で測定可能であることを実証するとともに、電気的特性の統計的なばらつきや局所的な異常を捉えた。	13
7	Takashi Aratani et al., "Angle-resolved photoelectron study on the structures of silicon nitride films and Si <sub>3</sub> N <sub>4</sub> /Si interfaces formed using nitrogen-hydrogen radicals," <i>Journal of Applied Physics</i> , Vol.104, No.11, pp.114112-1-8 (2008).	NHラジカルによりSi(100)、Si(111)、Si(110)面上に形成した窒化膜の構造とSi <sub>3</sub> N <sub>4</sub> /Si界面構造の違いを、光電子の脱出角80度と15度で測定し分離したSi 2p <sub>3/2</sub> 光電子スペクトルの差を用いて解明した。	11
8	M. Higuchi et al., "Subnitride and valence band offset at Si <sub>3</sub> N <sub>4</sub> /Si interface formed using nitrogen-hydrogen radicals," <i>Applied Physics Letters</i> 90 Number 12, 123114-1-123114-3, March 2007.	NHラジカルにより形成した窒化膜の構造、Si <sub>3</sub> N <sub>4</sub> /Si界面構造、価電子帯上端におけるバンド・オフセットの面方位依存性を解明した。	10
9	W. Cheng et al., "High Performance and highly reliable novel CMOS devices using accumulation mode multi-gate and fully depleted SOI MOSFETs," <i>Microelectronic Engineering</i> Vol.84/9-10, pp.2105-2108 (2007).	ラジカル酸化によりシリコン側壁面にも高品質なゲート酸化膜を有するマルチゲート構造の完全空乏型反転型MOSFETを試作した結果、側壁面の特性に起因するS値の劣化が抑えられ、電流駆動能力が向上するとともに、NBTIが抑制された。	8
10	T. Isogai et al., "Formation and Property of Yttrium and Yttrium Silicide Films as Low Schottky Barrier material for n-Type Silicon," <i>Japanese Journal of Applied Physics</i> Vol. 47, No. 4, Issue 2 of 2, pp. 3138-3141 (2008).	酸化されやすいYに対して、一切大気に曝さないY/n-Siコンタクト形成プロセスを確立し、電子に対して0.3eVと低いバリアハイトを実現した。	5

## 【研究期間終了後に発表した論文】

No	論文名	日本語による簡潔な内容紹介	引用数
1	R. Kuroda et al., "Atomically Flat Silicon Surface and Silicon/Insulator Interface Formation Technologies for (100) Surface Orientation Large-Diameter Wafers Introducing High Performance and Low-Noise Metal-Insulator-Silicon FETs," <i>IEEE Transactions on Electron Devices</i> , VOL.56, NO.2, pp.291-298 (2009).	1 原子ステップと原子スケールで完全に平坦なテラスから構成される原子オーダー平坦 Si(100)表面を実現し、原子オーダーで平坦なゲート絶縁膜/Si 界面を有する MOSFET を試作し、従来の凹凸界面の MOSFET と比較して、S 値の向上、1/f ノイズの一桁以上低減、ゲート絶縁膜の絶縁破壊耐性の向上、電気的特性のばらつき低減を実証した。	22
2	R. Kuroda et al., "Complementary Metal-Oxide-Silicon Field-Effect-Transistors Featuring Atomically Flat Gate Insulator Film/Silicon Interface," <i>Japanese Journal of Applied Physics</i> Vol. 48, No. 4, Issue 2 of 2, pp. 04C048-1-6 (2009).	ゲート絶縁膜/Si 界面を原子オーダーで平坦にすることにより、高電流駆動能力、高信頼性、低 1/f ノイズの CMOS を実現した。	12
3	P. Gaubert et al., "Relation Between the Mobility, 1/f Noise, and Channel Direction in MOSFETs Fabricated on (100) and (110) Silicon-Oriented Wafers," <i>IEEE Transactions on Electron Devices</i> , Vol.57, No.7, pp.1597-1607 (2010).	Si(100)表面と Si(110)表面上に MOSFET を試作し、キャリア移動度、1/f ノイズ、チャネルの結晶方向について、それらの関係を明らかにし、1/f ノイズの起源の解明を試みた。	7
4	K. Abe et al., "Anomalous Random Telegraph Signal Extractions from a Very Large Number of n-Metal Oxide Semiconductor Field-Effect Transistors Using Test Element Groups with 0.47 Hz-3.0 MHz Sampling Frequency," <i>Japanese Journal of Applied Physics</i> Vol. 48, No. 4, Issue 2 of 2, pp. 04C044-1-5 (2009).	高速でランダム・テレグラフ・シグナル (RTS) ノイズを検出するテスト回路を開発し、RTS ノイズの温度依存性、ドレイン電流依存性を評価した。さらに、異常な挙動を示す RTS ノイズが存在することを見出した。	7
5	S. Watabe et al., "Statistical Evaluation of Process Damage Using an Arrayed Test Pattern in a Large Number of MOSFETs," <i>IEEE Transactions on Electron Devices</i> , Vol.57, No.6, pp.1310-1318 (2010).	短時間で MOSFET の統計的な特性ばらつきを測定可能なテスト回路を開発し、100 万個以上の MOSFET のしきい値電圧や S 値のばらつきを 30 分で測定可能であることを実証した。また、プラズマプロセスが MOSFET の特性ばらつき与える影響を評価した。	6
6	T. Suwa et al., "Crystallographic orientation dependence of compositional transition and valence band offset at SiO <sub>2</sub> /Si interface formed using oxygen radicals," <i>Journal of Applied Physics Letters</i> , Vol.96, No.17, 173103 (2010).	ラジカル酸化により Si(100)、Si(111)、Si(110)、Si(551) 面上に形成した SiO <sub>2</sub> /Si 界面構造および価電子帯上端におけるバンド・オフセットの面方位依存性を解明した。	6
7	Y. Kumagai et al., "Large-Scale Test Circuits for High-Speed and Highly Accurate Evaluation of Variability and Noise in Metal-Oxide-Semiconductor Field-Effect Transistor Electrical Characteristics," <i>Japanese Journal of Applied Physics</i> , Vol.50, No.10, 106701 (2011).	MOSFET のドレイン電流、しきい値電圧、ランダム・テレグラフ・シグナルノイズ、ゲートリーク電流、PN 接合リーク電流を短時間で多数個測定可能な大規模テスト回路の設計指針を提案し、試作評価を行い、電気的特性の統計的ばらつき評価の有効性を実証した。	5
8	T. Isogai et al., "Impact of Tungsten Capping Layer on Yttrium Silicide for Low-Resistance n <sup>+</sup> -Source/Drain Contacts," <i>Japanese Journal of Applied Physics</i> Vol. 48, No. 4, Issue 2 of 2, pp. 04C046-1-5 (2009).	n <sup>+</sup> シリコン上に酸化され易い仕事関数の低い Y を積層後、タングステンをキャップ層として用いることにより、n <sup>+</sup> -Si や Y の酸化を抑制でき、良好なイットリウムシリサイドを実現した。	5
9	T. Suwa et al., "Chemical Structure of Interfacial Transition Layer Formed on Si(100) and Its Dependence on Oxidation Temperature, Annealing in Forming Gas, and Difference in Oxidizing Species," <i>Japanese Journal of Applied Physics</i> , Vol.52, 031302 (2013).	角度分解 Si 2p <sub>3/2</sub> 光電子スペクトルに新しく開発した解析手法を適用した結果、UV 励起ラマン分光で検出された酸化によりシリコン基板内に生じた応力の存在する位置などを原子スケールの深さ分解能で明らかにできた。	4
10	H. Tanaka et al., "Low Contact Resistivity with Low Silicide/p <sup>+</sup> -Silicon Schottky Barrier for High-Performance p-Channel Metal-Oxide-Silicon Field Effect Transistors," <i>Japanese Journal of Applied Physics</i> , Vol.49, No.4, Issue 2 of 2, 04DA03 (2010).	Pd <sub>2</sub> Si を用い、低抵抗率の Pd <sub>2</sub> Si/p-Si コンタクト形成プロセスを確立した。シリサイド化温度によって、結晶構造が変わる事を示し、これが電気的特性に影響する事を示した。また、これを pMOS 作製に適用し、良好なトランジスタ特性を得た。	4

### 3. その他、効果・効用等の評価に関する情報

次の(1)、(2)の項目ごとに、該当する内容について具体的かつ明確に記述してください。

#### (1) 研究成果の社会への還元状況（社会への還元の程度、内容、実用化の有無は問いません。）

##### 研究成果の発展性

現状のシリコン技術は、ゲート絶縁膜の薄膜化と素子寸法の微細化だけで進歩をし続けた。その現状のシリコン技術が完全に行き詰まり、LSIの性能向上は完全に停滞しており、結果として情報通信技術の進歩はこの数年完全に止まっている。1 nm程度まで薄くなされたゲート絶縁膜に、まさに膨大なリーク電流が流れてしまうからである。情報通信技術が進歩しないと、全世界の進歩も止まる。シリコン技術・半導体技術の責任はきわめて重い。

現状のシリコン技術の困難を克服するために開発し続けてきたマイクロ波励起高密度プラズマを用いたラジカル酸化技術・ラジカル窒化術は、ラジカルの反応力で反応が進行するため、任意の面方位のシリコン表面上に同じ酸化速度・窒化速度で文字通り超高品質の酸化膜( $\text{SiO}_2$ 膜)、窒化膜( $\text{Si}_3\text{N}_4$ )を形成できることを明らかにした。ラジカル酸化・ラジカル窒化の技術により、任意の面方位のシリコン表面上に3次元立体構造のトランジスタを駆使したLSI製造を可能にしたことになり、いよいよシリコン結晶の有する全性能を完全に駆使できる学問に基づいた本物のシリコン技術の時代・シリコンLSIの時代がこれから始まると言える。

##### 研究成果の社会への発信

本研究成果は、学術論文、国際学会発表にて公表するとともに、半導体産業に関連する展示会等においても広く公表している。世界最大級の半導体製造装置・材料の総合展示会であるセミコンジャパンでは、得られた研究成果・知見を世界へ発信し続けており、シリコンLSIに限らず、半導体関連デバイスやその製造に関わるあらゆる製品・技術に本研究成果が活かされる可能性は極めて高い。

##### 若手大学院生の教育による社会への貢献

本研究に携わった企業の研究者、技術者、ならびに大学院学生、学部学生はこの研究課題を通じて大きく成長し、分野を問わずそこで学んだ考え方や手法を活かして活躍している。これは大きい社会への還元であり、大学の最も基本的な使命である。

### 3. その他、効果・効用等の評価に関する情報（続き）

(2) 研究計画に関与した若手研究者の成長の状況（助教やポスドク等の研究終了後の動向を記述してください。）

本研究は、代表者・分担者の指導のもと、多くの大学院生によって実質的に進められてきた。本研究を達成させるために、要素課題を研究テーマとして、それぞれが精力的、献身的に貢献し、研究に努めてきた。それぞれが研究テーマを完遂したことが、本研究が成功した最も大きな要因であり、本研究を通じて大学院生と一体となって研究を継続してきたことが、次世代を担う人材育成に貢献できたと考えている。本研究に関わる研究テーマにより、2名が修士学位を授与、6名が博士学位を授与し、半導体関連分野にて活躍している。