

平成 22 年 5 月 28 日現在

研究種目：特別推進研究
 研究期間：2006～2008
 課題番号：18002004
 研究課題名（和文）超高速・超低消費電力バランスド CMOS システム LSI の研究
 研究課題名（英文）Balanced Full CMOS LSI for Ultra High Performance and Ultra Low Power Consumption

研究代表者
 大見 忠弘 (Ohmi Tadahiro)
 東北大学・未来科学技術共同研究センター・教授
 研究者番号：20016463

研究成果の概要：①(551)面 SOI 基板上にチャネルの方向を pMOSFET は<110>方向に nMOSFET は<110>方向に作製し n-MOSFET と p-MOSFET の寸法を一致させたバランスド CMOS 構成、②Accumulation 型の MOSFET、③Si 表面の原子オーダーの平坦化、④ラジカル反応を用いたあらゆる面方位に高品質な SiO₂/Si₃N₄ の形成、⑤ソース・ドレイン電極の直列抵抗を 2 桁低減、これらの開発成果により超高速・超低消費電力バランスド CMOS を実現した。

交付額

(金額単位：円)

	直接経費	間接経費	合計
2006年度	209,300,000	62,790,000	272,090,000
2007年度	142,000,000	42,600,000	184,600,000
2008年度	83,200,000	24,960,000	108,160,000
年度			
年度			
総計	434,500,000	130,350,000	564,850,000

研究分野：工学

科研費の分科・細目：電気電子工学・電子デバイス・電子機器

キーワード：LSI、MOSFET、半導体製造プロセス

1. 研究開始当初の背景

21 世紀のエレクトロニクス情報通信分野の主流となる情報家電技術は、超小型で超高性能かつ超低消費電力動作を可能にするデジタル・アナログ・RF（高周波）混載のシステム LSI を要求している。しかし、現状の半導体技術ではデジタル回路部は CMOS で構成し、アナログ・RF 回路部はバイポーラ（Bipolar）で構成する BiCMOS 構造とせざるを得ないため、性能が殆どまったく向上しない。さらに、現状の半導体技術では Si (100)

面にしか集積回路が作成できないため、p-MOSFET の電流駆動能力が n-MOSFET の 1/3 程度にしかならず、n-MOSFET に比べて 3 倍程度チャネル幅（寸法）の大きい p-MOSFET と n-MOSFET を組み合わせた現状の CMOS の動作速度は低く抑えられていると同時に、p-MOSFET の寸法が n-MOSFET の 3 倍程度となるアンバランスな構造のため、スイッチング動作時のオフセット雑音が大きくアナログ動作のダイナミックレンジが狭い範囲に限定される等、10GHz を超える超高速動作は

まったく不可能である。

2. 研究の目的

本研究の目的は現状のシリコン CMOS LSI の欠点を全て克服するために 10GHz を超える周波数まで動作するシリコンバランスドフル CMOS デジタル・アナログ・RF 混載システム LSI を創出することにある。従来まったく不可能であった直接窒化 Si_3N_4 ゲート絶縁膜と (110)面<110>方向 p-MOSFET を導入することにより動作速度・動作周波数を略々1桁向上させると共に、n-MOSFET と p-MOSFET の寸法を一致させたバランスド CMOS 構成を新たに導入することによりアナログ動作のダイナミックレンジとデジタル回路の面積低減と動作速度を劇的に向上させる。

3. 研究の方法

本研究で開発する現状のシリコン LSI の欠点を克服するために必要な新技術 (1)~(5) を示す。

(1) ゲート絶縁膜のラジカル窒化膜 (Si_3N_4) の導入

① Si 基板にダメージや汚染を全く与えないプラズマ装置を用いたラジカル窒化プロセスの開発

(2) (551)面 SOI 基板の導入

① (551) Si 表面を粗れさせない洗浄技術の開発

(3) ゲート絶縁膜/Si 界面の原子オーダー平坦化

① 超高純度 Ar 雰囲気 1100°C の熱処理による Si 表面の原子オーダー平坦化技術の開発

② ゲート絶縁膜/Si 界面の原子オーダー平坦性を維持した絶縁膜形成プロセスの開発

(4) ソース・ドレイン電極の直列抵抗を2桁低減

① n+領域、p+領域にそれぞれ最適な仕事関数の金属材料の選定

② 上記金属を用いたシリサイドプロセスの開発

(5) Accumulation Mode MOS トランジスタの導入

① SOI 層の厚さおよび濃度等について構造最適化をシミュレーションにより実施

② 実デバイスにより有効性を検証

(6) 開発する上記新技術を導入した CMOS 回路のシミュレーションを実施しその有効性を検証する。

(7) 開発された上記新技術を導入した CMOS を作製し、その性能を検証する

4. 研究成果

(1) 4入力 NOR 回路を10段接続し、信号伝播の応答性能についてシミュレーションによる評価を行った。45nm 世代において、従来

技術では 10GHz の動作クロックにおいても信号が全く応答しないのに対し、本研究における開発技術を導入した MOSFET では 50GHz の動作クロックでも十分な応答性能が得られることが明らかとなった。

(2) マイクロ波励起超高密度ダメージフリー-Xe/ NH_3 プラズマを用いたラジカル窒化により形成した Si_3N_4 膜は、従来の熱酸化膜に比べてリーク電流の 1/1000 低減、寿命の 30000 倍向上を実現した。また、この Si_3N_4 膜の界面遷移層を形成する中間窒化状態は Si (110) 面が最も少ないことを明らかにした。(図 1)

(3) 窒素雰囲気中で光を遮断することにより、アルカリ水溶液中でも Si (100) 表面は粗れ難いことを明らかにした。(図 1)

(4) 窒素雰囲気中で光を遮断したアルカリ水溶液中において、Si (110) 表面は粗れ易いものに対し、Si (551) 表面は極めて安定であり表面粗れがほとんど進行しないことを明らかにした。

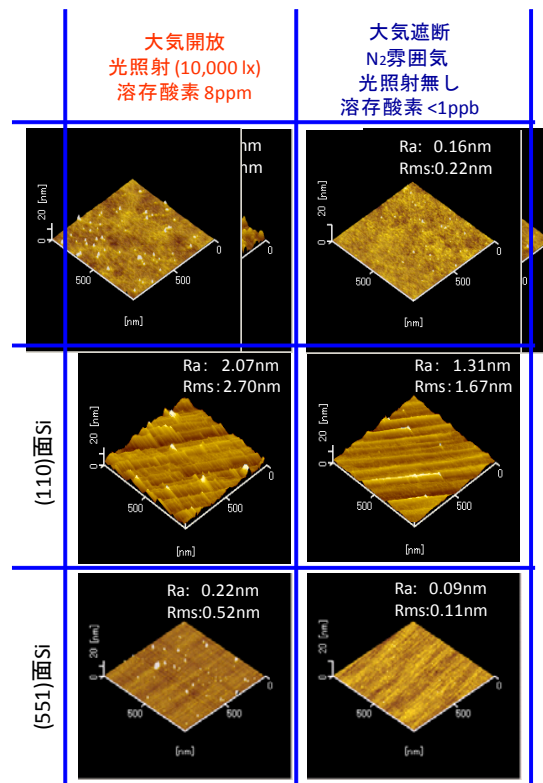


図 1 0.3% NH_4OH 溶液に室温で 10 分間、各面方位のシリコン基板を浸漬した後の表面状態

(5) 従来の Inversion Mode MOS トランジスタと比べ、Accumulation Mode MOS トランジスタでは電流駆動能力が向上すると共に 1/f 雑音が 1 桁低減することを実証した。

(6) (551)面 SOI 基板の上に Accumulation Mode MOS トランジスタを用いて、チャネル方向を pMOS は<110>方向、nMOS は<100>方向に作製した CMOS により高電流駆動能力を有し、かつ寸法が完全に一致したバランスド CMOS を

実現した。(図2)

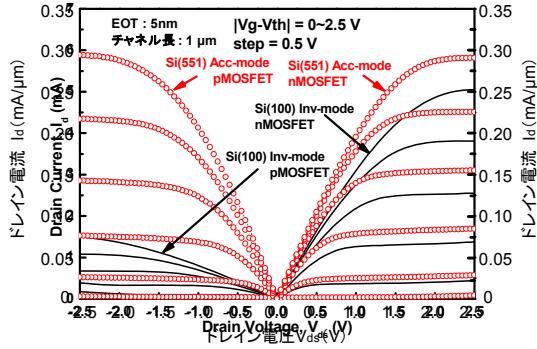


図2 (100)面 Inversion Mode と(551)面 Accumulation Mode の nMOS、pMOS の電流電圧特性 (I_d-V_{ds})

(7) 1ppm以下に制御された超高純度 Ar 雰囲気中 1100°Cの熱処理により、Si(100)表面が1原子層(0.135nm)のステップと原子スケールで完全に平坦なテラスから構成される原子オーダー平坦表面を実現した。(図3)

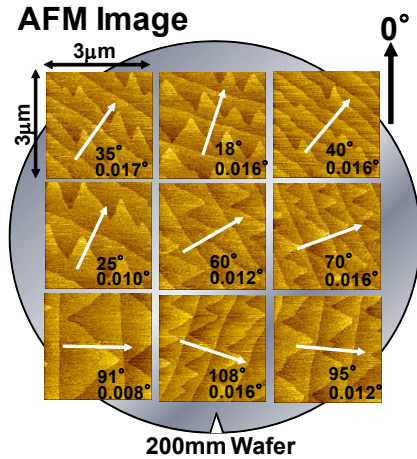


図3 原子オーダーで平坦化された200mmウェハ全表面

(8) (7)の原子オーダー平坦表面を従来の熱酸化により酸化膜を形成すると酸化膜/Si界面は凸凹になるのに対し、ラジカル酸化により形成した酸化膜/Si界面は原子オーダー平坦性を維持可能であることを見出した。(図4)

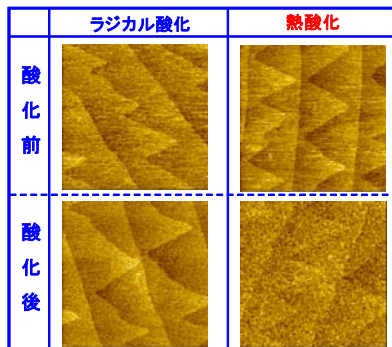
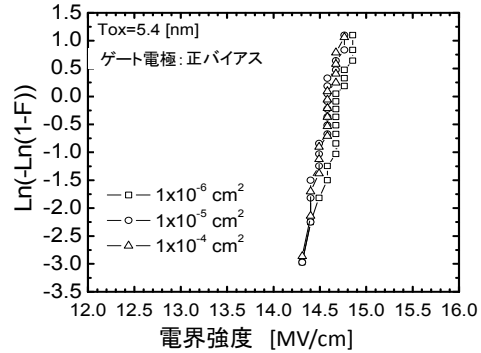
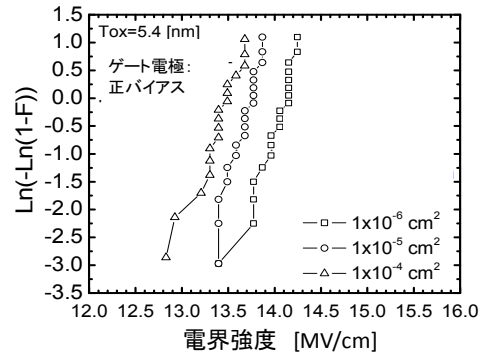


図4 原子オーダー平坦性が維持されたラジカル酸化膜/Si界面

(9) ラジカル酸化により形成された原子オーダーで平坦な SiO_2/Si 界面を有する MOS トランジスタは、従来の SiO_2/Si 界面を有する MOS トランジスタと比較し、ゲート絶縁膜の破壊電界強度が向上するとともにそのばらつきが抑制されることを明らかにした。(図5) さらに、sub threshold swing factor の向上とばらつきの低減も確認された。



(1)原子オーダー平坦表面のラジカル酸化膜



(2)従来平坦表面($R_a=0.14\text{nm}$)の熱酸化膜

図5 ラジカル酸化と熱酸化の酸化前シリコン基板表面状態依存性: $T_{ox}=5.4\text{nm}$ の MOS ダイオードの絶縁破壊特性のダイオード面積依存性

(10) n+領域には W/ErSi_2 、p+領域には Pd_2Si をシリサイドすることによりソース・ドレインの直列抵抗を $10^{-10}\Omega\text{cm}^2$ 台まで低減することに成功した。

(11) 以上の開発した新技術を導入した CMOS を用いてリングオシレータ回路を作製しゲート遅延を評価した結果、ゲート長 220nm、ゲート絶縁膜厚 3nm のデバイスサイズにおいてゲート遅延 35ps を実現した。

5. 主な発表論文等

(研究代表者、研究分担者及び連携研究者には下線)

[雑誌論文] (計 14 件)

- ① R. Kuroda, A. Teramoto, T. Komori, S. Sugawa, and T. Ohmi, "Characterization for High-Performance CMOS Using In-Water Advanced Kelvin-Contact

- Device Structure”, IEEE TRANSACTIONS ON SEMICONDUCTOR MANUFACTURING, Vol. 22, No. 1, pp. 126-133, February 2009 査読有り
- ② R. Kuroda, T. Suwa, A. Teramoto, R. Hasebe, S. Sugawa, and T. Ohmi, “Atomically Flat Silicon Surface and Silicon/Insulator Interface Formation Technologies for (100) Surface Orientation Large-Diameter Wafers Introducing High Performance and Low-Noise Metal-Insulator-Silicon FETs”, IEEE TRANSACTIONS ON ELECTRON DEVICES, VOL. 56, NO. 2, pp. 291-298, February 2009. 査読有り
- ③ P. Gaubert, A. Teramoto, W. Cheng, T. Hamada, and T. Ohmi, “Different mechanism to explain the $1/f$ noise in n - and p -SOI-MOS transistors fabricated on (110) and (100) silicon-oriented wafers” Journal of Vacuum Science & Technology B, Vol. 27, No. 1, pp. 394-401, January/February 2009. 査読有り
- ④ R. Hasebe, A. Teramoto, R. Kuroda, T. Suwa, S. Sugawa, and T. Ohmi, “Three-Step Room-Temperature Cleaning of Bare Silicon Surface for Radical-Reaction-Based Semiconductor Manufacturing”, Journal of Electrochemical Society, Vol. 156 No. 1, pp. H10- H17, January 2009. 査読有り
- ⑤ T. Aratani, M. Higuchi, S. Sugawa, E. Ikenaga, J. Ushio, H. Nohira, T. Suwa, A. Teramoto, T. Ohmi, and T. Hattori “Angle-resolved photoelectron study on the structures of silicon nitride films and $\text{Si}_3\text{N}_4/\text{Si}$ interfaces formed using nitrogen-hydrogen radicals”, JOURNAL OF APPLIED PHYSICS, Vol. 104, No. 11, pp. 114112-1-8, December 2008. 査読有り
- ⑥ T. ISOGAI, H. TANAKA, T. GOTO, A. TERAMOTO, S. SUGAWA, and T. OHMI, “Formation and Property of Yttrium and Yttrium Silicide Films as Low Schottcky Barrier material for n-Type Silicon” Japanese Journal of Applied Physics Vol. 47, No. 4, Issue 2 of 2, pp. 3138-3141, April 2008. 査読有り
- ⑦ R. KURODA, A. TERAMOTO, S. SUGAWA, and T. OHMI, “Performance Comparison of Ultrathin Fully Depleted Silicon-on-Insulator Inversion-, Intrinsic-, and Accumulation-Mode Metal - Oxide - Semiconductor Field-Effect Transistors” Japanese Journal of Applied Physics Vol. 47, No. 4, Issue 2 of 2, pp. 2668-2671, April 2008. 査読有り
- ⑧ W. Cheng, A. Teramoto and T. Ohmi, “Performance Boost Using a New Device Structure Design for SOI MOSFETs Beyond 25nm Node”, Electrochemical Society Transactions Vol. 11 No. 6 ULSI Process Integration 5, pp. 349-354, October 2007. 査読有り
- ⑨ W. Cheng, A. Teramoto, R. Kuroda, M. Hirayama and T. Ohmi, “High Performance and highly reliable novel CMOS devices using accumulation mode multi-gate and fully depleted SOI MOSFETs”, Microelectronic Engineering Vol. 84/9-10, pp. 2105-2108, September-October 2007 査読有り
- ⑩ T. Ohmi, A. Teramoto, R. Kuroda, and N. Miyamoto, “Revolutional Progress of Silicon Technologies Exhibiting Very High Speed Performance Over a 50-GHz Clock Rate”, IEEE TRANSACTIONS ON ELECTRON DEVICES, VOL. 54, NO. 6, pp. 1471-1477, June 2007. 査読有り
- ⑪ A. Teramoto, T. Hamada, M. Yamamoto, P. Gaubert, H. Akahori, K. Nii, M. Hirayama, K. Arima, K. Endo, S. Sugawa, and T. Ohmi, “Very High Carrier Mobility for High-Performance CMOS on a Si(110) Surface”, IEEE TRANSACTIONS ON ELECTRON DEVICES, VOL. 54, NO. 6, pp. 1438-1445, June 2007. 査読有り
- ⑫ R. Kuroda, A. Teramoto, W. Cheng, S. Sugawa and T. Ohmi, “Hot Carrier Instability Mechanism in Accumulation-Mode Normally-off SOI nMOSFETs and Their Reliability Advantage”, ECS Transactions Vol. 6 No. 4 Silicon-on-Insulator Technology and Devices 13, pp. 113-118, May 2007. 査読有り
- ⑬ W. Cheng, A. Teramoto, C. Tye, P. Gaubert, M. Hirayama, S. Sugawa and T. Ohmi, “Impact of Improved Mobilities and Suppressed $1/f$ Noise in Fully Depleted SOI MOSFETs Fabricated on Si(110) Surface”, ECS Transactions Vol. 6 No. 4 Silicon-on-Insulator Technology and Devices 13, pp. 101-106, May 2007. 査読有り
- ⑭ M. HIGUCHI, T. ARATANI, T. HAMADA, S. SHINAGAWA, H. NOHIRA, E. IKENAGA, A. TERAMOTO, T. HATTORI, S. SUGAWA and T. OHMI, “Electric Characteristics of Si_3N_4 Films Formed by Directly Radical Nitridation on Si(110) and Si(100) Surfaces” Japanese Journal of Applied Physics, Vol. 46, No. 4B, pp. 1895-1898,

April 2007. 査読有り

[学会発表] (計 18 件)

- ① W. Cheng, A. Teramoto and T. Ohmi, “Improved High Temperature Characteristics in Accumulation-mode Fully Depleted SOI MOSFETs on Si(100) and (110) Surfaces”, PACIFIC RIM MEETING ON ELECTROCHEMICAL AND SOLID-STATE SCIENCE (PRIME2008) The Electrochemical Society, Meeting Abstracts, Abs.1868, October 14, 2008, Honolulu, Hawaii, USA
- ② P. Gaubert, A. Teramoto and T. Ohmi, “Hole mobility in Si(110) p-MOS transistors”, PACIFIC RIM MEETING ON ELECTROCHEMICAL AND SOLID-STATE SCIENCE (PRIME2008) The Electrochemical Society, Meeting Abstracts, Abs.1840, October 13, 2008, Honolulu, Hawaii, USA
- ③ R. Kuroda, A. Teramoto, T. Suwa, R. Hasebe, X. Li, M. Konda, S. Sugawa, and T. Ohmi, “Atomically Flat Gate Insulator/Silicon (100) Interface Formation Introducing High Mobility, Ultra-low Noise, and Small Characteristics Variation CMOSFET” 38th European Solid-State Device Research Conference (ESSDERC 2008), pp. 83-86, September 16, 2008, Edinburgh, SCOTLAND
- ④ W. Cheng, A. Teramoto, C. F. Tye, R. Kuroda, S. Sugawa and T. Ohmi, “A Study on Very High Performance Novel Balanced FD-SOI CMOSFETs on Si(110) Using Accumulation Mode Device Structure for RF Analog Circuits”, Extended Abstracts of the 2008 International Conference on SOLID STATE DEVICES AND MATERIALS, pp. 876-877, September 26, 2008, Tsukuba, JAPAN
- ⑤ R. Kuroda, A. Teramoto, T. Suwa, Y. Nakao, S. Sugawa and T. Ohmi, “CMOSFET Featuring Atomically Flat Gate Insulator Film/Silicon Interface on (100) Orientation Surface”, Extended Abstracts of the 2008 International Conference on SOLID STATE DEVICES AND MATERIALS, pp. 706-707, September 26, 2008, Tsukuba, JAPAN
- ⑥ T. Isogai, H. Tanaka, T. Goto, A. Teramoto, S. Sugawa and T. Ohmi, “Impact of Tungsten Capping Layer on Yttrium Silicide for Low Resistance Source/Drain Contacts”, Extended Abstracts of the 2008 International Conference on SOLID STATE DEVICES AND MATERIALS, pp. 446-447, September 25, 2008, Tsukuba, JAPAN
- ⑦ W. Cheng, A. Teramoto, R. Kuroda, C. F. Tye, S. Watabe, S. Sugawa, T. Ohmi, “Impact of Performance and Reliability Boosters in Novel FD-SOI CMOS Devices on Si(110) Surface for Analog Applications”, 29th International Conference on the Physics of Semiconductors (ICPS 2008), pp. 602-603, July 31, 2008, Rio de Janeiro, BRAZIL
- ⑧ W. Cheng, A. Teramoto and T. Ohmi, “A New Approach to Realize High Performance RF Power FETs on Si (110) Surface”, 39th IEEE Annual Power Electronics Specialists Conference, pp. 613, June 18, 2008, Rhodes, GREECE
- ⑨ W. Cheng, A. Teramoto and T. Ohmi, “Impact of New Approach to Improve RF Power FETs Performance on Si (110) Surface”, 213th Meeting of The Electrochemical Society, No. 659, May 20, 2008, Phoenix, AZ, USA
- ⑩ R. Kuroda, A. Teramoto, T. Komuro, W. Cheng, S. Watabe, C. F. Tye, S. Sugawa and T. Ohmi, “Characterization of MOSFETs Intrinsic Performance using In-Wafer Advanced Kelvin-Contact Device Structure for High Performance CMOS LSIs”, 2008 IEEE International Conference on Microelectronic Test Structures, pp. 155-159, March 26, 2008, Edinburgh, SCOTLAND
- ⑪ T. Ohmi, “Revolutional Progress of Silicon Technologies Revolutional Progress of Device Performance and Manufacturing Technologies”, The 7th Japan-Taiwan Microelectronics International Symposium, pp. 5-20, October 24, 2007, Tokyo, JAPAN
- ⑫ R. Kuroda, A. Teramoto, C. Weitao, S. Sugawa and T. Ohmi, “Modeling and Implementation of Subthreshold Characteristics of Accumulation-Mode MOSFETs for Various SOI Layer Thickness and Impurity Concentrations”, 2007 IEEE International SOI Conference, pp. 55-56, October 2, 2007, Indian Wells, CA., USA
- ⑬ W. Cheng, A. Teramoto and T. Ohmi, “Performance Boost Using a New Device Structure Design for SOI MOSFETs Beyond 25nm Node”, 212th Meeting of The Electrochemical Society, No. 1309, October 10, 2007, Washington D. C. USA
- ⑭ R. Kuroda, A. Teramoto, S. Sugawa and T.

- Ohmi, "Performance Comparison of Ultra-thin FD-SOI Inversion-, Intrinsic-and Accumulation- Mode MOSFETs", Extended Abstracts of the 2007 International Conference on SOLID STATE DEVICES and MATERIALS, pp. 412-413, September 20, 2007, Tsukuba, JAPAN
- ⑮ T. Isogai, H. Tanaka, T. Goto, A. Teramoto, S. Sugawa and T. Ohmi, "Low Contract Resistance with Low Schottky Barrier for N-Type Silicon Using Yttrium Silicide", Extended Abstracts of the 2007 International Conference on SOLID STATE DEVICES and MATERIALS, pp. 206-207, September 19, 2007, Tsukuba, JAPAN
- ⑯ W. Cheng, A. Teramoto, R. Kuroda, M. Hirayama and T. Ohmi, "High Performance and highly reliable novel CMOS devices using accumulation mode multi-gate and fully depleted SOI MOSFETs", Infos2007 Proceedings of the 15th Biennial Conference on Insulating Films on Semiconductors, pp. 2105-2108, June 20, 2007, Athena, GREECE
- ⑰ R. Kuroda, A. Teramoto, W. Cheng, S. Sugawa and T. Ohmi, "Hot Carrier Instability Mechanism in Accumulation-Mode Normally-off SOI nMOSFETs and Their Reliability Advantage", 211th Meeting of The Electrochemical Society, No. 719, May 8, 2007, Chicago, USA
- ⑱ W. Cheng, A. Teramoto, C. Tye, P. Gaubert, M. Hirayama, S. Sugawa and T. Ohmi, "Impact of Improved Mobilities and Suppressed 1/f Noise in Fully Depleted SOI MOSFETs Fabricated on Si(110) Surface", 211th Meeting of The Electrochemical Society, No. 717, May 8, 2007, Chicago, USA

[図書] (計 1 件)

- ① A. Teramoto and T. Ohmi, "High Current Drivability MOSFET Fabricated on Si (110) Surface", SPRINGER SERIES IN ADVANCED MICROELECTRONICS, Vol. 27, Advanced Gate Stacks for High-Mobility Semiconductors, pp. 21-41, December 2007.

[産業財産権]

○出願状況 (計 4 件)

- ① 名称: コンタクト形成方法、半導体装置の製造方法および半導体装置
 発明者: 大見忠弘,
 権利者: 国立大学法人東北大学,

(財)国際科学振興財団

- 種類: 特願
 番号: 2008-129692
 出願年月日: 2008年5月16日
 国内外の別: 国内
- ② 名称: 半三次元構造半導体装置
 発明者: 大見忠弘, 寺本章伸
 権利者: 国立大学法人東北大学,
 (財)国際科学振興財団
 種類: 特願
 番号: 2007-088444
 出願年月日: 2008年3月29日
 国内外の別: 国内
- ③ 名称: 半導体装置およびその製造方法
 発明者: 大見忠弘, 寺本章伸
 権利者: 国立大学法人東北大学,
 東京エレクトロン (株)
 種類: 特願
 番号: 2007-283659
 出願年月日: 2007年10月31日
 国内外の別: 国内
- ④ 名称: 半導体基板および半導体装置
 発明者: 大見忠弘, 寺本章伸, 諏訪智之,
 黒田理人, 工藤秀雄, 速水善範
 権利者: 国立大学法人東北大学,
 信越半導体 (株)
 種類: 特願
 番号: 2007-261096
 出願年月日: 2007年10月4日
 国内外の別: 国内

6. 研究組織

(1) 研究代表者

大見 忠弘 (Ohmi Tadahiro)
 東北大学・未来科学技術共同研究センター・教授
 研究者番号: 20016463

(2) 研究分担者

白井 泰雪 (Shirai Yasuyuki)
 東北大学・未来科学技術共同研究センター・准教授
 研究者番号: 70375187

北野 真史 (Kitano Masafumi)
 東北大学・未来科学技術共同研究センター・准教授
 研究者番号: 60420048

寺本 章伸 (Teramoto Akinobu)
 東北大学・未来科学技術共同研究センター・准教授
 研究者番号: 80359554