

研究種目：特定領域研究
 研究期間：2006～2009
 課題番号：18063001
 研究課題名（和文） IV族系量子デバイス製作のための原子層制御プラズマプロセスの構築
 研究課題名（英文） Development of Atomically Controlled Plasma Processing for Group IV Semiconductor Quantum-Effect Device Fabrication
 研究代表者
 櫻庭 政夫（SAKURABA MASAO）
 東北大学・電気通信研究所・准教授
 研究者番号：30271993

研究分野：半導体工学

科研費の分科・細目：

キーワード：量子ヘテロ構造、プラズマ、エピタキシャル成長、原子層制御、IV族半導体

1. 研究計画の概要

大規模集積回路に搭載可能な室温動作IV族系量子デバイスの実現のためには、ナノメートルオーダー寸法の高 Ge 比率IV族系ヘテロ構造・界面形成を原子精度で制御する技術が重要である。このことから、本研究では、ECRプラズマ CVD 法によりIV族系ナノメートルオーダー薄膜形成やドーピングを原子層制御する技術の確立を目指して、低エネルギー ECR プラズマ照射下での表面反応を制御し、表面及びヘテロ界面が原子レベルで平坦かつ急峻に制御された原子層制御プラズマプロセスを構築する。同時にIV族系量子デバイス製作と特性評価を行い、室温での量子効果特性の制御と高性能化のための指針を得るとともに、バルク状態とは異なるナノメートルオーダー構造特有の電子・光物性を探索し、IV族系半導体ナノエレクトロニクスの継続的発展に資することを目指す。

2. 研究の進捗状況

(1) 原子層制御プラズマプロセス構築とIV族系量子ナノ構造の電子・光物性評価

- ① ECR Ar プラズマ照射下における原子層オーダープラズマ窒化 Si(100)上の SiH₄ 表面反応において、初期 N 原子面密度 $7.6 \times 10^{14} \text{ cm}^{-2}$ 以下の場合には、基板非加熱下で Si がエピタキシャル成長することを明らかにし、初期 N 原子の約 70%が薄膜/基板界面近傍の 2 nm 厚さの極薄領域に閉じ込められた原子層 N ドープ Si 薄膜形成を実現した。
- ② ECR Ar プラズマ照射下における Si(100)上での B₂H₆ 及び SiH₄ 表面反応により、1 原子層 ($6.8 \times 10^{14} \text{ cm}^{-2}$) 近傍の範囲での B

原子層形成制御と Si 薄膜エピタキシャル成長を基板非加熱下で実現するとともに、Si 薄膜/基板界面近傍の厚さ 1 nm 程度の極薄領域に B 原子が閉じ込められ、ピーク B 濃度が 10^{21} cm^{-3} をはるかに超える高濃度 B 原子層ドーピングを実現した。また、B 原子層ドーピングの高濃度化のためには、低エネルギープラズマプロセスが有効であることを示した。

- ③ ECR Ar プラズマ照射下での SiH₄ 表面反応により、基板非加熱下で歪緩和 Ge(100)上における高平坦歪 Si エピタキシャル成長を可能にした。特に、歪 Si 膜厚 1.7 nm において、格子定数差 4%程度の引張り歪導入を実現した。さらに、上記高度歪 Si/歪緩和 Ge(100)基板上に形成した熱 CVD B ドープ Si エピタキシャル薄膜中には、2%程度の高度歪を導入でき、室温ホール移動度が無歪 Si に比べて約 3 倍にまで増大することを明らかにした。

(2) 原子層制御IV族系量子ナノ構造における共鳴トンネル特性の評価

- ① 歪 Si_{1-x}Ge_x/Si ヘテロ構造を適用した二重 Si 障壁共鳴トンネルダイオードの製作について研究を進め、Si 障壁層近傍のみ Ge 比率を高くする変調スペーサ構造の導入と界面ラフネス発生を抑制した高 Ge 比率化の推進が、特性再現性確保と負性抵抗消失温度の高温化に有効であることを見いだした。
- ② 高 Ge 比率ヘテロ界面平坦性の確保のためには、歪 Si_{1-x}Ge_x上への Si 障壁層形成時の低温 SiH₄ 処理が有効であることを明らかにし、試作した Ge 比率 0.58 のダイオードにおいて、室温付近での負性コン

ダクタンス特性発現を実現した。

3. 現在までの達成度

②おおむね順調に進展している。
(理由)

予定していた各研究課題に関して順調に実験結果が得られ、学術雑誌論文や国際会議において多くの成果発表を行うことができた。さらに、それらの成果をベースにして最終年度実施予定の各研究課題に取り組むことにより、当初目標の達成が期待できる。

4. 今後の研究の推進方策

室温動作IV族系量子デバイスの実現のためには、高度歪 $\text{Si}_{1-x}\text{Ge}_x/\text{Si}$ ヘテロ構造の高品位形成技術と原子層ドーピング制御が重要になることから、IV族系量子デバイス製作のための原子層制御プラズマプロセスの構築を目指し、以下について研究を推進する。

- (1) プラズマプロセスによる高度歪 Ge 及び Si のエピタキシャル成長の高品質化と原子層ドーピング制御について研究を進め、界面組成急峻性や不純物の電氣的活性度の向上を図る。
- (2) 原子層制御プラズマプロセスを駆使して形成したIV族系量子ヘテロ構造の電子・光物性を評価分析し、界面組成分布やラフネスなどが電荷輸送特性等に与える影響を調べ、バルク状態とは異なる電子・光物性を探索する。
- (3) 低エネルギープラズマプロセスを駆使して形成したIV族系ヘテロ構造の適用に加えて、絶縁膜障壁並びに量子ドット構造を適用して共鳴トンネルダイオード製作し、室温量子効果特性の向上を図る。

5. 代表的な研究成果

[雑誌論文] (計6件)

- ① T. Seo, K. Takahashi, M. Sakuraba and J. Murota, "Improvement in Negative Differential Conductance Characteristics of Hole Resonant Tunneling Diodes with High Ge Fraction Si/Strained $\text{Si}_{1-x}\text{Ge}_x/\text{Si}(100)$ Heterostructure", *Solid State Electron.*, (2009, accepted), doi:10.1016/j.sse.2009.04.016, 査読有。
- ② M. Sakuraba, D. Muto, M. Mori, K. Sugawara and J. Murota, "Very Low-Temperature Epitaxial Growth of Silicon and Germanium Using Plasma-Assisted CVD", *Thin Solid Films*, Vol.517, pp.10-13, (2008), 査読有。
- ③ T. Seo, M. Sakuraba and J. Murota, "Impact of Ge Fraction Modulation

upon Electrical Characteristics of Hole Resonant Tunneling Diodes with Si/Strained $\text{Si}_{1-x}\text{Ge}_x/\text{Si}(100)$ Heterostructure", *Thin Solid Films*, Vol.517, pp.110-112, (2008), 査読有。

- ④ K. Sugawara, M. Sakuraba and J. Murota, "Epitaxial Growth of Highly Strained Si on Relaxed Ge/Si(100) Using ECR Plasma CVD without Substrate Heating", *Semicond. Sci. Technol.*, Vol.22, No.1, pp.S42-S45, (2007), 査読有。

[学会発表] (計17件)

- ① T. Nosaka, M. Sakuraba and J. Murota, "Heavily B Atomic-Layer Doping in Si Epitaxial Growth Using Electron-Cyclotron-Resonance Plasma", Symp. Z: "Material Science and Process Technologies for Advanced Nano-Electronic Devices", Int. Union of Mat. Res. Soc. - Int. Conf. in Asia 2008 (IUMRS-ICA 2008), Dec. 9-13, 2008, Nagoya, Japan, No.ZO-5.
- ② K. Sugawara, M. Sakuraba and J. Murota, "Epitaxial Growth of Highly Strained B Doped Si on Relaxed Ge/Si(100)", Symp. Z: "Material Science and Process Technologies for Advanced Nano-Electronic Devices", Int. Union of Mat. Res. Soc. - Int. Conf. in Asia 2008 (IUMRS-ICA 2008), Dec. 9-13, 2008, Nagoya, Japan, No. ZP-9.
- ③ M. Sakuraba, R. Ito, T. Seo, and J. Murota, "Fabrication of Hole Resonant Tunneling Diodes with Nanometer Order Heterostructures of Si/Strained $\text{Si}_{1-x}\text{Ge}_x$ Epitaxially Grown on Si(100)" (**Invited Paper**), Symp. E9: ULSI Process Integration 5 (212th Meeting of the Electrochem. Soc.), Oct. 7-12, 2007, Washington, DC, USA, Abst.No.1283.
- ④ M. Sakuraba, D. Muto, M. Mori, K. Sugawara and J. Murota, "Very Low-Temperature Epitaxial Growth of Silicon and Germanium Using Plasma-Assisted CVD" (**Invited Paper**), 5th Int. Conf. Silicon Epitaxy and Heterostructures (ICSI-5), May 20-24, 2007, Marseille, France, No.S1-I3.

[その他]

所属特定領域「ポストスケール」のウェブサイト (領域番号 458)
http://alice.xtal.nagoya-u.ac.jp/post_scaling/