

平成22年 5月24日現在

研究種目：特定領域研究
研究期間：2006～2009
課題番号：18063001
研究課題名（和文） IV族系量子デバイス製作のための原子層制御プラズマプロセスの構築
研究課題名（英文） Development of Atomically Controlled Plasma Processing for Group IV Quantum Device Fabrication
研究代表者 櫻庭 政夫（SAKURABA MASAO） 東北大学・電気通信研究所・准教授 研究者番号：30271993

研究成果の概要（和文）：基板非加熱 ECR Ar プラズマ照射下での原料ガスの表面反応により、原子オーダー平坦性を有するナノメートルオーダー厚さの高度歪 Ge 形成、並びに、高度歪 Si や B 原子層ドーピング Si の形成に成功した。そして、IV 族エピタキシャル成長におけるプラズマの低エネルギー化の推進は、Ar プラズマ照射によるプラズマ損傷や B 還元脱離の問題を抑制し、高度歪導入と B 原子層ドーピングの超高濃度化のために極めて重要であることを明らかにした。

研究成果の概要（英文）： By utilizing surface reaction of reactant gases under ECR Ar plasma irradiation without substrate heating, epitaxial growth of atomically flat highly strained films of Ge and Si as well as B atomic-layer doped Si were demonstrated. Moreover, by lowering of the plasma energy in the epitaxial growth, it was clarified that plasma damage and surface B reduction by Ar plasma irradiation can be effectively suppressed and it is quite important to increase of strain and B concentration in the B atomic-layer doped films.

交付決定額

(金額単位：円)

	直接経費	間接経費	合計
2006年度	17,600,000	0	17,600,000
2007年度	8,000,000	0	8,000,000
2008年度	8,000,000	0	8,000,000
2009年度	7,600,000	0	7,600,000
年度			
総計	41,200,000	0	41,200,000

研究分野：半導体工学

科研費の分科・細目：(応用物理学・工学基礎)・(応用物性・結晶工学)

キーワード：①量子ヘテロ構造②プラズマ③エピタキシャル成長④原子層制御⑤IV族半導体

1. 研究開始当初の背景

高品質 Si-Ge 系ヘテロ構造の低温 CVD エピタキシャル成長の研究と IV 族半導体の原

子層成長制御の研究を進め、各種異種原子層形成とその表面上での低温エピタキシャル成長条件を見いだすと同時に、Ge 比率 50%

までの Si-Ge 系ヘテロ構造を適用した MOS デバイス製作プロセスの構築とデバイス試作を行い、IV 族系ヘテロ構造の適用により MOS デバイスを高性能化できることを実証してきた。また、SiGe や Ge を量子井戸とする二重障壁共鳴トンネル構造形成の研究も行い、170 K 付近まで明瞭な共鳴トンネル電流ピークを観測することに成功しており、IV 族系量子デバイス実現への可能性を示した。

2. 研究の目的

大規模集積回路に搭載可能な室温動作 IV 族系量子デバイスの実現のため、低エネルギー ECR プラズマ照射下での表面反応を制御し、表面及びヘテロ界面が原子レベルで平坦かつ急峻に制御された原子層制御プラズマプロセスを構築する。同時に IV 族系量子デバイス製作と特性評価を行い、室温での量子効果特性の制御と高性能化のための指針を得るとともに、バルク状態とは異なるナノオーダー構造特有の電子・光物性を探索する。

3. 研究の方法

IV 族系量子デバイス製作のための原子層制御プラズマプロセスの構築を目指し、以下の項目について研究を行う。

(1) ECR プラズマによる IV 族系エピタキシャル薄膜形成の原子層制御・原子層ドーピング制御：低エネルギー ECR プラズマプロセスを駆使した IV 族系エピタキシャル薄膜形成の原子層制御の研究を行うと同時に、IV 族系ヘテロ構造への原子層ドーピング制御についても研究を進める。特に、量子ヘテロ構造の相互拡散や界面ラフネス発生などの評価分析も進め、各種熱処理工程におけるヘテロ界面の熱的安定性を評価する。

(2) 原子層制御 IV 族系量子ヘテロ構造の電子・光物性評価：低エネルギー ECR プラズマプロセスを駆使して原子層制御した IV 族系量子ヘテロ構造の電子・光物性を評価分析し、組成分布や界面ラフネスなどの界面構造やドーピングによる変調効果を調べ、バルク状態とは異なるナノオーダー構造特有の電子・光物性を探索する。

(3) 原子層制御 IV 族系ヘテロ構造における共鳴トンネル特性の評価：低エネルギー ECR プラズマプロセスを駆使して原子層制御した IV 族系ヘテロ構造を共鳴トンネルダイオードに適用してその特性評価を行い、組成分布や界面ラフネスなどの界面構造や光照射とドーピングが共鳴トンネル特性に与える変調効果を探索する。

以上の成果により、IV 族系量子ヘテロ構造の表面及びヘテロ界面が原子レベルで平坦かつ急峻に制御された原子層制御プラズマ

プロセスを構築し、本研究を総括する。

4. 研究成果

平成 19 年度は、高品質 Si/Ge/Si ヘテロ構造を実現するためには、Si 上への Ge エピタキシャル成長と同様に、Ge 上への Si エピタキシャル成長制御が重要になってくる。本年度は、ECR Ar プラズマ照射下での SiH₄ 反応による歪緩和 Ge(100) 基板上への Si 薄膜形成について研究を進め、原子レベルでの表面ラフネスや歪量について調べた。RHEED 及び AFM による評価結果から、84% 歪緩和した Ge 上に堆積した Si 薄膜は、平坦度 (RMS 値 0.3 nm 以下) を保ってエピタキシャル成長することを見いだした。また、可視光レーザーラマン散乱分光スペクトルにおける 490~515 cm⁻¹ の低波数域ピーク積分強度が堆積した Si 膜厚にほぼ比例するとともに、ピークが無歪 Si の位置に漸近していくことを見だし、Si 膜厚の増加とともに歪緩和が進行していることを明らかにした。特に、Si 膜厚 1.7 nm の場合のピーク位置が格子定数差 4% の面内引張り歪に相当することから、84% 歪緩和した Ge(100) にほぼ格子整合しているものと推定した。また、熱処理した場合のラマンシフト量の変化から、歪 Si 膜厚 3.9 nm 以上の場合には歪 Si 薄膜の歪量はほとんど変化しない一方、歪 Si 膜厚 1.7 nm の場合には 500~600 °C で若干の歪緩和 (ラマンシフト量の増加) が生じていることを見いだした。以上のように、ECR Ar プラズマ照射下での SiH₄ 反応により、84% 歪緩和 Ge(100) 上における高平坦歪 Si エピタキシャル成長を可能にした。特に、歪 Si 膜厚 1.7 nm においては、格子定数差 4% 程度の引張り歪が生じていることを見いだした。また、500 °C 以上の熱処理により歪 Si の歪緩和が生じることを明らかにした。

平成 19 年度は、IV 族系量子デバイスの高性能化のために重要となる高度歪 Si_{1-x}Ge_x/Si ヘテロ構造の高品位形成と原子層ドーピング制御を可能とする原子層制御プラズマプロセスの構築を目指し、本年度は、基板非加熱 ECR Ar プラズマ照射下における N₂ ガスの表面反応により原子層オーダーで窒化した Si(100) 上において、ECR Ar プラズマ照射下での SiH₄ ガスの表面反応による Si 薄膜形成の研究を進めた。その結果、初期 N 原子面密度が高いほど初期堆積速度は低下し、表面ラフネスは増加する傾向があり、初期 N 面密度が 1.4x10¹⁵ cm⁻² (約 2 原子層) の場合にはアモルファス Si が島状に成長するが、

$7.6 \times 10^{14} \text{ cm}^{-2}$ (約 1.1 原子層) 以下の場合には Si がエピタキシャル成長することが明らかになった。このような Si 薄膜試料において、X 線光電子分光とサブナノメートルエッチングを交互に繰り返して得られる N 1s, Si 2p の各内殻電子軌道からの光電子強度比とエッチング膜厚の関係から、各サブナノメートル厚さ領域中の N 濃度の深さ方向分布を求め、初期表面 N 原子の約 70% が薄膜/基板界面近傍の 2 nm 厚さの極薄領域に閉じ込められることを見いだした。一方、歪 $\text{Si}_{1-x}\text{Ge}_x/\text{Si}$ ヘテロ構造を適用した二重 Si 障壁共鳴トンネルダイオードの製作と高性能化についても研究を進め、高 Ge 比率ヘテロ構造における歪緩和現象を抑制するために Si 障壁層近傍のみ Ge 比率を高くする変調スペーサ構造を導入した結果、界面ラフネス発生を抑制した高 Ge 比率化の推進が負性抵抗消失温度の高温化に有効であることを確認した。以上のように、IV 族系量子デバイス製作のための原子層制御プラズマプロセス構築のために重要な成果を得た。

平成 20 年度は、IV 族系量子デバイスの高性能化のために重要となる高度歪 $\text{Si}_{1-x}\text{Ge}_x/\text{Si}$ ヘテロ構造の高品位形成と原子層ドーピング制御を可能とする原子層制御プラズマプロセスの構築を目指し、本年度は、プラズマ CVD プロセスによる高濃度 B 原子層ドーピング Si 薄膜形成について研究を進めた結果、Si(100) 上への B 原子層形成とその上への原子オーダー平坦性を有するナノメートルオーダー厚さ Si キャップ層のエピタキシャル成長を基板非加熱下で実現した。そして、B 原子層を Si キャップ層中の厚さ約 1 nm の極薄領域に閉じ込めることに成功した。さらに、表面が原子オーダーで制御された Si-Ge 系エピタキシャル成長と歪制御について研究を進めた結果、プラズマ CVD プロセスによって形成した歪緩和 Ge/Si(100) エピタキシャル薄膜上に、500 °C での熱 CVD プロセスにより、ナノメートルオーダー厚さの高平坦高濃度 B ドープ歪 Si 薄膜のエピタキシャル成長が可能であることを見いだした。一方、歪 $\text{Si}_{1-x}\text{Ge}_x/\text{Si}$ ヘテロ構造を適用した二重 Si 障壁共鳴トンネルダイオードの製作と高性能化についても研究を進め、界面ラフネス発生を抑制した高 Ge 比率化の推進により、Ge 比率 0.58 において負性抵抗消失温度を 290K にまで高温化することを実現した。以上のように、IV 族系量子デバイス製作のための原子層制御プラズマプロセス構築のために重要な成果を得た。

平成 21 年度は、IV 族系量子デバイスの高

性能化のために重要となる高度歪 $\text{Si}_{1-x}\text{Ge}_x/\text{Si}$ ヘテロ構造の高品位形成と原子層ドーピング制御を可能とする原子層制御プラズマプロセスの構築を目指し、本年度は、基板非加熱 ECR プラズマ CVD プロセスによる高濃度 B 原子層ドーピング Si エピタキシャル薄膜形成について研究を進めた結果、Si キャップ層形成におけるプラズマの低エネルギー化の推進は、Ar プラズマ照射による Si 結晶へのプラズマ損傷や B 還元脱離の問題を抑制し、Si 単結晶ナノ薄膜への B 原子層ドーピングの超高濃度化のために極めて重要であることを明らかにした。また、表面が原子オーダーで制御された Si-Ge 系エピタキシャル成長と歪制御について研究を進めた結果、プラズマ CVD プロセスによって形成した歪緩和 Ge/Si(100) エピタキシャル薄膜上に 500 °C 熱 CVD プロセスによりエピタキシャル成長させたナノメートルオーダー厚さの高平坦高濃度 B ドープ歪 Si 薄膜において、ホールの室温 Hall 移動度は表面歪量が大きくなるとともに増大し、表面歪量約 2% において約 3 倍にまで達することを見いだした。さらに、歪 $\text{Si}_{1-x}\text{Ge}_x/\text{Si}$ ヘテロ構造を適用した二重 Si 障壁共鳴トンネルダイオード製作と高性能化についても研究を進め、歪 $\text{Si}_{0.42}\text{Ge}_{0.58}$ 上への Si キャップ層エピタキシャル成長において、従来の SiH_4 の代わりに反応性の高い Si_2H_6 を原料ガスとして用いることにより、Si 堆積を低温化・高速化させることにより、界面ラフネス発生を効果的に抑制でき、室温での負性コンダクタンス特性を向上につながることを明らかにした。

以上のように、IV 族系量子デバイス製作のための原子層制御プラズマプロセス構築のために重要な成果を得た。

5. 主な発表論文等

(研究代表者、研究分担者及び連携研究者には下線)

[雑誌論文] (計 9 件)

- ① K. Sugawara, M. Sakuraba and J. Murota, Electrical Characteristics of Thermal CVD B-Doped Si Films on Highly Strained Si Epitaxially Grown on Ge(100) by Plasma CVD without Substrate Heating, Thin Solid Films, 査読有, Vol.518, 2010, pp.S57-S61
- ② T. Nosaka, M. Sakuraba, B. Tillack and J. Murota, Heavy B Atomic-Layer Doping in Si Epitaxial Growth on Si(100) Using Electron-Cyclotron-Resonance Plasma CVD, Thin Solid Films, 査読有, Vol.518, 2010, pp.S140-S142

- ③ T. Seo, K. Takahashi, M. Sakuraba and J. Murota, Improvement in Negative Differential Conductance Characteristics of Hole Resonant-Tunneling Diodes with High Ge Fraction Si/Strained Si_{1-x}Ge_x/Si(100) Heterostructure, Solid-State Electron., 査読有、Vol.53、2009、pp.912-915
- ④ M. Sakuraba, D. Muto, M. Mori, K. Sugawara and J. Murota, Very Low-Temperature Epitaxial Growth of Silicon and Germanium Using Plasma-Assisted CVD, Thin Solid Films, 査読有、Vol.517、2008、pp.10-13
- ⑤ T. Seo, M. Sakuraba and J. Murota, Impact of Ge Fraction Modulation upon Electrical Characteristics of Hole Resonant Tunneling Diodes with Si/Strained Si_{1-x}Ge_x/Si(100) Heterostructure, Thin Solid Films, 査読有、Vol.517、2008、pp.110-112
- ⑥ T. Seo, M. Sakuraba and J. Murota, Electrical Characteristics of Hole Resonant Tunneling Diodes with High Ge Fraction (x>0.4) Si/Strained Si_{1-x}Ge_x/Si(100) Heterostructure, Appl. Surf. Sci., 査読有、Vol.254、2008、pp.6265-6267
- ⑦ M. Sakuraba, R. Ito, T. Seo and J. Murota, Fabrication of Hole Resonant Tunneling Diodes with Nanometer Order Heterostructures of Si/Strained Si_{1-x}Ge_x Epitaxially Grown on Si(100) (Invited Paper), ECS Trans., 査読有、Vol.11、2007、pp.131-139
- ⑧ R. Ito, M. Sakuraba and J. Murota, Hole tunneling properties in resonant tunneling diodes with Si/Strained Si_{0.8}Ge_{0.2} heterostructures grown on Si(100) by low-temperature ultraclean LPCVD, Semicond. Sci. Technol., 査読有、Vol.22、2007、pp.S38-S41
- ⑨ K. Sugawara, M. Sakuraba and J. Murota, Epitaxial growth of highly strained Si on relaxed Ge/Si(100) using ECR plasma CVD without substrate heating, Semicond. Sci. Technol., 査読有、Vol.22、2007、pp.S42-S45
- [学会発表] (計 2 3 件)
- ① M. Sakuraba, T. Nosaka, K. Sugawara and J. Murota, Epitaxial Growth of Group IV Semiconductor Nanostructures Using Atomically Controlled Plasma Processing (**Invited Paper**), 5th Int. Workshop on New Group IV Semiconductor Nanoelectronics, Jan. 29-30, 2010, Sendai, Japan
- ② K. Sugawara, M. Sakuraba and J. Murota, Mobility Enhancement by Highly Strained Si on Relaxed Ge(100) Buffer Grown by Plasma CVD, 5th Int. Workshop on New Group IV Semiconductor Nanoelectronics, Jan. 29-30, 2010, Sendai, Japan
- ③ M. Sakuraba and J. Murota, Resonant Tunneling Diodes with Highly Strained Heterostructures of Si/Si_{1-x}Ge_x Epitaxially Grown on Si(100), 2nd French Research Organizations-Tohoku University Joint Workshop on Frontier Materials, Nov. 29-Dec. 3, 2009, Sendai, Japan
- ④ K. Sugawara, M. Sakuraba and J. Murota, Atomically Controlled Plasma Processing for Epitaxial Growth of Group IV Semiconductor Nanostructures, 2nd French Research Organizations-Tohoku University Joint Workshop on Frontier Materials, Nov. 29-Dec. 3, 2009, Sendai, Japan
- ⑤ M. Sakuraba, K. Sugawara and J. Murota, Atomically Controlled Plasma Processing for Epitaxial Growth of Group IV Semiconductor Nanostructures, Symp. E10: ULSI Process Integration 6, (216th Meeting of the Electrochem. Soc.), Oct. 4-9, 2009, Vienna, Austria
- ⑥ M. Sakuraba and J. Murota, Resonant Tunneling Diodes with Highly Strained Heterostructures of Si/Si_{1-x}Ge_x Epitaxially Grown on Si(100) (**Invited Paper**), 1st Int. Workshop on Si Based Nano-Electronics and Photonics (SiNEP-09), Sep. 20-23, 2009, Vigo, Spain
- ⑦ K. Sugawara, M. Sakuraba and J. Murota, Electrical Characteristics of B-Doped Highly Strained Si Films Epitaxially Grown on Ge(100) Formed by Plasma CVD, 6th Int. Conf. on Silicon Epitaxy and Heterostructures, May 17-22, 2009, Los Angeles, USA
- ⑧ T. Nosaka, M. Sakuraba, B. Tillack and J. Murota, Heavily B Atomic-Layer Doping Characteristics in Si Epitaxial Growth on Si(100) Using Electron-Cyclotron-Resonance Ar Plasma, 6th Int. Conf. on Silicon Epitaxy and Heterostructures, May 17-22, 2009, Los Angeles, USA
- ⑨ T. Nosaka, M. Sakuraba and J. Murota,

- Heavily B Atomic-Layer Doping in Si Epitaxial Growth Using Electron-Cyclotron-Resonance Plasma, Int. Union of Mat. Res. Soc. - Int. Conf. in Asia 2008 (IUMRS-ICA 2008), Dec. 9-13, 2008, Nagoya, Japan
- ⑩ K. Sugawara, M. Sakuraba and J. Murota, Epitaxial Growth of Highly Strained B Doped Si on Relaxed Ge/Si(100), Int. Union of Mat. Res. Soc. - Int. Conf. in Asia 2008 (IUMRS-ICA 2008), Dec. 9-13, 2008, Nagoya, Japan
- ⑪ M. Sakuraba, R. Ito, T. Seo and J. Murota, Fabrication of Hole Resonant Tunneling Diodes Utilizing Nanometer-Order Strained SiGe/Si(100) Heterostructures with High Ge Fraction, 4th Int. Workshop on New Group IV Semiconductor Nanoelectronics, Sep. 25-27, 2008, Sendai, Japan
- ⑫ K. Sugawara, M. Sakuraba and J. Murota, Application of Relaxed Ge/Si(100) by ECR Plasma CVD to Highly Strained B Doped Si, 4th Int. Workshop on New Group IV Semiconductor Nanoelectronics, Sep. 25-27, 2008, Sendai, Japan
- ⑬ T. Nosaka, M. Sakuraba and J. Murota, Epitaxial Growth of B Atomic-Layer Doped Si Film on Si(100) Using Electron-Cyclotron-Resonance Ar Plasma, 4th Int. Workshop on New Group IV Semiconductor Nanoelectronics, Sep. 25-27, 2008, Sendai, Japan
- ⑭ K. Takahashi, T. Seo, M. Sakuraba and J. Murota, Hole Resonant Tunneling Diodes Utilizing High Ge Fraction ($x > 0.5$) Si/Strained $\text{Si}_{1-x}\text{Ge}_x/\text{Si}(100)$ Heterostructure with Improved Performance at Higher Temperature above 200 K, 4th Int. Workshop on New Group IV Semiconductor Nanoelectronics, Sep. 25-27, 2008, Sendai, Japan
- ⑮ T. Seo, Takahashi, M. Sakuraba and J. Murota, Improvement in Negative Differential Conductance Characteristics of Hole Resonant Tunneling Diodes with High Ge Fraction Si/Strained $\text{Si}_{1-x}\text{Ge}_x/\text{Si}(100)$ Heterostructure, 4th Int. SiGe Technology and Device Meeting (ISTDM2008), May 11-14, 2008, Hsinchu, Taiwan
- ⑯ T. Seo, M. Sakuraba and J. Murota, Electrical Characteristics of Hole Resonant Tunneling Diodes with High Ge Fraction ($x > 0.4$) Si/Strained $\text{Si}_{1-x}\text{Ge}_x/\text{Si}(100)$ Heterostructure, 5th Int. Symp. Control of Semiconductor Interfaces (ISCSI-V), Nov. 12-14, 2007, Hachioji, Japan
- ⑰ T. Seo, M. Sakuraba and J. Murota, Characterization of Temperature-Dependent Hole Resonant Tunneling Properties with High Ge Fraction ($x > 0.4$) Si/Strained $\text{Si}_{1-x}\text{Ge}_x/\text{Si}(100)$ Heterostructure, 3rd Int. Workshop on New Group IV Semiconductor Nanoelectronics, Nov. 8-9, 2007, Sendai, Japan
- ⑱ M. Sakuraba, R. Ito, T. Seo and J. Murota, Fabrication of Hole Resonant Tunneling Diodes with Nanometer Order Heterostructures of Si/Strained $\text{Si}_{1-x}\text{Ge}_x$ Epitaxially Grown on Si(100) (Invited Paper), Symp. E9: ULSI Process Integration 5 (212th Meeting of the Electrochem. Soc.), Oct. 7-12, 2007, Washington, DC, USA
- ⑲ M. Sakuraba, D. Muto, M. Mori, K. Sugawara, J. Murota, Very Low-Temperature Epitaxial Growth of Silicon and Germanium Using Plasma-Assisted CVD (**Invited Paper**), 5th Int. Conf. Silicon Epitaxy and Heterostructures (ICSI-5), May 20-24, 2007, Marseille, France
- ⑳ T. Seo, M. Sakuraba and J. Murota, Impact of Ge Fraction Modulation upon Electrical Characteristics of Hole Resonant Tunneling Diodes with Si/Strained $\text{Si}_{1-x}\text{Ge}_x/\text{Si}(100)$ Heterostructure, 5th Int. Conf. Silicon Epitaxy and Heterostructures (ICSI-5), May 20-24, 2007, Marseille, France
- ㉑ K. Sugawara, M. Sakuraba and J. Murota, Highly Strained-Si/Relaxed-Ge Epitaxial Growth on Si(100) by ECR Plasma CVD and Evaluation of Thermal Stability, Abstracts of 2nd Int. Workshop on New Group IV Semiconductor Nanoelectronics, Oct. 2-3, 2006, Sendai, Japan
- ㉒ T. Seo, M. Sakuraba and J. Murota, Electrical Characteristics of Hole Resonant Tunneling Diodes with High Ge Fraction Si/Strained $\text{Si}_{1-x}\text{Ge}_x$ Heterostructures on Si(100) Grown by Low-Temperature Ultraclean LPCVD, Abstracts of 2nd Int. Workshop on New Group IV Semiconductor Nanoelectronics,

Oct. 2-3, 2006, Sendai, Japan
③ M. Sakuraba, D. Muto, M. Mori, K. Sugawara, J. Murota, Epitaxial Growth of Group IV Semiconductor in ECR Plasma Enhanced CVD, Abstracts of 2nd Int. Workshop on New Group IV Semiconductor Nanoelectronics, Oct. 2-3, 2006, Sendai, Japan

6. 研究組織

(1)研究代表者

櫻庭 政夫 (SAKURABA MASAO)

東北大学・電気通信研究所・准教授

研究者番号：30271993

(2)研究分担者

室田 淳一 (MUROTA JUNICHI)

東北大学・電気通信研究所・教授

研究者番号：70182144