

平成22年6月6日現在

研究種目：特定領域研究

研究期間：2006～2009

課題番号：18063008

研究課題名（和文）

ナノスケール配線および回路のシグナル・インテグリティに関する研究

研究課題名（英文）

Signal Integrity of Nano-Scale interconnect and Circuit

研究代表者

益 一哉 (MASU KAZUYA)

東京工業大学・統合研究院・教授

研究者番号：20157192

研究成果の概要（和文）：

現在の CMOS LSI において、すでに回路性能の性能向上を阻害しているのは配線での遅延である。配線遅延の改善はスケーリングを延命し、かつスケーリングを超えるための必須の never-ending issue である。本プロジェクトでは、(1) 配線町分布に基づく配線資源予測、(2) 周期構造配線や多ポート配線配線モデリング、(3) 配線の高周波特性評価のための 110GHz までの de-embedding 手法、(4) 高速・低レイテンシ・低電力・高得エネルギー効率伝送線路の設計・試作・評価、および NoC に使用可能小面積・低消費電力・高速 SER/DES 回路設計・試作評価 (5) 光配線、ワイヤレス配線、伝送線路の性能の比較を行った。その結果、伝送線路配線を利用することで、32nm 以降の CMOS における長距離配線高速技術を確立することができた。

研究成果の概要（英文）：

Nano-scale MOSFET has enabled a great number of circuit elements can be integrated into a single chip. So far, MOSFET has been miniaturized according to a scaling scheme, however, the chip size has not been reduced because more functions is required to be implemented on one chip; interconnect delays of long wires limit digital circuit performance. Interconnect design is a never-ending issue with CMOS LSI. For long wiring, we have developed transmission line interconnect (TLI).

In this project, we have developed (1) estimation of interconnect resource of nano-CMOS based on interconnect wire length distribution, (2) modeling of novel interconnect structure such as periodic scheme, multi-port analysis for cross-talk modeling, etc., (3) de-embedding method up to 100GHz which is essential in ultra high speed nano-CMOS circuit, (4) high-speed, low-latency, low-power, energy-efficient transmission line interconnect, which has been designed, fabricated and evaluated on 180nm, 90nm, and 65nm CMOS, and small area, low power, high-speed on-chip SER/DES circuits, (5) comparison of interconnect performance of transmission line, optical and wireless interconnects.

交付決定額

(金額単位：円)

	直接経費	間接経費	合計
2006年度	40,500,000	0	40,500,000
2007年度	27,000,000	0	27,000,000
2008年度	21,500,000	0	21,500,000
2009年度	17,000,000	0	17,000,000
年度			
総計	106,000,000	0	106,000,000

研究分野：集積回路工学

科研費の分科・細目：電気電子工学／電子デバイス・電子機器

キーワード：ナノ配線、シグナル・インテグリティ、インテグリティ、揺らぎ、ばらつき

1. 研究開始当初の背景

研究開始当時の2006-7年当時において、2013年には最小加工寸法（ハーフピッチ、hpと称される）32nmで高性能信号処理チップではチップ面積(140mm²)上に15億個のトランジスタを集積(Integration)し、回路ブロック中では10GHz以上のクロック信号で動作させることが予想されていた。LSI上の多層配線構造における信号伝送において、加工揺らぎや物理限界に起因するデバイスや配線などの特性揺らぎやばらつき、さらにはintegrationされたときの隣接配線間のCross Talk雑音などによってますます厳しくなっていた。

2. 研究の目的

本研究では、加工寸法で言えば32nm以降のナノスケールデバイスやナノ配線を集積化したときの、物理的な揺らぎの影響や多数の回路や配線を集積化したときに生じるクロストークなどの相互干渉の影響を定量的に評価、予測し、集積化設計技術として構築することを目的とした。

3. 研究の方法

それぞれの課題に対する研究方法は以下のとおりである。

- (1) 配線資源予測などの研究については、理論検討をベースにしたシミュレーション。
- (2) 110GHz 測定技術の確立と長距離配線特性評価は主に実験と理論検討。
- (3) 回路試作と評価はシミュレーションと実験。回路試作は、VDECなどを經由して、180nm (TSMC)、90nm (ASPLA,TSMC)、65nm (e-Shuttle)の試作を行った。
- (4) 性能比較は、実測を元に理論検討。

4. 研究成果

(1) 配線資源予測

従来のレントの法則を基礎にした配線資源予測手法では、累積配線本数予測が実測と大きく異なるという課題があった。これを配線効率に関係するパラメータを導入することで、解析的数式で表せる表式を導出し、母伊仙町分禹と累積配線本数について実測データを表現することができることを示した。この表式を利用して、微細化された集積回路の配線資源予測を行った。研究の一部はロードマップ委員会などで配線資源予測に利用された。

(2) 伝送線路配線設計・試作・評価

試作回路の一部を図1に示す。

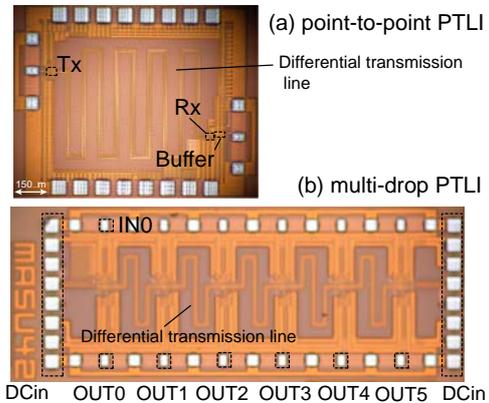


図1 伝送線路配線 (90nm CMOS)

本プロジェクトを通じて試作、評価した回路の特性を図2に示す。図2(a)は、これまでに開発した伝送線路配線回路の特性であり、世界最高の遅延時間、エネルギー/ビット特性を有している。伝送線路配線は100Ω程度の特性インピーダンスを有しており金属背杯線幅は数μmと幅広である。

そこで、ビット当たりのエネルギーに対するビット当たり配線面積 (図2(b)) 特性を評価した。ここで、各配線の配線面積は次のように定義した。

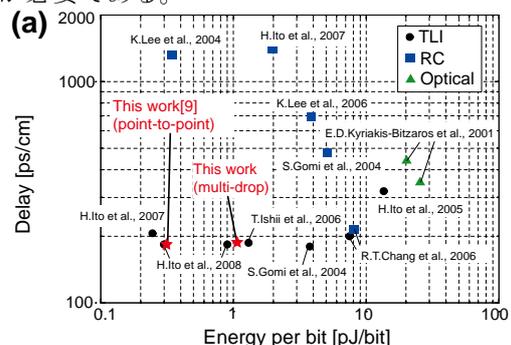
DTL : 線幅×2 + 線間隔×3

RC line : 線幅×3

本プロジェクトで開発してきた伝送線路配線は、図2(a)に示すように他のRC線路や光配線と比較して、低エネルギーで高速信号伝送が可能であることがわかる。一方で、図2(b)に示すようにビット当たりの配線面積が若干大きいという欠点がある。ここで、配線面積を考慮した配線性能指数を次式で定義する。

$$FoM = (\text{Area/bit}) \times (\text{Energy/bit})$$

配線面積まで考慮すると未だ伝送線路配線は従来型のRC線路に及ばないことが数値的に明らかになった。低レイテンシである特徴はあるが、配線面積についてより一層の改善が必要である。



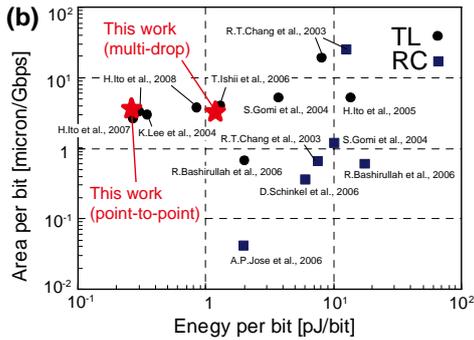


図2 伝送線路配線の特性。

(3) 異なる配線の性能比較

線路のデータ伝送において、ビット当たりの所要エネルギー、遅延時間を単位長で規格化したFoM (Figure of Merit) を定義し比較した。

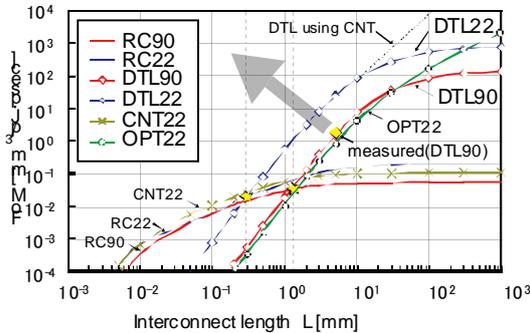


図4 FoMによる各種線路の性能比較。

FoMは、“(配線長)³/(ビット当たりのエネルギー×遅延時間)”で定義した。RC90/22：金属配線を用いたRC配線。CNT22：CNT配線を用いたRC配線。OPT22：光配線。DTL90/22：伝送線路。90、22の数値は技術世代を示す。

図3に示すように、伝送距離の短いときは従来型のRC線路が有利であるが、mm以上の配線では伝送線路配線の方が有利であることがわかる。

5. 主な発表論文等

(研究代表者、研究分担者及び連携研究者には下線)

[雑誌論文] (計 29件)

(1) Yutaka Mizuochi, Shuhei Amakawa, Noboru Ishihara, and Kazuya Masu, "Radio Frequency Micro Electro Mechanical Systems Inductor Configurations for A Achieving Large Inductance Variations and High Q-factors", Japanese Journal of Applied Physics, Vol. 49, pp. 05FG02-1 - 05FG02-3, May 2010. (査読有)

(2) Takao Oshita, Shuhei Amakawa, Noboru Ishihara, Kazuya Masu, "Design of On-Chip High Speed Interconnect on Complementary Metal Oxide Semiconductor 180 nm Technology", Japanese Journal of Applied Physics, Vol. 49, pp. 04DE14-1 - 04DE14-6, April 2010. (査読有)

(3) Kazuo Nakano, Shuhei Amakawa, Noboru Ishihara, Kazuya Masu, "RF Signal Generator Based on Time-to-Analog Converter in 0.18um CMOS", Japanese Journal of Applied Physics, Vol. 49, pp. 04DE12-1 - 04DE12-4, April 2010. (査読有)

(4) Takumi Uezono, Kazuya Masu, and Takashi Sato, "A Time-Slicing Ring Oscillator for Capturing Time-Dependent Delay Degradation and Power Supply Voltage Fluctuation", IEICE Transactions on Fundamentals of Electronics, vol. E93-C, no. 3, pp. 324-331, Mar 2010. (査読有)

(5) Takashi Sato, Hiroyuki Ueyama, Noriaki Nakayama, and Kazuya Masu, "Accurate array-based measurement for subthreshold-current of MOS transistors", IEEE Journal of Solid-State Circuits, vol.44, no.11, pp.2977-2986, November, 2009. (査読有)

(6) Takeshi Ito, Kenichi Okada, and Kazuya Masu, "Characterization of On-Chip Multiport Inductors for Small-Area RF Circuits," IEEE Transactions on Circuits and Systems I, vol. 56, no. 8, pp. 1590-1597, Aug. 2009. (査読有)

(7) Kazuya Masu, Noboru Ishihara, Noriaki Nakayama, Takashi Sato, Shuhei Amakawa, "Physical design challenges to nano-CMOS circuits", IEICE Electronics Express (ELEX), vol. 6 no. 11 (2009), pp. 703-720. (Invited Paper) (査読有)

(8) Shiho Hagiwara, Takashi Sato, and Kazuya Masu, "Analytical Estimation of Path-Delay Variation for Multi-Threshold CMOS Circuits", IEICE Transactions on Fundamentals of Electronics, vol.E92-A, no.4, pp. 1031-1038, April 2009. (査読有)

(9) Takumi Uezono, Takashi Sato, and Kazuya Masu, "One-Shot Voltage-Measurement Circuit Utilizing Process Variation", IEICE Transactions on Fundamentals of Electronics, vol.E92-A, no.4, pp. 1024-1030, April 2009. (査読有)

(10) Hiroataka Sugawara, Kenichi Okada, and Kazuya Masu, "Tunable CMOS LNA Using a Variable Inductor for a Reconfigurable RF Circuit", IEICE Transactions on

- Fundamentals of Electronics, vol.E92-A, no.2 pp.401-410, February 2009. (査読有)
- (11) Shiho Hagiwara, Takumi Uezono, Takashi Sato, Kazuya Masu, "Application of Correlation-based Regression Analysis for Improvement of Power Distribution Network," IEICE Transactions on Fundamentals, Vol. E91-A, No. 4, pp. 951-956, April 2008. (査読有)
- (12) 益一哉, 「オンチップ伝送線路配線の期待と課題—True Scaling を可能とする次世代配線技術—」電子情報通信学会誌, Vol.91, No.3, pp.170-175, March, 2008. (査読有)
- (13) Hiroyuki Ito, Makoto Kimura, Kazuya Miyashita, Takahiro Ishii, Kenichi Okada, Kazuya Masu, "A Bidirectional- and Multi-Drop-Transmission-Line Interconnect for Multipoint-to-Multipoint On-Chip Communications," IEEE Journal of Solid-State Circuits, Vol. 43, No. 4, pp. 1020-1029, April 2008. (査読有)
- (14) Kazuya MASU, Kenichi OKADA, "Reconfigurable RF CMOS Circuit for Cognitive Radio (Invited Paper)", IEICE Transactions on Communications, Vol.E91-B, No.1, pp.10-13, January 2008. (査読有)
- (15) Hiroyuki Ito, Hideyuki Sugita, Kenichi Okada, Tatsuya Ito, Kazuhisa Itoi, Masakazu Sato, Ryozo Yamauchi, and Kazuya Masu, "Low-Loss Distributed Constant Passive Devices Using Wafer-Level Chip Scale Package Technology," IEICE Transactions on Electronics, Vol. E90-C, No.3, pp. 641-643, March 2007. (査読有)
- (16) Takumi Uezono, Kenichi Okada, and Kazuya Masu, "Statistical Modeling of a Via Distribution for Yield Estimation," IEICE Transactions on Fundamentals, vol.E89-A, no.12, pp.3579-3584, Dec. 2006. (査読有)
- (17) Kenichi Okada, Hirotsugu Sugawara, Hiroyuki Ito, Kazuhisa Itoi, Masakazu Sato, Hiroshi Abe, Tatsuya Ito, and Kazuya Masu, "On-Chip High-Q Variable Inductor Using Wafer-Level Chip-Scale Package Technology," IEEE Transactions on Electron Devices, Vol. 53, No. 9, pp. 2401-2406, Sept. 2006. (査読有)
- (18) Takanori Kyogoku, Junpei Inoue, Hidenari Nakashima, Takumi Uezono, Kenichi Okada, and Kazuya Masu, "Optimization Methodology of Layer Numbers with Circuit/Process Co-design," Japanese Journal of Applied Physics, Vol. 45, No. 4A, pp.2476-2480, 2006. (査読有)
- (19) Kazuya Masu, Kenichi Okada, and Hiroyuki Ito, "RF Passive Components Using Metal Line on Si CMOS" (Invited Paper), IEICE Transactions on Electronics, vol.E89-C, no.6, pp.681-691, 2006. (査読有)
- [学会発表] (計 231 件)
国際会議 80 件、国内学会・研究会 151 件
- (1) Shiho Hagiwara, Koh Yamanaga, Ryo Takahashi, Kazuya Masu, and Takashi Sato, "Linear Time Calculation of State-Dependent Power Distribution Network Capacitance", International Symposium on Quality Electronic Design (ISQED), pp. 75-80, San Jose, USA, March 23, 2010.
- (2) Takayuki Sekiguchi, Shuhei Amakawa, Noboru Ishihara, and Kazuya Masu, "On the validity of bisection-based thru-only de-embedding", 2010 IEEE International Conference on Microelectronic Test Structures (ICMTS2010), Hiroshima, Japan, March 23, 2010.
- (3) Kazuya Masu, Noboru Ishihara, and Shuhei Amakawa, "On-Chip Transmission Line Interconnect for CMOS High Speed Signaling", 12th International Symposium on Microwave and Optical Technology (ISMOT-2009), pp.703-706, New Delhi, India, December 18, 2009.
- (4) Takayuki Sekiguchi, Shuhei Amakawa, Noboru Ishihara, and Kazuya Masu, "An 8.9mW 25Gb/s Inductorless 1:4 DEMUX in 90nm CMOS", International SoC Design Conference 2009, pp. 404-407, Busan, Korea, Nov 24, 2009.
- (5) Tomoyuki Takahashi, Takumi Uezono, Michihiro Shintani, Kazuya Masu, and Takashi Sato, "On-die parameter extraction from path-delay measurements", 2009 IEEE Asian Solid-State Circuits Conference, pp. 101-104, Taipei, Taiwan, Nov 17, 2009.
- (6) Yuka Kobayashi, Shuhei Amakawa, Noboru Ishihara, and Kazuya Masu, "A low-phase-noise injection-locked differential ring-VCO with half-integral subharmonic locking in 0.18 um CMOS," European Solid-State Circuits Conference (ESSCIRC), pp. 440-443, Athens, Greece, September 17, 2009.
- (7) Tomoaki Maekawa, Shuhei Amakawa, Noboru Ishihara, Kazuya Masu, "Design of CMOS inverter-based output buffers adapting the Cherry-Hooper broadbanding technique", The 19th European Conference on Circuit Theory and Design (ECCTD2009), pp. 511-514, Antalya,

- Turkey, August 25, 2009.
- (8) S. Amakawa, K. Yamanaga, H. Ito, T. Sato, N. Ishihara, and K. Masu, "S-parameter-based modal decomposition of multiconductor transmission lines and its application to de-embedding," International Conference on Microelectronic Test Structures (ICMTS), pp.177-180, Oxnard, California, April 1, 2009.
- (9) Takashi Sato, Hiroyuki Ueyama, Noriaki Nakayama, and Kazuya Masu, "A MOS transistor array with pico-ampere order precision for accurate characterization of leakage current variation", IEEE Asian Solid-State Circuits Conference (A-SSCC), pp.389-392, November 5, 2008.
- (10) Tomoaki Maekawa, Hiroyuki Ito, and Kazuya Masu, "An 8Gbps 2.5mW On-Chip Pulsed-Current-Mode Transmission Line Interconnect with a Stacked-Switch Tx," the 34th European Solid-State Circuits Conference, pp.474-477, Edinburgh, Scotland, September 15-19, 2008.
- (11) Hiroyuki Ito, Kazuya Masu, "A Simple Through-Only De-Embedding Method for On-Wafer S-Parameter Measurements up to 110 GHz", IEEE MTT-S International Microwave Symposium 2008 (IMS 2008), pp.383-386, Atlanta, June 15-20, 2008.
- (12) Hiroyuki Ito, Makoto Kimura, Kenichi Okada, and Kazuya Masu, "A 8-Gbps Low-Latency Multi-Drop On-Chip Transmission Line Interconnect with 1.2-mW Two-Way Transceivers," IEEE Symposium on VLSI Circuits, pp.136-137, Kyoto, June 14-16 2007.
- (13) Hiroyuki Ito, Junki Seita, Takahiro Ishii, Hideyuki Sugita, Kenichi Okada, and Kazuya Masu, "A Low-Latency and High-Power-Efficient On-Chip LVDS Transmission Line Interconnect for a RC Interconnect Alternative," IEEE International Interconnect Technology Conference (IITC), pp.193-195, San Francisco, June 4-6 2007.
- (14) Shuhei Amakawa, Takumi Uezono, Takashi Sato, Kenichi Okada, and Kazuya Masu, "Adaptable wire-length distribution with tunable occupation probability," International Workshop on System Level Interconnect Prediction (SLIP), pp.1-8, Austin, Texas, March 17, 2007.
- (15) Kenichi Okada, Hiroyuki Ito, and Kazuya Masu, "On-Chip Differential-Transmission-Line(DTL) Interconnect for 22nm Technology," Advanced Metallization Conference (AMC), pp.2-3, San Diego, CA, Oct 19-20. 2006; Advanced Metallization Conference, Asian Session (ADMETA), pp.124-125, Tokyo, Sep. 2006; MRS Proceedings: Advanced Metallization Conference 2006, pp. 29-33.
- (16) 高木 辰則, 前川 智明, 天川 修平, 石原 昇, 益 一哉, "オンチップRC配線と伝送線路による高速デジタル信号伝送特性の比較", 電子情報通信学会総合大会, C-12-59, 2010年3月19日(於 東北大学).
- (17) 益 一哉, 天川修平, 石原 昇, "オンチップ受動素子の高性能化", Microwave Workshops & Exhibition 2009 (MWE2009), pp. 409-417, 2009年11月27日(於 パシフィコ横浜).
- (18) 前川 智明, 天川 修平, 石原 昇, 益 一哉, "キャパシティブリエンファシス技術を導入したオンチップRC伝送回路と伝送線路回路の比較", 電子情報通信学会 ソサイエティ大会, C-12-53, 2009年9月18日(於 新潟大学).
- (19) 関口 貴之, 天川修平, 石原昇, 益 一哉, "高速オンチップシリアル伝送用4:1 MUX 回路の検討", 電子情報通信学会 ソサイエティ大会, C-12-52, 2009年9月18日(於 新潟大学).
- (20) 前川智明, 伊藤浩之, 天川修平, 石原 昇, 益 一哉, 「オンチップネットワークへの利用を目指した低電力パルス伝送線路回路」 2009年(平成21年)LSIとシステムのワークショップ2009, pp.306-307, (平成21年5月19日発表、北九州国際会議場)、講演番号42

他

〔図書〕

日本学術振興会薄膜131委員会編「薄膜ハンドブック(第二版)」2008年; 益 一哉、「第I編 3.5節 評価技術のまとめ」 pp.307-pp.312; 益 一哉、「第II編 9.1節 はじめに(実装技術)」 pp.1005-pp.1005; 高橋久弥、益 一哉、「第II編 9.2.2節 無機材料基板技術」 pp.1007-pp.1008; 谷村政憲、益 一哉、「第II編 9.4.1節 薄膜抵抗」 pp.1014-pp.1017; オーム社

〔産業財産権〕

○出願状況(計5件)

名称: オンチップ可変インダクタ
 発明者: 益 一哉、伊藤浩之、畠山英樹
 権利者: 東京工業大学
 種類: 特許
 番号: 特願 2007-326624 (P2007-326624) [特

開 2009-152254]

出願年月日:平成19年12月19日(2007.12.19)

国内外の別:国内

名称:電圧測定装置、集積回路基板、及び、電圧測定方法

発明者:佐藤高史、上 蘭 巧、益 一哉

権利者:東京工業大学

種類:特許

番号:特願 2008-81781 (P2008-81781) [特開 2009-236627]

出願年月日:平成20年3月26日(2008.3.26)

国内外の別:国内

名称:回路モデル作成装置、回路モデル作成方法、シミュレーション装置、及び、シミュレーション方法

発明者:佐藤高史、益 一哉、山長 功、

権利者:東京工業大学

種類:特許

番号:特願 2009-050343

出願年月日:平成21年3月4日(2009.3.4)

国内外の別:国内

名称:高周波信号生成回路

発明者:中野和雄、天川修平、石原昇、益 一哉

権利者:東京工業大学

種類:特許

番号:特願 2009-188066

出願年月日:平成21年8月14日(2009.8.14)

国内外の別:国内

名称:電圧制御発振回路

発明者:小林由佳、天川修平、石原昇、益 一哉

権利者:東京工業大学

種類:特許

番号:特願 2009-206349

出願年月日:平成20年4月16日(2008.4.16)

国内外の別:国内

[その他]

ホームページ等

<http://masu-www.pi.titech.ac.jp/index.html>

展示など

1. 展示名:「高性能 Si RF-CMOS 集積回路設計技術」

出展者:東京工業大学 統合研究院 益研究室

展示会: Microwave Workshop and Exhibition (MWE2008), November 26-28, 2008, Yokohama

2. 展示名:「高性能 Si RF-CMOS 集積回路の開発」

出展者:東京工業大学 統合研究院 益研

究室

展示会: Microwave Workshop and Exhibition (MWE2007), November 28-30, 2007, Yokohama

3. 展示名:「Si CMOS プロセスを用いたリコ

ンフィギュラブル RF 回路設計の研究」

出展者:東京工業大学 統合研究院

展示会: Microwave Workshop and Exhibition (MWE2006), December 13-15, 2006, Yokohama

6. 研究組織

(1)研究代表者

益 一哉 (MASU KAZUYA)

東京工業大学統合研究院・教授(現在:同大学ソリューション研究機構・教授)

研究者番号:20157192

(2)研究分担者 なし

(3)連携研究者(職は、研究参加時)

石原 昇 (ISHIHARA NOBORU)

東京工業大学統合研究院・特任教授(現在:同大学ソリューション研究機構・特任教授)

研究者番号:20396641

(研究参加:平成20・21年度)

佐藤 高史 (SATO TAKASHI)

東京工業大学統合研究院・特任教授(現在:京都大学・教授)

研究者番号:20431992

(研究参加:平成20・21年度)

天川 修平 (AMAKAWA SHUHEI)

東京工業大学統合研究院・助教(現在:広島大学・准教授)

研究者番号:40431994

(研究参加:平成18~21年度)

伊藤 浩之 (ITO HIROYUKI)

東京工業大学精密工学研究所・助教(現在:休職中・富士通研究所勤務)

研究者番号:4051992

(研究参加:平成19年度~平成20年9月まで)

岡田 健一 (OKADA KENICHI)

東京工業大学統合研究院・助教(現在:東京工業大学理工学研究科・准教授)

研究者番号:70361722

(研究参加:平成18年度)