

研究種目：特定領域研究

研究期間：2006～2009

課題番号：18063009

研究課題名（和文） 3次元構造 MOSFET のロバストネス

研究課題名（英文） Robustness of 3-dimensional MOSFETs

研究代表者

岩井 洋 (Iwai Hiroshi)

東京工業大学・フロンティア研究センター・教授

研究者番号：40313358

研究分野：工学

科研費の分科・細目：応用物理学・工学基礎 ・ 薄膜・表面界面物性

キーワード：MOSFET, ロバストネス, 3次元, ゆらぎ, ショットキー接合, FinFET

### 1. 研究計画の概要

将来必須と考えられる三次元構造 MOSFET において、デバイス寸法の微細化、新材料や新構造要素の導入を進めた場合に懸念される短チャネル効果による特性劣化やデバイス特性の揺らぎをどのように回避できるか、そのための条件は何かという指導原理を明らかにすることが目的である。具体的には以下の内容を実施する。

- (1) デバイスシミュレーションにより、三次元構造 MOSFET の代表である FinFET において、構造寸法等の変動に対してデバイス特性がどのような影響を受けるかを解析し、特性ばらつきが起き難いロバスト性の高いデバイス実現の指針を明らかにする。
- (2) ゲート絶縁膜、ソースドレイン接合、チャネルなどに新規の材料が導入されてきた場合の特性のロバスト性について知見を得る。新規材料をデバイスに用いた場合の未知の特性値やデバイスパラメータを実験的に求める。

### 2. 研究の進捗状況

(1) FinFET の短チャネル効果を同じチャネル長を有する従来の平面型 MOSFET と比較し、FinFET の方が条件によっては短チャネル効果に弱い場合があることを示した。この状況を決定する構造寸法が Fin 幅であり、これをチャネル長に対して 1/2 以下にすることが短チャネル効果抑制に必要なことを示した。そのメカニズムを解析し、Fin 構造中の中性領域の空乏化によるドレイン電界のチャネル中への侵入が短チャネル効果の劣化を生じることを明らかにした。

(2) FinFET における基本的構造パラメータ（チャネル長、ゲート絶縁膜厚さ、チャネル不純物濃度、Fin 幅）の変動に対するしきい値電圧変動の感度係数を評価した。その結果、Fin 幅を小さくすることにより、従来型の平面型 MOSFET に比べて FinFET のこれらの感度係数を低減でき、揺らぎに対するロバスト性を高められることを明らかにした。

(3) 構造パラメータ変動がしきい値変動を誘発する機構には、チャネル垂直方向のポテンシャルで決まる 1次元要因と短チャネル効果で決まる 2次元要因があること、また、これら二つの要因の相互の関係が構造パラメータごとに異なることを明らかにした。二つの要因がしきい値変動を相殺する方向に作用する場合があることを見出し、これによりロバスト性の高いデバイス構造の設計への一つの指針を得た。

(4) Ni シリサイドを金属ソース・ドレイン構造に適用する場合に課題となるショットキー障壁の低減について、Er 層を積層導入することで電子に対する障壁を 0.22eV 下げられることを実験で示した。この方法で形成する Ni シリサイドを平面型 MOSFET のソース・ドレインに適用したショットキー障壁 MOSFET を製作し、Er 層挿入によってドレイン電流が 20%増加することを確かめた。この技術が、将来の金属ソース・ドレイン構造を持つ FinFET などへの応用に非常に有用であることを示した。

### 3. 現在までの達成度

②おおむね順調に進展している。

(理由)

当初の計画にあった新規材料の実験的検討についてはショットキー障壁制御を中心として限定的な範囲での研究遂行になっているが、一方、デバイスシミュレーションによる検討では現象の新しい理解が進み予想以上に深い知見が得られた部分もある。以上を総合してこの評価とする。

#### 4. 今後の研究の推進方策

FinFET の検討では、しきい値電圧と同様に重要であるオン電流についても同様のアプローチでの検討を開始している。構造揺らぎとオン電流の変動の関係もそのメカニズムとともに明らかにしてゆく。

これまで、個々の構造パラメータごとの特性変動に対する感度係数を議論してきたが、今後は、対象としている構造パラメータの現実的な揺らぎ分布を取り入れ、かつ、これらの構造パラメータの変動が同時に存在する場合の最終的な特性変動のシミュレーションを行う。これによって、より現実的な特性変動を議論し、ロバスト性を高めるキーパラメータを浮き彫りにしてゆく。また、これまで明らかにしてきた特性変動の機構についての知見を総合し、構造パラメータの変動と最終的なデバイス特性変動との関係を体系的に記述表現することをめざす。

ショットキー障壁制御については、電子に対する障壁低減のほか、正孔に対する障壁低減もあわせて必要であるため、そのための新たな組み合わせ材料の探索を進める。また、異種材料挿入の方法で形成するシリサイド層のミクロな物理解析を進め、現象のメカニズムを明らかにする。

#### 5. 代表的な研究成果

(研究代表者、研究分担者及び連携研究者には下線)

[雑誌論文] (計 4 件)

① Y. Kobayashi, K. Tsutsui, K. Kakushima, V. Hariharan, V. R. Rao, P. Ahmet, and H. Iwai, "Parasitic Effects Depending on Shape of Spacer Region on FinFETs", ECS Transaction, Vol. 6, No. 4, pp. 83-88, (2007), 査読有り.

② Yusuke Kobayashi, C. Raghunathan Manoj, Kazuo Tsutsui, Venkanarayan Hariharan, Kuniyuki Kakushima, V. Ramgopal Rao, Parhat Ahmet, and Hiroshi Iwai, "Parasitic effects in multi-gate MOSFETs", IEICE Transactions, vol. E90-C, No.10, pp.2051-2056 (2007), 査読有り.

[学会発表] (計 16 件)

① K. Noguchi, W. Hosoda, K. Matano, K. Kakushima, P. Ahmet, K. Tsutsui, N. Sugii, A. N. Chandorkar, T. Hattori and H. Iwai, "Schottky Barrier Height Modulation by Er Insertion and Its Application to SB-MOSFETs", 214th ECS Meeting, October 12-17, 2008, Honolulu, USA.

② Y. Kobayashi, Angada B. Sachidc, K. Tsutsui, K. Kakushima, P. Ahmet, V. Ramgopal Rao and H. Iwai, "Analysis of Threshold Voltage Variations of FinFETs Relating to Short Channel Effects", 214th ECS Meeting, October 12-17, 2008, Honolulu, USA.

③ Yusuke Kobayashi, Kazuo Tsutsui, Kuniyuki Kakushima, Parhat Ahmet, V. Ramgopal Rao and Hiroshi Iwai, "Analysis of threshold voltage variations of FinFETs : Separation of short channel effects and space charge effects", Int. Conf. on Solid State Devices and Materials, Sept, 2008, Tsukuba, Japan.