

平成22年 3月 31日現在

研究種目： 特定領域研究
 研究期間： 2006 ～ 2009
 課題番号： 18063009
 研究課題名（和文） 3次元構造MOSFETのロバストネス
 研究課題名（英文） Robustness of Three-Dimensional MOSFETs
 研究代表者
 岩井 洋 （ IWAI HIROSHI ）
 東京工業大学・フロンティア研究センター・教授
 研究者番号： 40313358

研究成果の概要（和文）：

素子の微細化が進む集積回路には新しい三次元立体構造のトランジスタが使われると予想されるが、その構造が大きく変わるため微細化で課題となる特性ばらつきについては未知の部分が多かった。本研究では、デバイスシミュレーションによって様々な構造ゆらぎから生ずる特性ばらつきを体系的に解析し、ばらつきを起こしにくいロバスト性の高いトランジスタ実現への指針を明らかにした。また、これを実現するためのプロセス技術として新しいシリサイド電極の製作について実験的研究を行い、低抵抗の電極形成技術の可能性を示した。

研究成果の概要（英文）：

For the future large scale integrated circuit, new transistor with three-dimensional structures will be used in near future. However, variability of transistor characteristics, which is very significant problem on scaling down of device sizes, on the new type transistor has not been known well. In this work, comprehensive study of variability resulted from fluctuations of various device parameters was carried out, and proposed guiding principles for realizing robust transistors for the variability. In addition, a new process technology of silicide electrodes which will be useful to the robust transistors was developed.

交付決定額

（金額単位：円）

	直接経費	間接経費	合計
2006年度	11,400,000	0	11,400,000
2007年度	11,400,000	0	11,400,000
2008年度	10,400,000	0	10,400,000
2009年度	10,400,000	0	10,400,000
年度			
総計	43,600,000	0	43,600,000

研究分野：半導体デバイス

科研費の分科・細目：電気電子工学・電子デバイス・電子機器

キーワード：ばらつき、ゆらぎ、CMOS、ダブルゲート、FinFET、シリサイド、感度解析

1. 研究開始当初の背景

集積回路の高性能化を目指した MOS トラ

ンジスタ (MOSFET) のスケールアップが直面している問題は、短チャネル効果と特性ばら

つきの増大であり、今後の微細化には、この二つの制御が必須である。

短チャネル効果は、トランジスタの電流を制御するゲート構造が微細化により充分機能しなくなり性能劣化を引き起こす問題である。今後、22nm 世代以降は従来の平面型 MOSFET では対応が困難と考えられている。このような状況で、Fin 型電界効果トランジスタ (FinFET) を代表とする 3 次元構造 MOSFET が注目されている。それは従来の平面型 MOSFET は片面のゲートでチャネルを制御するのに対し、FinEFT のようなダブルゲート型はチャネルを挟みこむように制御するため、チャネルの制御性が向上し短チャネル効果を抑制できるからである。

特性ばらつきは、トランジスタの微細化により加工寸法の相対的変動が大きくなることと、素子内の不純物原子の絶対数の減少によりその個数の統計的揺らぎが増大することから、集積回路内のトランジスタ特性がばらつく問題である。これは回路性能に深刻な影響をもたらす。

3 次元構造のトランジスタにおける特性バラツキの研究はまだ系統的な研究がほとんど行われていなかった。従来の平面型 MOSFET に比べると、新たにばらつく構造寸法要素が増え、それらが特性にいかに関与するかは明らかではなかった。従って、FinFET の特性ばらつきの特徴を明らかにし、その抑制法を検討することは重要である。

以上より、将来、微細化の最先端技術を用いる大規模集積回路への導入が確実である 3 次元 MOS トランジスタの短チャネル効果と特性ばらつきの物理的解明、さらにその知見に基づいてこれらに対するロバスト性の高いデバイス構造とプロセス技術の開発が必須であるといえる。

2. 研究の目的

短チャネル効果や特性ばらつきに対してロバスト性の高い 3 次元構造 MOSFET 実現への基礎的知見と技術的指針を明らかにすることが本研究の目的である。

極微細な MOS トランジスタでは、短チャネル効果と特性ばらつきは独立の問題ではなく、むしろ複雑に関係している。そこでまず、特性ばらつきの発生メカニズムにおいて、短チャネル効果との関係性に特に着目しながら、原因である構造寸法等の揺らぎと、結果として現れるトランジスタ特性との多元的な関係を明確化することをめざした。

また、ロバスト性の高い 3 次元構造 MOSFET にとって重要と予想されるプロセス技術として、ソース・ドレインを半導体から金属に置き換えるメタルソース・ドレイン技術に注目した。本研究では、このための基礎的知見を実験的に明らかにすることも目

的とした。

3. 研究の方法

(1) デバイスシミュレーションによる

FinFET の特性ばらつきの感度解析

3 次元構造 MOSFET の代表として将来の微細化された FinFET を想定した。特性ばらつきの研究では、複合する要因を明確に分離して体系化するために、デバイスシミュレーションによって研究を進めた。微細化世代は、2008 年 ITRS ロードマップの 2015 年度 (ゲート長 16nm の世代) をモデルとした。

種々の構造寸法のばらつきはそれぞれ対応する感度係数を介してトランジスタ特性に影響し、それらが独立事象であれば各々の二乗和として現れてくる。ここで、特性ばらつきを抑制するには、構造寸法ばらつき自体を抑制する方法と感度係数を小さくする方法が考えられる。従来は主に前者に注目されてきたが、これは微細化と共に益々困難となることが予想される。そこで本研究では感度係数を小さくすることによって特性ばらつきに対するロバスト性を高めようというアプローチをとった。この観点の研究はこれまで非常に少なかった。感度係数は構造設計により制御できる。しかし、これを行うためには、まず個々の感度係数を決めている物理的要因の明確化が必須である。

ばらつくトランジスタ特性の種類も様々であるが、本研究では最も重要なしきい値とオン電流に絞り、感度解析を行った。

MOSFET のしきい値は M-O-S 構造の基本的パラメータで決まるものに加えて短チャネル効果の影響を受けて複雑化している。そこでまず両者を切り分けた感度解析を実施した。基本特性で決まる成分は M-O-S 方向に 1 次元で決まる成分であるから 1D factor と呼び、短チャネル効果に起因する成分は 2 次元的效果を含む成分なので 2D factor と呼ぶ。そして、評価ターゲットとなる短チャネル MOSFET 及びそれと同じトランジスタのゲート長だけ長くした長チャネル MOSFET を同時に評価し、その特性差分をとる方法で両者を切り分けた。短チャネル MOSFET では 1D factor と 2D factor の両方の影響を受けるのに対し、長チャネル MOSFET では 1D factor のみで特性が決まることを利用した。

オン電流はしきい値に依存して変化するので、しきい値ばらつきを抑制すればオン電流ばらつきも抑制できる可能性がある。そこで、オン電流に対する感度係数においては、まずしきい値変動に起因する成分を切り分けることとした。

(2) メタルソース・ドレインのためのシ

リサイドショットキー接合の障壁制御

FinFET のソース・ドレインの寄生抵抗低減

の究極的技術は、ソース・ドレインを金属としたショットキー接合に置き換えることである。金属材料として CMOS 技術で実績のある Ni シリサイドを利用する場合、接合界面に生じるエネルギー障壁の低減が重要になる。これが下げられれば、ソース・ドレインの寄生抵抗が大幅に低減でき、上記(1)の研究で明らかにされるように、これは FinFET の特性ばらつきに対するロバスト性向上に寄与することが期待できる。

本研究では、Ni シリサイド形成時に、Si と Ni の界面に、Er, Hf, Pt などの種々の異種金属層を挿入堆積してからシリサイド化を行なう方法でこの障壁を制御する技術について、実験的探索を行なった。

4. 研究成果

(1) しきい値ばらつきの感度解析とそのばらつき低減の指針

変動する構造パラメータとして、ゲート長: L_g 、ゲート絶縁膜の等価酸化膜厚: EOT、チャンネル不純物濃度: N_c 、およびフィン幅: W_{fin} を選んだ。FinFET の N_c については平面型 MOSFET と同じチャンネル濃度とアンドープの 2 種類を評価した。しきい値の感度係数 ($\alpha_{V_{th,A}}$; A はいずれかの構造パラメータ) は、それぞれの構造パラメータの変動に対するしきい値の変動量として算出した。図 1 に構造パラメータごとの感度係数の評価結果を示す。オレンジ色が全体の感度係数を表し、それを青色の 1D factor と緑色の 2D factor に切り分けた結果である。

まず、 W_{fin} 変動に対する感度係数において、特徴的な性質が現れた。Doped FinFET において、1D factor と 2D factor の符号が逆であり、両者の打ち消し合いの結果として overall の感度係数が低減していることがわかる。これは、感度係数低減に重要な示唆を与えている。すなわち、1D factor と 2D factor のそれぞれの大きさを低減しなくとも、それらを近づければ理想的には感度係数をゼロにし得る。一方、Un-doped FinFET では 1D factor と 2D factor が同符号であり、強め合っていることがわかる。この場合は、overall の感度係数を低減するには、1D factor と 2D factor をいずれも小さくすることが必要である。以上のように感度係数を定める二つの要因の間には「打ち消し合い」と「強め合い」のいずれかの関係があることがわかった。打ち消し合いの方が強め合いよりも $\alpha_{V_{th,A}}^{Overall}$ は小さくしやすいといえる。なお、ドーピングの有無で 1D factor の符号が変わるのは、内包する不純物電荷の効果と薄い Fin へのキャリア閉じ込めによる量子効果のバランスが両者で異なるためである。

L_g 変動に対する感度係数では、短チャンネル効果のみが変動するため、 $\alpha_{V_{th,L_g}}^{Overall}$ を決

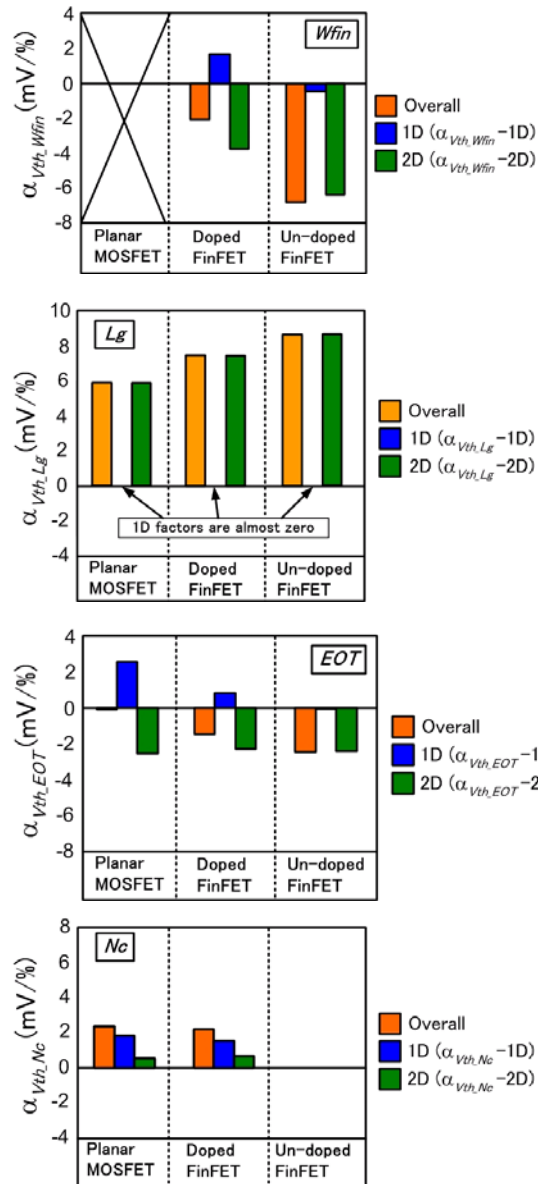


図 1 構造パラメータ (W_{fin} , L_g , EOT, N_c) の変動に対するしきい値変動の感度係数。デバイスは、平面型 MOSFET、チャンネルドーピングした FinFET および無ドーピングの FinFET。

めるのは 2D factor である。

EOT 変動に対する感度係数は、いずれの素子でも 1D factor と 2D factor は打ち消し合いの関係であることがわかる。この場合、1D factor は不純物電荷の効果のみで決まるので Un-doped FinFET ではほぼゼロである。また、平面型 MOSFET よりも Doped FinFET の方が 1D factor が小さくなることがわかる。これは FinFET 構造ではゲート下の空乏層幅がフィン幅で制限されるためにチャンネル内の空間電荷が少なくなることによる。

N_c 変動に対する感度係数では、1D factor と 2D factor の関係性は強め合いになる。Un-doped FinFET ではチャンネル内に不純物が存在しないので 1D と 2D いずれもゼロである。

以上のように、1D factor と 2D factor の間には「打ち消し合い」と「強め合い」の関係が存在し、短チャネル効果が感度係数を介して閾値ばらつきにどのように影響するかを明らかにした。また、要因の切り分けにより、FinFET では平面形 MOSFET に比べて 1D factor が小さくなることを明らかにした。

次に、感度係数を介して最終的な閾値ばらつきへの影響を評価した。このために構造パラメータのランダムばらつき (3σ : σ は標準偏差)を見積った。まず、 L_g に対してはラインエッジラフネス(LER)を考え、ITRS の値を参考にした。 W_{fin} もゲートと同様の加工プロセスを想定し、 L_g のばらつきと同じ値とした。EOTのランダムばらつき成分は、ITRSにおいて 3σ で4%以内に収めることが要請されているため、この値を用いた。 N_c のばらつきのランダム成分は不純物の数と位置の統計揺らぎである。ここでは簡略化して、数の統計揺らぎのみを見積もった。

ここまで求めてきた構造パラメータばらつきと感度係数を用いてしきい値ばらつきを算出した結果を図2(a)に、各要素の二乗平均によって求めた最終的なデバイスのしきい値ばらつきを図2(b)に示す。図2(a)を見ると、 L_g 、 N_c 、 W_{fin} の変動による閾値ばらつきが大きく、LERとチャネル濃度ばらつきが支配的要因であり、これらの感度係数を低減できれば大変有効である。図1の感度解析より、Doped FinFET の $\alpha_{Vth_W_{fin}}$ 以外は強め合

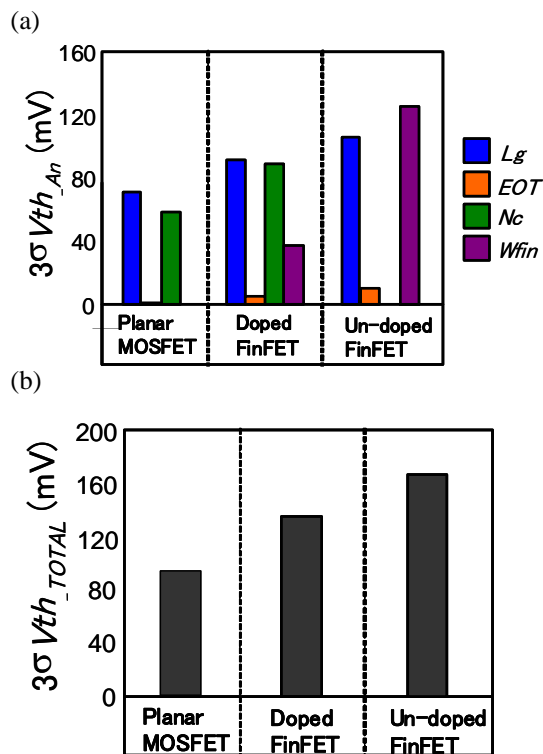


図 2 (a)主要パラメータのばらつきに対応したしきい値ばらつき。(b)トータルのしきい値ばらつき。

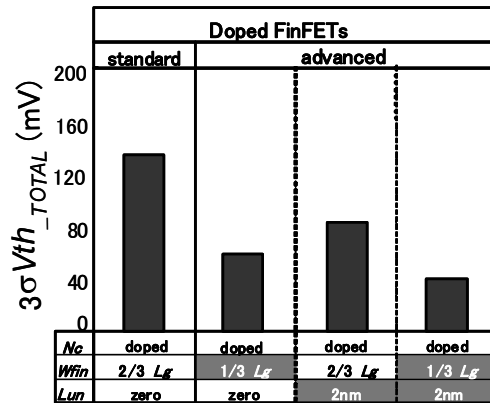


図 3 FinFET の短チャネル効果をさらに抑制した構造 (advanced) におけるしきい値ばらつきの低減。

いであるので、短チャネル効果を抑制し 2D factor を小さくしなければならない。また、Un-doped FinFET の $\alpha_{Vth_W_{fin}}$ は打ち消し合いであるが 2D factor の方が絶対値は大きいので、やはりこれを小さくすることで感度係数を小さくできる。これを実証するために、フィン幅をこれまでより狭くし (W_{fin} を L_g の $2/3$ から $1/3$ に)、オフセット長の最適化を行なって、短チャネル効果をより抑えた FinFET を Advanced FinFET として比較検討した。図 3 に Doped FinFET のしきい値ばらつきを示す。Advanced FinFET においてすべての感度係数が小さくなり、閾値ばらつきを小さくできたことがわかる。Un-doped FinFET でも別途同様の結果を得た。以上のように短チャネル効果を抑制することがロバスト性の向上に重要であることを明らかにした。

(2) オン電流ばらつきの感度解析とそのばらつき低減の指針

トランジスタのオン電流は、しきい値が変動すれば従属的に変化するので、しきい値ばらつきはオン電流ばらつきの原因となる。しかし、他の要因も存在し、最終的にはそれらの効果が合わさって表れる。そこで、しきい値の感度解析の手法をここでも適用し、オン電流変動に対する感度係数決定要因を、しきい値変動とその他の要因 (other) に切り分けて解析した。主要構造パラメータの変動に対するオン電流の変動とともにしきい値のズレを求め、しきい値のみを仕事関数差によってもとの値に戻したトランジスタのオン電流を再評価して差分を取る方式で切り分けを行なった。

しきい値の場合の図 1 に相当する各感度係数とその内訳を同様に調べた結果、しきい値変動と他の要因とが「打ち消しあい」関係にある場合が大部分であることがわかった。しきい値の場合と同様の手続きで、トータルのオン電流ばらつきを算出した結果を図 4 に示

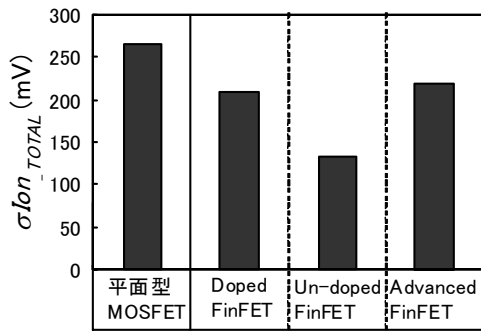


図4 デバイス構造ごとのトータルのオン電流ばらつき。

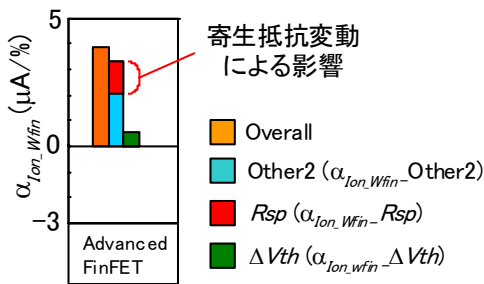


図5 Advanced FinFET のオン電流ばらつきにおける Wfin に対する感度係数の内訳。しきい値変動による成分 (緑色) が比較的小さく、その他の要因の中で寄生抵抗変動による成分 (赤色) が顕著。

す。前出の Advanced 型の FinFET が最もしきい値ばらつきが小さかったにもかかわらず、オン電流ばらつきはむしろ増加している。「打ち消しあい」関係から予想されたとおり、しきい値ばらつきの抑制がそのままオン電流ばらつきの低減に結びつくわけではないことが示された。

この現象解明には、しきい値変動以外の要素 (other) を明確にする必要がある。そこで、ソース・ドレインの寄生抵抗に着目し、これの寄与を抽出した。Advanced FinFET で最も影響が大きい Wfin の変動に対してその結果を図5に示す。オン電流ばらつきの内訳要因では、しきい値ばらつきではない要因が大きく、その中の40%程度は寄生抵抗の変動が原因であることがわかった。

以上より、オン電流ばらつきに対するロバスト性向上には、しきい値ばらつき抑制とともに寄生抵抗低減が重要である。

(3) エルビウム (Er) 添加による Ni シリサイドショットキー接触の障壁制御

p-Si 基板上に SiO₂ 層で素子分離した構造に異種金属と Ni を積層堆積し、400~700°C で1分間のアニールでシリサイド化した。SiO₂ 上の未反応金属を選択除去してショットキーダイオードを形成し、その電流-電圧特

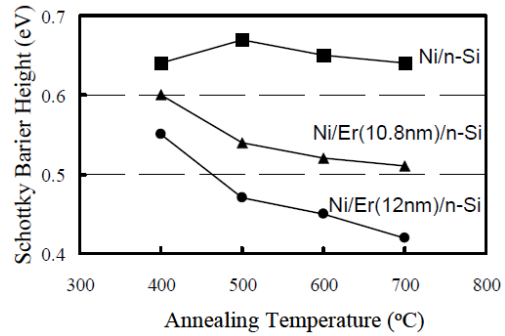


図6 Er 層挿入によるシリサイド・ショットキーダイオードの電子に対する障壁高さ。Er 層厚およびアニール温度依存性。

性から電子に対する障壁高さを評価した。

12nm の Ni 層に対し、Er 層を 0~12nm まで異なる厚さで挿入し、電子に対する障壁高さを測定した結果を図6に示す。Ni のみの場合にはアニール温度に依存せず高い障壁を示しているのに対し、Er を挿入することで障壁が顕著に下がったことがわかる。初期に堆積する Er 層が厚く、また、アニール温度が上がるにつれて障壁低減効果は大きくなった。この実験では最大 0.22eV の障壁低下を確認できた。また、シリサイド化後の組成の深さ方向分析から、アニール後に大部分の Er が表面に偏析しながら、かつ、Si 界面近傍にも Er は存在することがわかった。Si と Ni シリサイドのショットキー接合の界面にある量の Er が混入し、界面特性を制御していると考えられる。

以上の Er 層挿入による電子に対する障壁低減効果を実際に MOS トランジスタのソース・ドレインに組み込んで検証実験を行なった。平面型の N チャネル MOSFET のソースとドレインがショットキー接合となる素子 (SB-MOSFET) を形成し、Er 層挿入の有無でトランジスタ特性を比較した。ここでは、Ni/Er が 12nm/7.2nm の厚さでアニール温度は 600°C とした。結果を図7に示す。いずれも正常なトランジスタ動作を示したとともに、

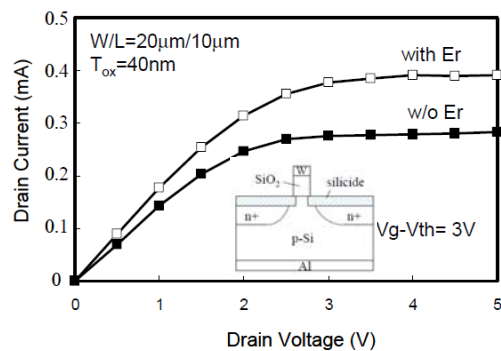


図7 Er 層挿入法で障壁高さを制御した SB-MOSFET のドレイン電流-ドレイン電圧特性。

Er 層の挿入によってドレイン飽和電流が25%増大した。これは、ショットキー界面の電子に対する障壁が低下した結果、接触抵抗が低下した効果と理解できる。この結果は、本技術が将来の3次元MOSFETを含めた高性能メタルソース・ドレイン実現の候補技術であり、ロバスト性の高いトランジスタ製作技術に寄与できることを示している。

5. 主な発表論文等

[雑誌論文] (計 12 件)

- ① Y. Koyabashi, K. Tsutsui, K. Kakushima, P. Ahmet, V. R. Rao and H. Iwai, "Analysis of Threshold Voltage Variation in Fin Field Effect Transistors: Separation of Short Channel Effects", Jpn. J. Appl. Phys, vol.49, 044201 (2010). 査読あり
- ② Y. Kobayashi, K. Kakushima, P. Ahmet, V. R. Rao, K. Tsutsui and H. Iwai, "Analysis of Dependence of Short-channel Effects in Double-gate MOSFETs on Channel Thickness", Microelectronics Reliability, vol.50, 332-337 (2010). 査読あり
- ③ K. Noguchi, W. Hosoda, K. Matano, K. Kakushima, P. Ahmet, K. Tsutsui, N. Sugii, A. Chandorkar, T. Hattori and H. Iwai, "Schottky Barrier Height Modulation by Er Insertion and Its Application to SB-MOSFETs", ECS Trans., vol.16, 29-34 (2009). 査読なし
- ④ P. Ahmet, T. Shiozawa, K. Nagahiro, T. Nagata, K. Kakushima, K. Tsutsui, T. Chikyo and H. Iwai, "Thermal Stability of Ni silicide Films on Heavily Doped n⁺ and p⁺ Si Substrates", Microelectronic Engineering, vol.85, 1642-1645 (2008). 査読あり
- ⑤ Y. Kobayashi, V. R. Manoj, K. Tsutsui, V. Hariharan, K. Kakushima, V. R. Rao, P. Ahmet and H. Iwai, "Parasitic Effects in Multi-gate MOSFETs", IEICE Trans. on Electronics, Vol. E90-C, 2051-2056 (2007). 査読あり

[学会発表] (計 25 件)

- ① P. Ahmet, W. Hosoda, K. Noguchi, Y. Ohishi, K. Kakushima, K. Tsutsui and H. Iwai, "Er Inserted Ni Silicide Metal Source/Drain for Schottky MOSFETs", 10th Int. Workshop on Junction Technology (IWJT2010), Shanghai, China, May 11, 2010.
- ② K. Noguchi, W. Hosoda, K. Matano, K. Kakushima, P. Ahmet, K. Tsutsui, N.

Sugii, A. N. Chandorkar, T. Hattori and H. Iwai, "Schottky Barrier Height Modulation by Er Insertion and Its Application to SB-MOSFETs", 214th Electrochem. Society (ECS) Meeting (PRIME 2008), Honolulu, USA, Oct. 14, 2008.

- ③ Y. Kobayashi, A. B. Sachid, K. Tsutsui, K. Kakushima, P. Ahmet, V. R. Rao and H. Iwai, "Analysis of Threshold Voltage Variations of FinFETs Relating to Short Channel Effects", 214th Electrochem. Society (ECS) Meeting (PRIME 2008), Honolulu, USA, Oct. 14, 2008.
- ④ Y. Kobayashi, K. Tsutsui, K. Kakushima, V. R. Rao, P. Ahmet and H. Iwai, "Analysis of Threshold Voltage Variations of FinFETs: Separation of Short Channel Effects and Space Charge Effects", Int. Conf. on Solid State Devices and Materials (SSDM 2008), Ibaraki, Japan, Sept. 25, 2008.

6. 研究組織

(1) 研究代表者

岩井 洋 (IWAI HIROSHI)

東京工業大学・フロンティア研究センター
・教授

研究者番号：40313358

(2) 研究分担者

服部 健雄 (HATTORI TAKEO)

東京工業大学・フロンティア研究センター
・客員教授

研究者番号：10061516

筒井 一生 (TSUTSUI KAZUO)

東京工業大学・大学院総合理工学研究科
・教授

研究者番号：60188589

角嶋 邦之 (KAKUSHIMA KUNIYUKI)

東京工業大学・大学院総合理工学研究科
・助教

研究者番号：50401568

パールハット・アヘメト (PARHAT AHMET)

東京工業大学・フロンティア研究センター
・特任准教授

研究者番号：00418675

(3) 連携研究者

なし