

研究種目：特定領域研究
研究期間：2006～2009
課題番号：18080005
研究課題名（和文） 局在電磁波配線を利用した単一磁束量子論理ゲートの研究と高速信号処理回路への応用
研究課題名（英文） Development of SFQ Logic Gates with Passive Transmission Lines and Their Application to Digital Signal Processors
研究代表者
吉川信行（YOSHIKAWA NOBUYUKI）
横浜国立大学・大学院工学研究院・教授
研究者番号：70202398

研究分野：電子工学、集積回路工学、超伝導エレクトロニクス
科研費の分科・細目：電気電子工学・電子デバイス・電子機器
キーワード：局在電磁波、単一磁束量子、SFQ、単一磁束量子論理回路、サブテラヘルツ集積回路、超伝導回路、低消費電力、信号処理回路

1. 研究計画の概要

本研究では、局在電磁波配線を利用した単一磁束量子(SFQ)回路を実現する上で重要な課題であるSFQ論理ゲートの最適設計法について研究する。これによりSFQ論理ゲート間を超伝導伝送線路で直接配線するための基本技術を確立し、回路設計の柔軟性を向上させる。更に、局在電磁波集積回路の標準セルライブラリを構築し、設計資産の共有化を図る。研究の後半では、開発したセルライブラリを利用して信号処理回路の開発を行ない、半導体回路を超える性能を有する信号処理回路の実証を目指す。

2. 研究の進捗状況

(1) 局在電磁波配線を利用したSFQ論理ゲートの最適設計法の研究

まず、SFQ論理ゲート間を超伝導伝送線路で直接配線するための基本設計方法の検討を行った。SFQ論理ゲートを直接超伝導伝送線路に接続する際の問題点は、接続部での電磁波の反射である。本研究では、論理ゲートに対し、既存の超伝導伝送線路用のドライバー/レシーバを接続する方法を用いた。論理ゲートのパラメータの最適化により、より少ない追加接合数で超伝導伝送線路に論理ゲートを直接接続できることを示した。

以上の設計方法を用いて、基本ゲートのセルライブラリを構築した。NDRO、D2FFを含む7種類の基本セルを設計、試作し、それらのバイアス電流マージンを実験的に評価した。その結果、ほとんどのセルについて、従来のセルと同等のバイアス電流マージンで回路

が動作することを示した。これらの基本セルを用いてシフトレジスタならびに半加算器を設計、試作し、実験において十分なバイアス電流マージンを得た。これにより、開発した基本セルは、超伝導伝送線路と直接接続可能であるばかりでなく、基本セル同士も直接接続可能であることを示した。新たな論理ゲートセルを用いることで回路の接合数、面積、レイテンシ、バイアス電流を約25%低減できることが分かった。以上により、提案する回路設計法の有効性を示した。

(2) SFQ回路を用いた高速信号処理回路の開発

まず、SFQ回路に適したFFTプロセッサアーキテクチャの検討を行った。検討の結果、アレイ状のバタフライ演算ユニットで構成されたプロセッサ構造を採用した。また、既存のプロセスを用いて4bitビットシリアル乗算器を設計試作し、最高40GHzのクロック周波数での動作実証に成功した。更に4bitビットシリアルバタフライ演算器の設計と試作を行った。オンチップ高速テストにより、16GHzにおける正常動作を実証した。

3. 現在までの達成度

①当初の計画以上に進展している。

(理由)

3年の研究期間を通して、局在電磁波配線を利用したSFQ論理ゲートの最適設計法を確立し、セルライブラリのミニマムセットを作成し、十分な動作マージンでそれらの動作検証を行うことができた。また、提案の設計法により、面積、レイテンシ、バイアス電流

などの回路性能が 25%改善できることを明らかにした。更に、以上の設計法を用いて FFT プロセッサの基本回路ブロックである 4bit バタフライ演算器を設計し、Nb 標準プロセス($J_c = 2.5 \text{ kA/cm}^2$)を用いて試作を行い、16GHz での高速動作実証に成功した。以上の研究成果は、当初の最終年度における研究計画の内容に相当し、今後の新しい研究展開が期待できる。

4. 今後の研究の推進方策

当初の研究計画が前倒しで達成できたので、今後は、Nb アドバンスとプロセス($J_c = 10 \text{ kA/cm}^2$)を用いて、サブテラヘルツ動作が可能なセルライブラリの構築を目指す。4bit バタフライ演算器の試作を行い、回路の 50 GHz 動作を目指す。

5. 代表的な研究成果

[雑誌論文] (計 17 件)

- ① H. Park, Y. Yamanashi, K. Taketomi, N. Yoshikawa, A. Fujimaki, N. Takagi, "Novel serial-parallel converter using SFQ logic circuits" Physica C, vol.468, September 2008, pp. 1977-1982. 査読有
- ② K. Nakamiya, N. Yoshikawa, A. Fujimaki, H. Terai, Y. Hashimoto "Direct measurements of propagation delay of single-flux-quantum circuits by time-to-digital converters" IEICE Electronics Express, Vol. 5 (2008) , No. 9,

pp.332-337. 査読有

- ③ 吉川信行, "単一磁束量子回路を用いた超高速マイクロプロセッサの開発とその展望", 電子情報通信学会論文誌 C, vol. J91-C, 2008, pp. 183-193. 査読有
- ④ Y. Yamanashi, T. Nishigai, N. Yoshikawa, "Study of LR-Loading Technique for Low-Power Single Flux Quantum Circuits," IEEE Trans. Applied Superconductivity. vol. 17, June 2007, pp. 150-153. 査読有
- ⑤ Y. Nobumori, T. Nishigai, K. Nakamiya, N. Yoshikawa, A. Fujimaki, H. Terai, S. Yorozu, "Design and Implementation of a Fully Asynchronous SFQ Microprocessor: SCRAM2, " IEEE Trans. Applied Superconductivity. vol. 17, June 2007, pp. 478-481. 査読有

[学会発表] (計 59 件)

[図書] (計 0 件)

[産業財産権]

- 出願状況 (計 0 件)
- 取得状況 (計 0 件)

[その他]

ホームページ

<http://www.yoshilab.dnj.ynu.ac.jp/tokutei/index.html>