

研究種目：特定領域研究
 研究期間：2006 ～ 2009
 課題番号：18080005
 研究課題名（和文） 局在電磁波配線を利用した単一磁束量子論理ゲートの研究と高速信号処理回路への応用
 研究課題名（英文） Development of SFQ Logic Gates Connectable to Passive Transmission Lines and Their Application to Digital Signal Processors
 研究代表者
 吉川 信行 (YOSHIKAWA NOBUYUKI)
 国立大学法人横浜国立大学・大学院工学研究院・教授
 研究者番号：70202398

研究成果の概要（和文）：

単一磁束量子(SFQ)回路と無損失超伝導配線を融合させた局在電磁波集積回路は、高速性、低消費電力性において極めて優れた性能を有する。本研究では、SFQ 論理ゲートを直接、超伝導配線に接続する技術进行研究し、新たなセルライブラリの開発を行った。これにより、回路の素子数と消費電力を低減し、設計自由度を向上させることが可能となった。さらに、局在電磁波集積回路の信号処理回路への応用を目指して、FFT 演算回路を開発し、それらの高速動作実証を行った。

研究成果の概要（英文）：

Single-flux-quantum (SFQ) integrated circuits, which combine SFQ circuits with loss-less superconducting passive transmission lines (PTLs), have extremely high-speed and low-power abilities. In this study, a technique to connect SFQ logic gates directly with PTLs was studied and a new cell library was developed. It was demonstrated that the junction number and power consumption of SFQ circuits were considerably reduced with this technique. FFT signal processors were also developed based on this technique for their digital-signal-processor application, and their high-speed operation was demonstrated.

交付決定額

(金額単位：円)

| | 直接経費 | 間接経費 | 合計 |
|--------|------------|------|------------|
| 2006年度 | 14,800,000 | 0 | 14,800,000 |
| 2007年度 | 18,300,000 | 0 | 18,300,000 |
| 2008年度 | 15,600,000 | 0 | 15,600,000 |
| 2009年度 | 5,600,000 | 0 | 5,600,000 |
| 総計 | 54,300,000 | 0 | 54,300,000 |

研究分野：電子デバイス、集積回路

科研費の分科・細目：電気電子工学・電子デバイス・電子機器

キーワード：局在電磁波、単一磁束量子、SFQ、単一磁束量子回路、超伝導回路、低消費電力、信号処理回路、FFT

1. 研究開始当初の背景

現在、単一磁束量子(single flux quantum; SFQ)回路の配線には2種類の素子が用いら

れている。その一つは、ジョセフソン伝送線路(Josephson transmission line; JTL)であり、もう一つは超伝導受動伝送線路(passive

transmission line; PTL)である。JTLは主にゲート間配線に用いられており、PTLはブロック間配線に用いられている。PTLは、局在電磁波の無分散、無損失な伝送が可能のため、これを用いることで高速で柔軟な配線が期待できる。しかしながら既存のセルライブラリにおける基本論理ゲートセルは、直接、PTLと接続することができず、driver や receiver セルなどの特別なセルを PTL との間に挿入する必要があった。これらは、回路の遅延時間や素子数、消費電力のオーバーヘッドの増大をもたらすため、これまでゲート間配線には PTL は利用されていなかった。ゲート間 PTL 配線は、設計における柔軟性を増し、SFQ 回路の高速性を生かすことができる。そのため、PTL 配線を直接接続できる論理ゲートセルの開発が強く望まれている。

一方、高速フーリエ変換(FFT)は、様々な信号処理において重要な演算として知られている。特に、リアルタイム FFT 処理は、イメージプロセッシングにおいて不可欠な演算であり、汎用プロセッサにおける処理が難しく専用プロセッサによる高速処理が必要となる。しかしながら、半導体 CMOS 回路を用いた場合、スイッチングアクティビティが高く、高いクロック周波数で動作する回路を集積化する必要があるため、消費電力が回路の性能を制限してしまう。一方、SFQ 回路を用いた FFT プロセッサは、非常に低消費電力で動作するため高性能な性能が期待できる。

FFT 演算器の最も基本的な回路要素は、radix-2 バタフライ演算器として知られている。SFQ 回路を用いた radix-2 バタフライ演算器は、これまでに Hypres 社の Mukhanov らにより研究されているが、これまでに 5-bit のシステムの低速における動作実証のみが行われている。SFQ 回路の信号処理応用の可能性を示すためには、これらのバタフライ演算器の高速動作実証が不可欠である。

2. 研究の目的

超伝導配線を積極的に利用した局在電磁波集積回路を実現する上で重要な課題である SFQ 論理ゲートの最適設計法について研究を行う。これにより SFQ 論理ゲート間を超伝導配線で直接配線するための基本技術を確立する。更に、開発した設計手法を利用してセルライブラリを構築し、これら設計資産の共有化を図る。また、局在電磁波集積回路の信号処理回路への応用を目指して、FFT プロセッサを開発し、それらの高速動作実証を行う。これにより、SFQ 回路を信号処理に応用する際の諸性能を明らかにし、設計における課題を

抽出する。以上により局在電磁波集積回路を用いた高速信号処理回路の有効性を示す。

3. 研究の方法

(1) PTL 直結型 SFQ 論理ゲートセルの研究

図 1 (a)には、既存のセルライブラリにおける driver と receiver を利用してゲート間 PTL 配線を行った場合の構成を示す。既存のセルライブラリの論理ゲートセルは、直接 PTL に接続することができないため、driver と receiver が必要となる。これは、回路の接合数、遅延時間、消費電力の増加をもたらす。一方、今回開発した PTL 直結型の論理ゲートセルは、図 1 (b)の様に直接 PTL への接続が可能である。

PTL 直結型論理ゲートセルの設計は、CONNECT セルライブラリにおける論理セルと driver, receiver をベースとしており、以下の手順で行われた。まず、回路の設計において、既存の論理セルに単純に driver, receiver を追加したものを作成し、これから論理セルと driver, receiver 間の冗長な JTL をできるだけ削除した。この際、SFQ パルスの反射をできるだけ抑えるため、driver, receiver の PTL との接続部分の回路構成はそのままとし、できるだけバイアスマージンが大きくなる様に回路全体の最適化を行った。

(2) FFT プロセッサ用バタフライ演算器の研究

従来のバタフライ演算器の回路構成に対して、本研究で開発したバタフライ演算器は、新規の加算器と乗算器を用いることにより高性能化を図る。また、ビットシリアルアーキテクチャを用いることで、回路規模の大幅な低減とクロック周波数の高速化を図る。更に、オンチップ高速測定により高速動作の実証を目指す。以上により、局在電磁波パルスを用いた信号処理回路の有効性を示すことを目標とする。

デジタル演算によるフーリエ変換は、離散フーリエ変換により行われる。 N をサンプリング

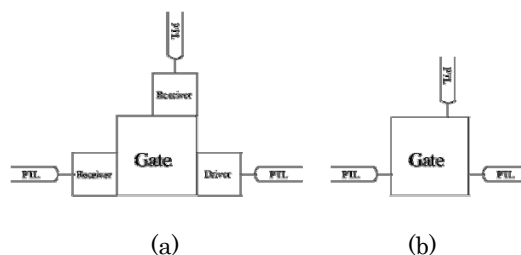


図 1 PTLを用いたゲート間配線。(a) 従来のセルライブラリを用いた方法。(b) 本研究で提案する PTL直結型論理ゲートセルを用いた方法。

リング数とすると、演算量はサンプリング数に対して N^2 の依存性を持つ。しかしながら、FFT アルゴリズムを用いることで演算量は $M \log N$ のオーダーに低減することができる。

4点 FFT のデータフローグラフを図2に示す。FFT 演算は、図において四角で囲まれた演算を基本単位として行われる。この基本演算はバタフライ演算と呼ばれる。バタフライ演算は、2つの複素加算と2つの複素乗算により構成される。より多ビットの FFT 演算は、図に示すようにバタフライ演算を組み合わせることにより実現できる。

本研究では、FFT 演算器の最も基本的な回路要素である radix-2 バタフライ演算器を開発した。

4. 研究成果

(1) PTL 直結型 SFQ 論理ゲートセルの研究

① PTL 直結型 SFQ 論理ゲートセルの開発

超電導工学研究所(SRL)の 2.5 kA/cm² Nb 標準プロセス用の PTL 直結型論理ゲートセルの設計を行った。表1に従来型論理ゲートセルと PTL 直結型論理ゲートセルの接合数、DC バイアスマージン、遅延時間を比較した結果を示す。表において“new cell”は PTL 直結型論理ゲートセルを、“old cell”は従来型論理ゲートセルと PTL 用 driver, receiver を組み合わせた結果を示している。これらの結果より、PTL 直結型論理ゲートセルにおいて接合数と遅延時間が約 30%改善されていることがわかる。一方、DC バイアスマージンは両者でほとんど変わらない。

これらのセルを相互接続した際の特性を調べるために DFF セルと SPL セルを用いて 4-bit シフトレジスタを設計試作し、低速測定において±32.5%の DC バイアスマージンを得た。更に、これらのセルは PTL を用いなくとも直接接続可能であることも確認した。

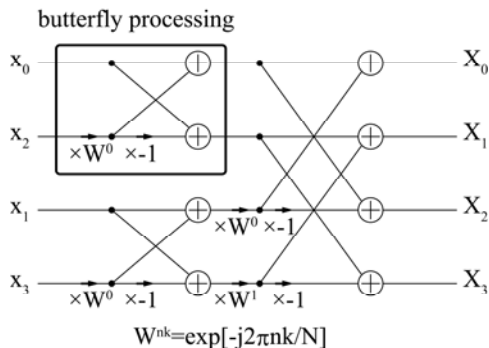


図2 4点FFTのデータフローグラフ。+ は複素加算を、矢印は複素乗算を表している。また、 W は回転因子を表している。4点FFT 演算は、4つのバタフライ演算で構成される。

表1 従来型論理ゲートセルと PTL 直結型論理ゲートセルの比較

| Logic gate cell | | JJ number | Bias margin [%] | Delay [ps] |
|-----------------|-----|-----------|-----------------|------------|
| DFF | old | 11 | -39.6 - +37.2 | 21.2 |
| | new | 8 | -34.8 - +38.8 | 13.0 |
| SPL | old | 7 | -38.0 - +37.6 | 20.3 |
| | new | 4 | -30.4 - +38.8 | 15.4 |
| CB | old | 12 | -32.8 - +36.0 | 31.2 |
| | new | 9 | -30.8 - +38.8 | 21.8 |
| D2FF | old | 20 | -37.6 - +34.8 | 27.2 |
| | new | 14 | -36.8 - +35.2 | 20.8 |
| AND | old | 21 | -39.2 - +36.0 | 25.8 |
| | new | 17 | -23.4 - +34.0 | 18.8 |
| NOT | old | 16 | -35.2 - +36.0 | 23.6 |
| | new | 14 | -26.6 - +35.9 | 17.3 |
| NDRO | old | 18 | -32.0 - +30.0 | 27.6 |
| | new | 14 | -24.6 - +31.6 | 20.3 |

② PTL 直結型論理ゲートセルを用いた演算器

PTL 直結型論理ゲートセルの有効性を調べるために半加算器を設計試作した。設計した半加算器は、二分決定グラフに基づく非同期アーキテクチャを用いている。接合数は 158 であり、回路面積は 0.52 mm × 1.12 mm である。図3には試作した半加算器のチップ写真を示す。回路の低速での DC バイアスマージンは、-7.9%~+37.3% (±22.6%)であった。表2には、試作回路と従来セルを用いて設計した回路の回路面積、接合数、バイアス電流量、遅延時間の比較を示す。これより、PTL 直結型論理セルを用いた回路は、従来型論理ゲート

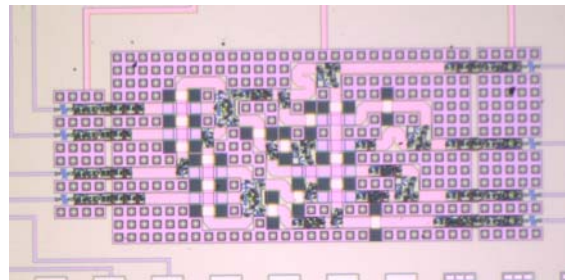


図3 PTL 直結型論理ゲートセルを用いた半加算器のチップ写真。

表2 従来型論理ゲートセルと PTL 直結型論理ゲートセルを用いた半加算器の比較

| | old | new |
|--------------|-------------------|-------------------|
| Circuit area | 0.60 mm × 1.56 mm | 0.52 mm × 1.12 mm |
| JJ number | 200 | 158 |
| Bias current | 25.9 mA | 19.7 mA |
| latency | 0.17 ns | 0.13 ns |

トセルを用いた回路に比べて全ての性能において優れた特性を持つことがわかる。

(2) FFT プロセッサ用バタフライ演算器の開発

①SFQ バタフライ演算器の設計

図4にバタフライ演算器のブロック図を示す。入力データは複素数であり、実部と虚部が独立して計算される。したがって演算器は、4つの乗算器、3つの加算器、4つの減算器で構成される。本研究では、回路規模の縮小のためにSFQバタフライ演算器をビットシリアルアーキテクチャに基づいて設計した。

バタフライ演算器を構成する加算器は、状態遷移に基づく加算アルゴリズムを利用したビットシリアル加算器を用いている。本方式では、キャリー信号の次ビットへの伝搬を、キャリーのフィードバックループではなく非破壊読み出し(NDRO)フリップフロップの内部状態として保持する。そのため、小面積かつ高速なビットシリアル加算器を構成できる。

乗算器には、遅延時間を小さくするために我々が開発した高速シリアル-パラレル乗算器を用いた。本乗算器は、既存のシリアル-シリアル乗算器の加算部をバイナリツリー状の加算器で構成することにより、遅延時間の高速化を図っている。

バタフライ演算器への x 入力は3段目のステージで利用するため、同期をとるために数段のDフリップフロップを挿入した。その他、クロックツリーの等長配線などのタイミング設計の工夫を行い、デジタルシミュレーションにより16GHzでの回路動作を確認した。

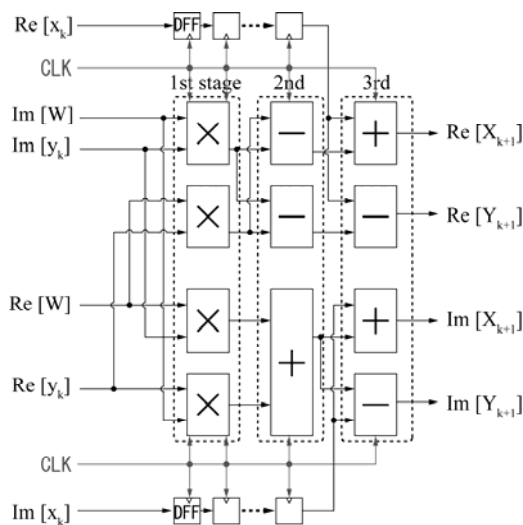


図4 SFQバタフライ演算器のブロック図。バタフライ演算は、3段の演算ステージで構成される。

またその時の電流バイアスマージンは-9% ~ +20%であった。これより、チップ性能は約40G演算/秒となる。

②SFQ バタフライ演算器の動作

CONNECTセルライブラリを用いて4ビットバタフライ演算器を設計し、超電導工学研究所(SRL)のNb 2.5 kA/cm² プロセスを用いて回路を試作した。図5には、試作したバタフライ演算器のチップ写真を示す。回路はオンチップ高速テストのために、幾つかのシフトレジスタとラダー型のクロック発振器を含んでいる。回路面積は4.48 mm × 4.06 mmであり、接合数は6903接合、総バイアス電流量は848 mA、消費電力は2.1 mWである。また、1W当たりの演算性能は、19 T演算/Wとなる。回路は5つのバイアスブロックにより構成され、それぞれのバイアス電流量は個別に調整できるようになっている。

試作したバタフライ演算器の正常動作をオンチップ高速テストにより確認した。図6には、クロック周波数16GHzにおける各回路

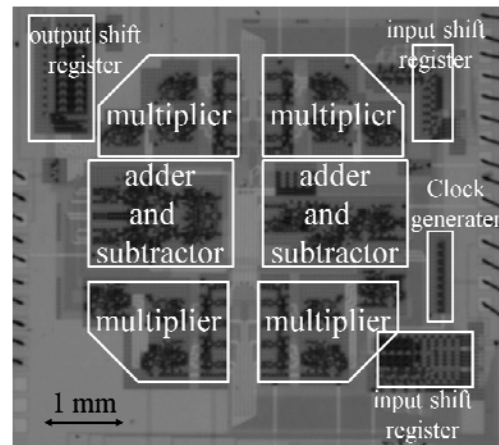


図5 4ビットSFQバタフライ演算器のチップ写真。

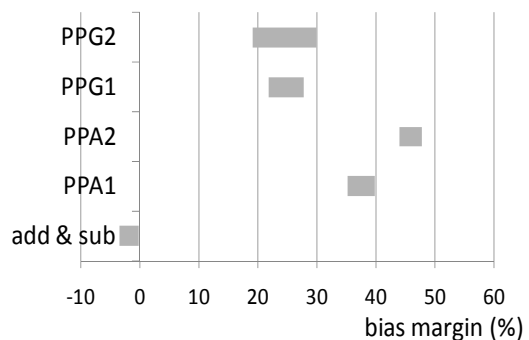


図6 4ビットSFQバタフライ演算器の16GHzでの電流バイアスマージン。バイアスマージンは設計電圧(2.5 mV)によって正規化されている。

ブロックの電流バイアスマージンを示す。動作範囲は異なるものの、十分なバイアス電流範囲で回路が動作していることがわかる。動作範囲のばらつきは、バイアス電流が発生する磁場の影響が主要な原因であると考えられる。

(3) 成果のまとめ

本研究では、SFQ回路の遅延時間と消費電力の低減、ならびに設計の柔軟性の向上を目指して、超伝導受動線路(PTL)と直接接続可能なSFQ論理ゲートセルの研究開発を行った。既存の論理ゲートセルを用いてPTL直結型セルを設計する手法を提案し、基本論理ゲートのセルライブラリを構築した。これらの基本論理ゲートセルならびにそれらを用いたシフトレジスタや加算器、 2×2 スイッチの試作を行い、従来セルと同等の電流バイアスマージンを得た。また、PTL直結型論理ゲートセルを用いることで回路面積、接合数、消費電力、遅延時間を従来型セルに対して約30%改善できることを示した。これらの成果は、局在電磁波集積回路の素子数、消費電力を低減するのみではなく、CADを用いた自動設計などへの展開が期待でき、設計上の大きな進歩をもたらした。

一方、SFQ論理回路の信号処理回路への応用を目指し、FFT演算用のradix-2バタフライ演算器の開発を行い、オンチップ高速テストにより16GHzでの高速動作を確認した。チップ性能は約40G演算/秒であり、1W当たりの演算性能は、約19T演算/Wとなる。本成果は、SFQ回路を用いたFFT演算器の高速動作実証として世界初であり、今後のSFQ回路を用いた信号処理回路の応用の道を切り開くものである。

5. 主な発表論文等

(研究代表者、研究分担者及び連携研究者には下線)

[雑誌論文] (計35件)

- (1) Y. Okamoto, H. Jin, K. Yaguchi, Y. Yamanashi, and N. Yoshikawa, "Access Time Measurement of 64-kb Josephson-CMOS Hybrid Memories using SFQ Time-to-Digital Converter," IEICE Electron. Express, vol. 7, 2010, pp.320-325. 査読あり。
- (2) K. Fujiwara, Q. Liu, T. Van Duzer, X. Meng, N. Yoshikawa, "New delay-time measurements on a 64 kb Josephson-CMOS hybrid memory with 600 ps access time," IEEE Trans. Appl. Superconductivity, vol. 20, 2010, pp. 14 – 20. 査読あり。
- (3) N. Takeuchi, Y. Yamanashi, Y. Saito, N. Yoshikawa, "3D simulation of superconducting microwave devices with an electromagneticfield simulator," Physica C, vol. 469, 2009, pp.1662-1665. 査読あり。
- (4) H. Park, Y. Yamanashi, K. Taketomi, N. Yoshikawa, M. Tanaka, K. Obata, Y. Itou, A. Fujimaki, N. Takagi, K. Takagi, S. Nagasawa, "Design and Implementation of SFQ Half-Precision Floating-Point Adders," IEEE Trans. Appl. Superconductivity, vol. 19, 2009, pp. 634-639. 査読あり。
- (5) M. Igarashi, K. Churei, N. Yoshikawa, K. Fujiwara, Y. Hashimoto, "SFQ pulse transfer circuits using inductive coupling for current recycling," IEEE Trans. Appl. Superconductivity, vol. 19, 2009, pp. 649-652. 査読あり。
- (6) K. Nakamiya, N. Yoshikawa, A. Fujimaki, H. Terai, Y. Hashimoto "Direct measurements of propagation delay of single-flux-quantum circuits by time-to-digital converters," IEICE Electronics Express, Vol. 5, 2008, No. 9, pp.332-337. 査読あり。
- (7) 吉川信行, "単一磁束量子回路を用いた超高速マイクロプロセッサの開発とその展望," 電子情報通信学会論文誌C, vol. J91-C, 2008, pp. 183-193. 査読あり。
- (8) Y. Yamanashi, M. Tanaka, A. Akimoto, H. Park, Y. Kamiya, N. Irie, N. Yoshikawa, A. Fujimaki, H. Terai, Y. Hashimoto, "Design and Implementation of a Pipelined Bit-Serial SFQ Microprocessor, CORE1beta," IEEE Trans. Applied Superconductivity, vol. 17, June 2007, pp. 474-477. 査読あり。
- (9) Y. Yamanashi, T. Nishigai, N. Yoshikawa, "Study of LR-Loading Technique for Low-Power Single Flux Quantum Circuits," IEEE Trans. Applied Superconductivity, vol. 17, June 2007, pp. 150-153. 査読あり。
- (10) T. Hikida, K. Fujiwara, N. Yoshikawa, A. Fujimaki, H. Terai, S. Yorozu, "Bit-Error-Rate Measurements of RSFQ Shift Register Memories," IEEE Trans. Applied Superconductivity, vol. 17, June 2007, pp. 512-515. 査読あり。
- (11) Y. Nobumori, T. Nishigai, K. Nakamiya, N. Yoshikawa, A. Fujimaki, H. Terai, S. Yorozu, "Design and Implementation of a Fully Asynchronous SFQ Microprocessor: SCRAM2," IEEE Trans. Applied Superconductivity, vol. 17, June 2007, pp. 478-481. 査読あり。
- (12) Y. Yamanashi, A. Akimoto, N. Yoshikawa, M. Tanaka, T. Kawamoto, Y. Kamiya, A. Fujimaki, H. Terai and S. Yorozu, "A new design approach for control circuits of pipelined single-flux-quantum

- microprocessors,” Supercond. Sci. Technol. 19, 2006, pp. S340-S343. 査読あり。
- (13) N. Yoshikawa, M. Tokuda¹, T. Tomida, H. Kojima, K. Fujiwara, Q. Liu and T. Van Duzer, “Access time measurements of Josephson-CMOS hybrid memory using single-flux-quantum circuits,” Supercond. Sci. Technol. 19, 2006, pp. S350-S353. 査読あり。

[学会発表] (計 209 件)

- (1) N. Yoshikawa, H. Suzuki, K. Taketomi, and Y. Yamanashi, “Development of SFQ Logic Gates Connectable to Passive Transmission Lines and Their Application to Digital Signal Processors,” Proceedings of Superconducting SFQ VLSI Workshop (SSV 2010), Yokohama National University, Yokohama, 13 January 2010, A02-2, pp.16-20.
- (2) N. Yoshikawa, T. Kainuma, H. Park, Y. Yamanashi, A. Fujimaki, N. Takagi and K. Takagi, “(Invited) High-Speed Floating-Point Processors based on Single-Flux-Quantum Circuit Technology,” Asian Conference of Applied Superconductivity and Cryogenics (ACASC 2009), Matsue, Japan, December 6-8, 2009.
- (3) N. Yoshikawa, T. Kainuma, H. Park, Y. Yamanashi, A. Fujimaki, N. Takagi and K. Takagi, “(Invited) Component Design and Test of 50-GHz Half-Precision Floating-Point Adders and Multipliers,” EUROFLUX 2009 International Conference, Avignon, France, Sep. 20-23, 2009.
- (4) N. Yoshikawa, “(Invited) Recent Research Activities in the MEXT SFQ Project,” Technical Program of Superconducting SFQ VLSI Workshop (SSV 2009), Kyushu University School of Medicine, 16 June 2009, I4.
- (5) N. Yoshikawa, H. Park, H. Hara, K. Taketomi, Y. Yamanashi, I. Kataeva, R. Kasagi, S. Iwasaki, H. Akaike, A. Fujimaki, M. Tanaka, K. Obata, Y. Ito, K. Takagi, N. Takagi, H. Honda, K. Inoue, K. Murakami, S. Nagasawa, M. Hidaka, “(Invited) Recent development of Large-Scale reconfigurable data-paths using RSFQ Circuits,” Abstracts on 21st International Symposium on Superconductivity (ISS2008), Tsukuba, 27-29 October 2008, FD-25-INV.
- (6) H. Park, Y. Yamanashi, K. Taketomi, N. Yoshikawa, M. Tanaka, K. Obata, Y. Ito, A. Fujimaki, N. Takagi, S. Nagasawa, “(Invited) Design and Implementation of SFQ Half-Precision Floating-Point Adders,” 2008 Applied Superconductivity Conference (ASC 2008), 17-22 August 2008, Chicago, 4EB01.
- (7) N. Yoshikawa, “(Invited) RSFQ projects in Japan,” 5th FLUXONICS RSFQ design workshop, 29 June 2008, Ilmenau.
- (8) N. Yoshikawa, “Development of SFQ Logic Gated with Passive Transmission lines and Their Application to Digital Signal Processors,” Superconducting SFQ VLSI Workshop 2008, A2-1, Yokohama National University, Japan, 14 Mar 2008.
- (9) N. Yoshikawa, “(Invited) Superconductor Electronics based on Single-Flux-Quantum Circuit Technology,” East Asia Symposium on Superconductor Electronics (EASSE2007), 11-15 December 2007, Delhi, India.
- (10) N. Yoshikawa, M. Tanaka, Y. Yamanashi, N. Irie, H. Park, S. Iwasaki, K. Taketomi, A. Fujimaki, H. Terai, S. Yorozu, “(Invited) Review of the CORE1 Microprocessor Project: Recent Development and Next Plans,” Extended Abstract of 11th International Superconductivity Electronics Conference, 10-14 June 2007, Washington DC, USA, I-S01.

[その他]

ホームページ等

<http://www.yoshilab.dnj.ynu.ac.jp/jpn/index.html>

6. 研究組織

(1) 研究代表者

吉川 信行 (YOSHIKAWA NOBUYUKI)
 国立大学法人横浜国立大学・大学院工学研究
 院・教授
 研究者番号：70202398

(2) 研究分担者

金田 久善 (KANEDA HISAYOSHI)
 (2006 年度研究分担者)
 国立大学法人横浜国立大学・大学院工学研
 究院・助手
 研究者番号：30242382