

平成 21 年 5 月 21 日現在

研究種目：基盤研究(B)
 研究期間：2006～2008
 課題番号：18300011
 研究課題名（和文） ハードウェア・ソフトウェア協調型高効率マルチスレッドスケジューリングに関する研究
 研究課題名（英文） Study on Hardware-Software Collaborative Scheduling for Highly Efficient Multithreading
 研究代表者
 小林 広明 (KOBAYASHI HIROAKI)
 東北大学・サイバーサイエンスセンター・教授
 研究者番号：40205480

研究成果の概要：

次世代のオンチップマルチコアプロセッサ(CMP)において、オンチップ計算資源の効率的活用による低消費電力高性能処理の実現を目指して、低消費電力指向高効率マルチスレッド処理技術の研究・開発を行った。具体的には、CMP 上で実行されるスレッドの特徴量を定義し、この定義に基づくマルチコアプロセッサのための高効率スレッドスケジューリング手法を確立すると共に、高性能と低消費電力の両立を実現する動的キャッシュ分割機構を開発し、シミュレーションにより、その有効性を明らかにした。

交付額

(金額単位：円)

	直接経費	間接経費	合計
2006 年度	5,300,000	1,590,000	6,890,000
2007 年度	4,700,000	1,410,000	6,110,000
2008 年度	5,300,000	1,590,000	6,890,000
年度			
年度			
総計	15,300,000	4,590,000	19,890,000

研究分野：総合領域

科研費の分科・細目：情報学・計算機システム・ネットワーク

キーワード：スレッドスケジューリング、マルチコアプロセッサ、低消費電力機構、キャッシュ

1. 研究開始当初の背景

ムーアの法則に示される半導体集積技術の進歩に支えられて、1 チップマイクロプロセッサへ集積できるトランジスタ数は 10 億個レベルに到達しつつある。それに応じて、メモリアクセス時間の改善を目的としたオンチップキャッシュの大容量化や、処理能力の向上を目的として複数のプロセッサコアを 1 チップに集積したシングルチップマルチコアプロセッサが注目されている。一方、2000 年以降、マイクロプロセッサの性能はそれ以前の年 50%の性能向上から年 20%程度

へと低下し、半導体投資の効果が性能という形で得にくくなってきている。さらに、10 億個レベルのトランジスタをギガヘルツオーダのクロックで駆動することにより、最悪数 100 ワットオーダの動的消費電力を必要とし、また 90nm 以降のデバイステクノロジーで製造されたマイクロプロセッサでは、リーク電流による静的消費電力の増大も懸念されている。従って、次世代の高性能マイクロプロセッサの設計においては、実行時にアプリケーションが必要とする計算資源を適切に判断し、割り当てることによって電力消費あたり

の性能を最大限にする、動的問題適応型コンピュータ構成方式の確立が喫緊の研究課題である。

2. 研究の目的

1つのプロセッサに複数の比較的シンプルなCPUコアを集積するマルチコアプロセッサは、設計の容易さ、制御の容易さなどにより、動作周波数を高めることなくプロセッサの性能を向上させる技術として、近年注目を集めている。加えて、単一プログラム、または複数のプログラムの同時実行におけるスレッドレベル並列処理は、命令レベル並列性では得ることができない高い並列性を得ることができることから、高性能マルチコアプロセッサの潜在能力を活用するための重要な並列処理方式である。しかしながら、これまでのスレッドレベル並列処理では、各スレッドの中身(命令レベル並列性、ワーキングセットサイズ等)を考えずに、その時点で空いているプロセッサの計算資源に対しスケジューリングが行われており、あるときはスレッド間で資源の取り合い、あるときは、スレッドに対して過剰な資源割当て、投資した計算資源、電力、発熱に見合った性能が得られない状況になっている。本研究では、オンチップ計算資源の効率的活用による低消費電力高性能処理の実現を目指して、コンパイラ、命令セットアーキテクチャ、マイクロアーキテクチャのすべてのレベル間での有機的連携による低消費電力指向高効率マルチスレッド処理技術の研究・開発を行う。

3. 研究の方法

以下に示す5つのサブテーマを設定し、研究を進めた。

(1) スレッド特徴量に関する研究

マルチコアプロセッサ上で同時に実行される複数のスレッドを、それらの必要計算資源を考慮して適切なコアに割り当てるスケジューリング手法を確立するために、スレッドが必要とする計算資源の定量化を試み、スレッドの特徴量として定義する。さらに、その特徴量に基づいたスレッドスケジューリング手法を提案し、その有効性をシミュレーションにより評価する。

(2) ウェイ制御に基づく動的キャッシュ分割機構に関する研究

マルチコアプロセッサにおけるメモリアクセスレイテンシの改善を目的として、大規模共有キャッシュが導入されるが、その電力消費の増加が問題となっている。本研究では、個々のスレッドのワーキングセットが異なることに着目し、ウェイ単位でサイズの変更が可能で、不要ウェイ部分の電力消費をゼロに

する動的キャッシュ分割機構の設計を行い、シミュレーションにより評価する。

(3) スレッド特徴量に基づく動的キャッシュスケジューリング機構に関する研究

マルチコアコアにけるマルチスレッド実行において、共有キャッシュにおける干渉問題を解決し、同時に消費電力も削減できる動的分割型共有キャッシュ機構の研究開発を行う。特に、(2)で開発したウェイ適応型キャッシュ機構をマルチコア共有キャッシュへ応用するための拡張を行う。さらに、共有キャッシュの容量を各コアに公平に割り当て、さらに不活性(電力供給停止)状態の領域をつくることで、均一な性能で省電力が可能なダイナミックウェイアロケーション型共有キャッシュ機構の提案を行い、その性能をシミュレーションによって評価する。

(4) ワーキングセット評価に基づくスレッドスケジューリングに関する研究

マルチコアで複数同時実行される各スレッドのワーキングセットの違いに着目し、マルチスレッド実行を行うスレッドの組合せを最適化するスレッドスケジューリング機構の研究開発を行い、シミュレーションによりその性能評価を行う。

(5) クラスタ化データパスのためのスレッドスケジューリングに関する研究

コア内のデータパスを複数に分割しハードウェア構造を単純化するというクラスタ型データパスにおいて効率的な並列実行を行う命令スケジューリングアルゴリズムを設計し、シミュレーションにより実証する。まず、命令スケジューリングの方針を決めるためにプログラムに内在するデータ依存性を解析する。次に、分割されたデータパスのそれぞれである処理要素(PE)の局所性にデータ依存性を対応させ、各PEの非重複分散レジスタファイルにおけるレジスタ割付を含む命令スケジューリング機構として評価を行う。

4. 研究成果

(1) スレッド特徴量に関する研究

マルチコア、かつ各コアが複数のスレッドを同時に実行可能なSMT(Simultaneous Multi Threads)プロセッサからなるシステムに焦点を当て、各スレッドが必要とするハードウェア資源の予測のために、個々のスレッドの演算ユニットと命令ユニットの利用率からSMT優先度と呼ぶスレッド特徴量を定義した。2つのスレッドを、2つのコアで実行した際のIPC(Instructions per Cycle)

個々のスレッドのキャッシュアクセスの振る舞いを定量的に評価・解析し、この振る舞いが「Zipf の法則」に従うことを明らかにすると共に、各スレッドが必要とするワーキングセット評価量としてキャッシュ要求量を定義した。複数の共有キャッシュを有するマルチコアシステムでは、各共有キャッシュのキャッシュ要求量の和を均一にすることで、マルチコアプロセッサの性能を維持しつつ、消費電力を削減することを明らかにした。これに基づき、図 3-5 に示すスレッドスケジューリング手法を提案し、(3)で提案したダイナミックウェアロケーション型共有キャッシュを2つ有する4コアのマルチコアプロセッサにおいて、キャッシュメモリの消費エネルギーを抑制しつつ、高い性能を実現できることを明らかにした。

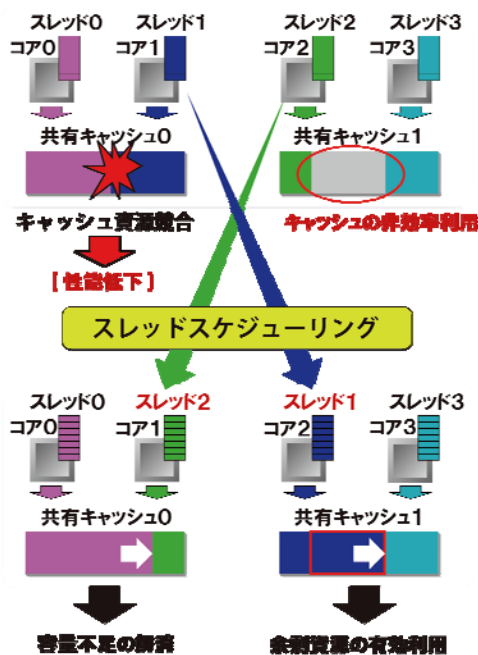


図 3-5 キャッシュ要求量に基づくスレッドスケジューリング手法

(5) クラスタ化データパスのためのスレッドスケジューリングに関する研究

レジスタを介したデータ依存性を発生させるプログラムに内在する逐次性の指標としてオペランドの状態とレジスタファンアウトに着目し、それらを実行時に観測しながらレジスタ割付とスケジューリングを行う手法を提案した。また、隣接する PE が協調して処理を行うために PE 内の演算結果を隣接 PE に転送するフォアワーディング経路を追加したクラスタ化データパスを提案した。これら提案手法を適応した場合のサイクルレベルシミュレーションとレジスタファイルのポート数に基づく電力消費・回路量の見積もりの結果、提案手法は高い処理性能を維持

しつつ消費電力を削減可能であることを示した。

5. 主な発表論文等

(研究代表者、研究分担者及び連携研究者には下線)

[雑誌論文] (計 21 件)

1. Yukinori Sato, Ken-ichi Suzuki, and Tadao Nakamura, “Run-time detection mechanism of nested call-loop structure to monitor the actual execution of codes,” Proceedings of First International Workshop on Software Technologies for Future Dependable Distributed Systems, pp. 184 - 189, 2009. (査読有)
2. Masayuki Sato, Isao Kotera, Ryusuke Egawa, Hiroyuki Takizawa, Hiroaki Kobayashi, “A Cache-Aware Thread Scheduling Policy for Multi-Core Processors,” Proceedings of the IASTED International Conference on Parallel and Distributed Computing and Networks (PDCN 2009), pp.109 - 114, 2009. (査読有)
3. Isao Kotera, Kenta Abe, Ryusuke Egawa, Hiroyuki Takizawa, and Hiroaki Kobayashi, “Power-Aware Dynamic Cache Partitioning for CMPs,” Transactions on High-Performance Embedded Architectures and Compilers, vol.3, No.1, pp. 149 - 167, 2008. (査読有)
4. Isao Kotera, Kenta Abe, Ryusuke Egawa, Hiroyuki Takizawa, and Hiroaki Kobayashi, “Modeling of Cache Access Behavior Based on Zipf’s Law,” Proceedings of the 9th MEDEA Workshop, pp. 9 - 15, 2008. (査読有)
5. 阿部健太, 小寺功, 江川隆輔, 滝沢寛之, 小林広明, “ウェアロケーション型共有キャッシュ機構のハードウェア設計に関する研究,” 第7回情報科学技術フォーラム (FIT2008) 予稿集, pp. 35 - 38, 2008. (査読有)
6. 佐藤幸紀, 鈴木健一, 中村維男, “クラスタ型データパスによるスーパースカラ プロセッサの低消費電力化,” 先進的計算基盤システムシンポジウム (SACIS2007), pp. 451 - 452, 2007. (査読有)
7. 佐藤幸紀, 鈴木健一, 中村維男, “クラスタ型データパスによるスーパースカラ プロセッサの低消費電力化,” 情報処理学会論文誌コンピューティングシステム, Vol. 48, pp.84 - 94, 2007.

- (査読有)
8. Jubee Tada, Ryusuke Egawa, Keiichiro Sano, Gensuke Goto, and Tadao Nakamura, “Gain-based Delay Balancing Technique for Wave Pipelining,” Proceedings of The 22nd International Technical Conference on Circuits/Systems (ITCISCC 2007), pp. 451 - 452, 2007. (査読有)
 9. Ken-ichi Suzuki, Ryusuke Egawa and Tadao Nakamura, “The Row and Column Cache and its Management Policies,” Journal of Information, Vol. 10, pp. 687 - 694, 2007. (査読有)
 10. Ryusuke Egawa, Tasuku Ito, Tomoyuki Inoue, Jubee Tada, Ken-ichi Suzuki and Tadao Nakamura, “Scaling Effects in Combinational Logic Circuit Design,” Journal of Information, Vol. 10, pp. 695 - 702, 2007. (査読有)
 11. 佐藤雅之, 船矢祐介, 小寺功, 滝沢寛之, 小林広明, “SMTプロセッサの実行時性能予測のためのハードウェアリソース競合解析,” 情報科学技術フォーラム(FIT2007) 情報技術レターズ, Vol. 6, pp. 67 - 70, 2007. (査読有)
 12. 小寺功, 滝沢寛之, 小林広明, “消費電力を考慮したウェイアロケーション型共有キャッシュ機構,” 情報科学技術フォーラム(FIT2007) 情報技術レターズ, Vol. 6, pp. 55 - 58, 2007. (査読有)
 13. Akihiro Musa, Yoshiei Sato, Ryusuke Egawa, Hiroyuki Takizawa, Koki Okabe, and Hiroaki Kobayashi, “An On-Chip Cache Design for Vector Processors,” Proceedings of the 8th MEDEA workshop, pp. 17 - 23, 2007. (査読有)
 14. Isao Kotera, Ryusuke Egawa, Hiroyuki Takizawa, and Hiroaki Kobayashi, “A Power-Aware Shared Cache Mechanism on Locality Assessment of Memory Reference for CMPs,” Proceedings of the 8th MEDEA workshop, pp. 121 -128, 2007. (査読有)
 15. Yukinori Sato, Ken-ichi Suzuki, and Tadao Nakamura, “Power Estimation of Partitioned Register Files in a Cluster Architecture with Performance Evaluation,” IEICE Transactions on Information and Systems, Vol. E90-D. No. 3, pp. 627 - 636, 2007. (査読有)
 16. Ryusuke Egawa, Tasuku Ito, Tomoyuki Inoue, Jubee Tada, Ken-ichi Suzuki and Tadao Nakamura, “Future Design Strategy of Combinational Logic Circuits,” Proceedings of The Fourth International Conference on Information, the Fourth Irish Conference on the Mathematical Foundations of Computer Science and Information Technology’ 06 (Information MFCSIT’ 06), pp. 110-113, 2006. (査読有)
 17. Ryusuke Egawa, Jubee Tada, Gensuke Goto, and Tadao Nakamura, “A Sophisticated Multiplier in Advanced CMOS Technologies,” Proceedings of International Technical Conference on Circuits/Systems, Computers and Communications (ITC-CSCC2006), Vol. 2, pp. 53-56, 2006. (査読有)
 18. Yukinori Sato, Ken-ichi Suzuki, and Tadao Nakamura, “Power and Performance Advantages of the Highly Clustered Microarchitecture,” Proceedings of International Workshop on Advanced Low Power Systems, Vol. 2, pp. 53 -56, 2006. (査読有)
 19. Hiroaki Kobayashi, “Implication of Memory Performance in HEC Systems,” High Performance Computing on Vector Systems (Springer-Verlag), pp. 21 - 50, 2006. (査読有)
 20. Akihiko Musa, Hiroyuki Takizawa, Koki Okabe, Takashi Soga, and Hiroaki Kobayashi, “Implications of Memory Performance for Highly Efficient Supercomputing of Scientific Applications,” Proceedings of International Symposium on Parallel and Distributed Processing and Application (ISPA06), pp. 845 - 858, 2006. (査読有)
 21. 船矢祐介, 小寺功, 滝沢寛之, 小林広明, “スレッド特徴量に基づくマルチコアプロセッサスケジューリング,” 情報科学技術レターズ, vol. 5, no. 5, pp. 37-40, 2006. (査読有)
- [学会発表] (計 8 件)
1. Yukinori Sato and Tadao Nakamura, “Run-time data dependence analysis using detected loop regions in binary codes,” 2009 Workshop on Infrastructures for Software/Hardware co-design (WISH), 2009年3月22日, アメリカ・ワシントン州・シアトル.
 2. 鈴木健一, “クラスタ化プロセッサの静的命令スケジューリングに関する研究,” 電子情報通信学会東北支部先端技術シンポジウム, 2009年3月16日, 仙

- 台.
3. 佐藤幸紀, “ループ構造に着目したマルチグレイン・マルチレイヤ並列処理システムの提案,” 第172回 計算機アーキテクチャ研究発表会, 2008年10月20日, 福岡県筑紫野市.
 4. 佐藤幸紀, 鈴木健一, 中村維男, “ループ並列化のためのループ階層構造を検出する実行時プロファイリング手法,” 第117回 ハイパフォーマンスコンピューティング研究発表会, 2008年10月15日, 東京.
 5. 佐藤義永, 撫佐昭裕, 江川隆輔, 滝沢寛之, 岡部公起, 小林広明, “ベクトルプロセッサ用キャッシュメモリの性能評価,” ハイパフォーマンスコンピューティングと計算科学シンポジウム (HPCS2008), 2008年1月17日, 東京.
 6. Akihiro Musa, Yoshiei Sato, Ryusuke Egawa, Hiroyuki Takizawa, Koki Okabe, and Hiroaki Kobayashi, “Early Evaluation of On-chip Vector Caching for the NEC SX Vector Architecture,” Supercomputing '07, 2007年11月13日, 米国リノ.
 7. 小寺功, 江川隆輔, 滝沢寛之, 小林広明, “ウェアロケーション型共有キャッシュ機構の性能評価,” 並列/協調/分散処理に関するサマータクシヨツプ (SWoPP2007), 2007年8月1日, 旭川.
 8. Isao Kotera, Hiroyuki Takizawa, and Hiroaki Kobayashi, “A Fair-Sharing and Power-Aware L2 Cache System for Chip Multiprocessors,” COOL Chips X, 2007年4月19日, 横浜.

6. 研究組織

(1) 研究代表者

小林 広明 (KOBAYASHI HIROAKI)
東北大学・サイバーサイエンスセンター・教授
研究者番号: 40205480

(2) 研究分担者

(3) 連携研究者

中村 維男 (NAKAMURA TADAO)
東北大学・名誉教授
研究者番号: 80005454

鈴木 健一 (SUZUKI KENICHI)
東北工業大学・情報通信工学科・准教授
研究者番号: 50300520

滝沢 寛之 (TAKIZAWA HIROYUKI)
東北大学・情報科学研究科・准教授

研究者番号: 70323996

江川 隆輔 (EGAWA RYUSUKE)
東北大学・サイバーサイエンスセンター・助教
研究者番号: 80374990

佐藤 幸紀 (SATO YUKINORI)
北陸先端科学技術大学院大学・情報科学センター・助教
研究者番号: 30452113

(4) 研究協力者

小寺 功 (KOTERA ISAO)
株式会社 ルネサステクノロジ

船矢 祐介 (FUNAYA YUSUKE)
東北大学・大学院情報科学研究科・博士課程後期

佐藤 雅之 (SATO MASAYUKI)
東北大学・大学院情報科学研究科・博士課程後期