

研究種目：基盤研究 (B)

研究期間：2006～2009

課題番号：18300028

研究課題名 (和文) メモリ階層を考慮した高速検索アルゴリズムと
そのハードウェア化の研究

研究課題名 (英文) Hardware approach for high-speed search algorithms
with memory layer optimization

研究代表者 稲葉 真理 (INABA MARY)

東京大学・大学院情報理工学系研究科・准教授

研究者番号 60282711

研究分野： 総合領域

科研費の分科・細目：(分科)情報学, (細目)計算機システム・ネットワーク

キーワード： 超高速情報処理, ディレクトリ・情報検索, アルゴリズム,
インターネット高速化, コンテンツアーカイブ

1. 研究計画の概要

近年の急速なネットワーク速度とメモリやディスクの記憶容量の増大により、膨大な量のデータから必要な情報を効率良く短時間で抽出する仕組みは、情報科学的な研究基盤のみならず、情報社会における社会基盤としてなくてはならないものとなってきている。こうした膨大な量のデータを如何に有効に活用できるかは、今後の我が国の科学技術研究ポテンシャルにとって大きな重要性を持っている。

本研究がターゲットとする検索問題は情報抽出のための基礎技術であり、内外で精力的に研究が行われてきており、メモリアクセスにかかる時間を一定と仮定するモデルの元では理論的にほぼ下限値であるアルゴリズムが開発されている。しかしインターネット上の Web データや有機化合物反応データベースといった超大規模データからの任意のオブジェクトの高速検索はいまだ困難であり、さらなる性能向上が望まれている。大規模検索システムの本質的な難しさは、記憶装置の階層構造の取り扱いにあると言っても過言ではない。メモリと二次記憶のアクセス速度を区別する計算モデルでのアルゴリズムは従来から存在するが、現在のシステムにはオンチップキャッシュ・キャッシュ・メモリ・キャッシュディスク・ハードディスク・ネットワークデータといった、それぞれレイテンシーが一桁違うメモリ階層が存在

し、これらを考慮した高速化が必要となってきた。

こうした現状を踏まえ、本研究では記憶装置の階層構造を考慮しながら大容量ストレージやネットワーク上に蓄積された膨大なデータを活用するための礎となる実用的高速検索システムを構築することを目標としている。

2. 研究の進捗状況

圧縮サフィックスアレイは単純なサフィックスアレイに比べデータサイズが小さく、メインメモリにのるデータ量が多いという特徴をもつが、そのドローバックとして、検索は非圧縮のものに比べ、時間がかかることが知られている。本研究の準備テーマで製作したプログラマブルハードウェアで、ネットワークストリーム処理に適する 10Gbps インターフェースを 2 系統もち、2 個の FPGA(Field Programmable Gate Array)を搭載した TGNLE-1 があるが、この上で、圧縮サフィックスアレイを検索することで高速化をはかった。当初の予測では、汎用プロセッサ上に実装したソフトウェアによる検索に比べ、20 倍程度の高速化を見込んでいたが、実際には 6 倍程度の高速化しか得られなかったため、その理由を解析した。その結果、当初の予測以上に、汎用プロセッサの持つキャッシュサイズが、FPGA のもつキャッシュ

サイズより大きく、メモリアクセスのレイテンシが隠蔽されるためであることがわかった。この結果をふまえ、(1) FPGA の並列化および搭載するメモリの大容量化、通信バンド幅大容量化を行い、より検索に適する 5 並列 FPGA ハードウェア MaSTER-1 の開発を行っている、(2) メモリアクセスレイテンシを隠蔽するため、グローバルヒストリバッファのような詳細な履歴をとらず 2 bit-state のメモリアクセスマップを保持し、パターンマッチを行うことで、リクエストのジェネレーションを大幅に向上させるハードウェアプリフェッチアルゴリズム AMPM の提案・実装を行った、(3) メモリ階層を考慮し、階層型スクラッチパッドメモリを持つ並列計算について、データ転送のメモリ階層、タイミングおよび転送料に関して、整数計画法を用いて最適化を行う MCAMP の提案・実装を行った。

3. 現在までの達成度

当初の計画以上に進展している。当初考察していた方式によるハードウェア化では予想通りの高速化が得られる見込みが薄いことが予備実験により判明、詳細に検討したところ、プロセッサの速度向上に対し、メモリの速度向上は非常に遅いことが判明し、メモリ階層を考慮した多方面からの最適化が必要であることが、裏付けられた。この結果を受け新たなハードウェア化およびアルゴリズムの提案を行っている。

4. 今後の研究の推進方策

プロセッサの速度向上に対し、メモリの速度向上は非常に遅い結果、たとえば、キャッシュミスのペナルティは、10 年前は数十サイクルの遅延であったものが、数百サイクルにもぼるため、たとえば、ハードウェアによる会うとオブオーダー実行で対処するにはハードウェアコストがかかりすぎる状況となっている。この背景をふまえ、メモリ階層を意識し、上位階層のメモリの効率的利用により、この遅延をできるかぎり隠蔽しながら、高速に検索を行うための方式の提案および実装実験を行っていく。具体的には、(1) 並列ハードウェアの作成に関しては、実装が完了し、動作実験を行い通信機能が設計値の 80% 程度であるためその改良、および FPGA ファームウェアの並列化対応のための開発を行っていく予定である。(2) プリフェッチアルゴリズム AMPM については、方式はほぼ完成しており、シミュレーション実験によるデータを収集、論文

執筆を行う予定である。(3) 整数計画法を用いたデータ転送の最適化については、インターモーストループにおけるデータ転送の階層、量、タイミングのみならず、パイプラインのオーバーラップを考慮した遅延隠蔽のための拡張を行いつつある。

5. 代表的な研究成果

(研究代表者、研究分担者及び連携研究者には下線)

[雑誌論文](計 4 件)

Yutaka Sugawara, Mary Inaba, Kei Hiraki, "Flow Balancing Hardware for Parallel TCP Streams on Long Fat pipe Network", International Journal of Software Engineering and Its Applications (FGCN, selected paper), vol2 no 2, pp. 1-12

[学会発表](計 16 件)

Takeshi Yoshino, Yutaka Sugawara, Katsushi Inagami, Junji Tamatsukuri, Mary Inaba and Kei Hiraki, "Performance Optimization of TCP/IP over 10 Gigabit Ethernet by Precise Instrumentation", SuperComputing2008(SC08), USB-stick, Austin, Texas, U.S.A.

Hiroshige Hayashizaki, Yutaka Sugawara, Mary Inaba and Kei Hiraki, "MCAMP: Communication Optimization on Massively Parallel Machines with Hierarchical Scratch-pad Memory", Parallel Architectures and Compilation Techniques (PACT) 2008, pp.102-111, Toronto, Canada

Junichiro Makino, Kei Hiraki, and Mary Inaba, "GRAPE-DR: 2-Pflops massively-parallel computer with 512-core, 512-Gflops processor chip for scientific computing", SuperComputing2007(SC07), USB-stick, Reno USA

Mary Inaba, Kei Hiraki, "Network Processing Hardware", Springer LNCS4311, Proc. Second ASIAN INTERNET ENGINEERING CONFERENCE, AINTEC 2006, pp.103-112